



저작자표시 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.
- 이차적 저작물을 작성할 수 있습니다.
- 이 저작물을 영리 목적으로 이용할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#) 

2013학년도 2월
석사학위 논문

하이브리드 ALD로 증착된 Ir
박막 성장에 수소플라즈마가
미치는 영향

조선대학교 대학원
첨단부품소재공학과 (소재전공)

김 무 열

하이브리드 ALD로 증착된 Ir 박막 성장에 수소 플라즈마가 미치는 영향

Effect of hydrogen plasma on growth of Ir
thin film by plasma enhanced hybrid atomic
layer deposition

2013년 2월

조선대학교 대학원

첨단부품소재공학과(소재전공)

김 무 열

하이브리드 ALD로 증착된 Ir 박막 성장에 수소 플라즈마가 미치는 영향

지도교수 신 동 찬

이 논문을 공학석사 학위신청 논문으로 제출함

2013년 2월

조선대학교 대학원

첨단부품소재공학과(소재전공)

김 무 열

김무열의 석사학위논문을 인준함

위원장 조선대학교 교수 이 은 구 (인)

위 원 조선대학교 교수 박 진 성 (인)

위 원 조선대학교 교수 신 동 찬 (인)

2012년 11월

조선대학교 대학원

목 차

List of Tables	III
List of Figures	IV
ABSTRACT	VI
제 1 장 서론	1
제 2 장 이론적 배경	3
제 2.1 절 박막의 중요성	3
제 2.2 절 확산 방지막	5
2.2.1 확산 방지막의 종류	10
2.2.2 Cu 확산 방지막	15
제 2.3 절 원자층 증착(ALD)	17
2.3.1 원자층 증착 기구	17
2.3.2 반응가스의 교환반응	25
2.3.3 원자층 증착 공정 구간	26
제 2.4 절 흡착(Adsorption)	29
2.4.1 흡착의 정의	29
2.4.2 물리흡착&화학흡착	31
2.4.3 흡착층의 성질	33
2.4.4 분해흡착	33
제 3 장 실험방법	35
제 3.1 절 hybrid ALD	35

제 3.2 절 박막 증착 방법 및 분석 방법	38
제 4 장 결과 및 고찰	41
제 4.1 절 Ir 막의 성장	41
제 4.2 절 Si 기판에 Ir 성장	45
제 4.3 절 Ir 막 XRD분석	47
제 4.4 절 Nano-trench에 Ir 막의 성장	49
제 5 장 결론	52
참고문헌	53

List of Tables

Table 1. Difference between physisorption and chemisorption ··	32
Table 2. Schematic diagram of a ALD Ir deposition process ···	39

List of Figures

Fig. 1. Schematic representation of processes leading to three-dimensional nucleation film growth	4
Fig. 2. Schematic diagram diffusion barrier, X, inserted between A and B, to prevent degradation of the contact properties	8
Fig. 3. Schematic diagram of a sacrificial diffusion barrier ·	9
Fig. 4. Sacrificial diffusion barrier	12
Fig. 5. Example of Ti sacrificial barrier between Al and Si	13
Fig. 6. Schematic diagram of stuffed diffusion barrier	14
Fig. 7. Basic sequences of ALD for compound AB. “A” denotes a group- I ,II,III element, “B” denotes a group- I , II,III element, “X _n ” and “Y _n ” denote ligands of the reactants AX _n and BY _n respectively	19
Fig. 8. ALD of covalent material “C” (group-IV element) using extra energy, heat or photons	20
Fig. 9. ALD of covalent material “C” (group-IV element) using reactant CX _n (g) and Y _n (g) gas	21
Fig. 10. ALD of elemental material by a pair of reactants CX _n (g) and CY _n (g)	22
Fig. 11. Diagram of self-limiting mechanism of atomic layer deposition	24
Fig. 12. Temperature window of ALD processing	28

Fig. 13. An illustration of (a) monolayer adsorption and (b) multilayer adsorption	30
Fig. 14. A plot of a potential energy for adsorption of a B ₂ molecule on a surface	34
Fig. 15. Schematic diagram of a hybrid ALD system	37
Fig. 16. Ir precursor and deposition schematic diagram	40
Fig. 17. Growth rate (in thickness/cycle) of Ir grown by CVD-like hybrid ALD as a function of Ir precursor injection time	42
Fig. 18. Thickness of Ir as a function of the number of deposition cycles	43
Fig. 19. Growth rate (thickness/cycles) of Ir as a function of Ir deposition temperature	44
Fig. 20. Cross-sectional HR-TEM images of Ir layer grown by CVD-like hybrid ALD after (a) 30, (b) 50, and (c) 100 deposition cycles	46
Fig. 21. XRD spectra of the Ir layers shown in Fig. 20	48
Fig. 22. Cross-sectional HR-TEM images of the Ir layer prepared on the 32-nm-wide nano-patterned trench: (a) full image with low magnification, (b) top, (c) bottom, and (d) left and right sides	51

ABSTRACT

Effect of hydrogen plasma on growth of Ir thin film by plasma enhanced hybrid atomic layer deposition

Moo Ryul Kim

Advisor : Prof. Dong-Chan Shin Ph.D

Department of Advanced Materials Engineering

Graduate School of Chosun University

Copper (Cu) has been extensively studied as an interconnection material for Si ULSI instead of AlCu to enhance operating speed by reducing RC time delay because it has lower resistivity, high electro-migration and stress migration reliability. However, for Cu interconnection, barrier layer should be used because Cu layer has high diffusivity to underlying Si layer. Atomic layer deposition (ALD) prepared Ir layer is the most promising technology to deposit high quality thin film by sequential self-limited process since it is possible to deposit conformal thin film onto deep trench, and Ir has good adhesion to Cu layer and possible seedless electroplating of Cu. However, it suffers from low nucleation density and resultant high incubation time. Therefore, it has been known that it is difficult to prepare very thin layer of Ir by ALD. To overcome these obstacles, in this study, effect of hydrogen plasma on growth of 3 nm thick Ir layer using plasma enhanced ALD (PEALD) on TaN/Si substrate and nano-patterned trench.

3.2 nm thick Ir layer was grown by cyclic chemical vapor deposition (CVD) like hybrid atomic layer deposition (ALD) method on non-patterned Si substrate and 32 nm wide TaN coated nano-trench. Ir metalorganic precursors was mixed with hydrogen reactant and co-fed into the chamber at the same cycle. Ir metalorganic precursors were effectively composed in the gas phase like CVD process and on

the surface of substrate like ALD by hydrogen plasma, which was turn on at feeding time. The nucleation density, which cause relatively long incubation time, was considerably increased as compared to conventional ALD process by combining CVD process into ALD process. The number of deposition cycles was remarkably reduced to obtain 3.2 nm thick Ir film on non-patterned Si substrate from 200 to 50 deposition cycles, resulting in low incubation time. Furthermore, the thickness of Ir layer was increased linearly as deposition cycles increased, which shows self-limiting nature of typical ALD. The thickness of Ir layer was saturated above 10 sec as precursor injection time was increased, which is an another clear evidence of self-limited nature of ALD. The conformal deposition of Ir was performed on 32 nm wide 3 nm thick TaN coated nano trench. The thickness of Ir layer on top, bottom, left side and right side was measured to be 3.5, 2.9, 3.3 and 3.4 nm, respectively, which was measured by HR-TEM. The calculated conformality was 0.88, which was closed to ideal value of without overhang, which is often occurred in PVD process.

Our study suggest that CVD like hybrid ALD process can be applied to prepare barrier layer with reduced number of deposition cycles without degradation of quality of film, which compared to be prepared by conventional ALD process.

초록

하이브리드 ALD로 증착된 Ir 박막성장에 수소 플라즈마가 미치는 영향

김무열

지도교수 : 신동찬

첨단부품소재공학과

조선대학교 대학원

구리(Cu)는 낮은 저항, 높은 전자이동도 및 높은 스트레스 마이그레이션 신뢰성을 통하여 RC delay time을 줄여 주고 소자 신뢰성을 높일 수 있기 때문에 AlCu 대신에 Si ULSI을 위한 대체 소재로 광범위하게 연구되었다. 그러나 Cu와 Si 층으로의 확산 계수가 크기 때문에 확산 방지막이 필요하다.

원자층 증착(ALD)법으로 증착된 Ir 박막은 높은 밀도와 Cu와의 좋은 접착력을 가지기 때문에 확산방지막으로 가장 유망한 재료이다. 그러나 Ir 막은 높은 인큐베이션 타임과 낮은 핵 밀도를 가져서 ALD에 의해 매우 얇은 Ir 막을 형성시키기 어렵다고 알려져 있다. 본 연구에서는 이런 문제점을 극복하기 위해서 3 nm TaN이 증착된 Si 기판과 32 nm 폭의 나노 트렌치에 3 nm TaN 증착 후 하이브리드 ALD를 사용하여 매우 얇은 확산 방지막용 Ir 막을 성장시키고자 하였다. 또한, 이 과정에서 수소 플라즈마를 이용하여 짧은 공정타임에서도 효과적인 박막성장을 얻을 수 있었다.

Si 기판과 32 nm 폭의 나노 트렌치에 3 nm TaN 증착 후 하이브리드 ALD를 이용하여 3.2 nm 두께의 Ir 막을 성장 하였다. Metalorginc 전구체는 수소 반응물과 함께 챔버에서 섞인다. Ir metalorganic 전구체는 하이브리드 ALD를 이용하여 CVD 공정과 같은 기체상으로 수소 플라즈마에 의해 기판 표면에 도달하도록 feeding 타임을 설정 하였다. ALD와 CVD 공정을 결합하여 기존의 ALD 공정에 비해 비교적 짧은 시간에 핵의 밀도는 증가되었다. 3.2 nm 두께의 Ir 막을 얻기 위해서는, 기존의 ALD를 사용하면 200 cycle의 인큐베이션 타임이 걸리지만, 하이브리드 ALD를 사용하면 50 cycle

으로 줄일 수 있다. 또한, 전형적인 ALD의 특징대로 증착 cycle의 증가에 따라 Ir 막의 두께는 연속적으로 증가되었다. Ir 막은 전구체 주입 시간 10초에서 포화 상태를 나타내었다. 이는 ALD의 self-limited nature의 또 다른 분명한 증거이다. 하이브리드 ALD을 이용하여 Ir 막의 등방성 증착을 확인하기 위해 32 nm 폭의 나노 트렌치에 TaN을 3 nm 증착 한 후 Ir 막을 성장하였다. Ir 막의 두께는 위, 아래, 왼쪽 및 오른쪽을 HR-TEM으로 측정한 결과 각각 3.5, 2.9, 3.3 및 3.4 nm 로 측정되었다. 나노 트렌치에 증착된 Ir 막의 conformallity의 계산 값은 0.88으로 overhang이 없이 이상적인 값이 얻어졌다.

본 연구는 CVD와 비슷한 하이브리드 ALD 공정을 이용하여 기존의 ALD 공정에 비해 짧은 공정시간 내에 conformallity가 우수한 Ir 박막을 얻을 수 있었다. 이러한 Ir 박막은 Cu 박막의 확산 방지막으로 활용될 것으로 기대된다.

제 1 장 서론

배선공정 기술(interconnection technology)은 반도체 집적회로(integrated circuit)를 완성시키기 위해서 평면공정으로 형성된 소자(device)들을 전기적으로 서로 연결시켜 주는 공정기술이다[1]. 반도체 배선공정에서 사용되는 물질은 기존에는 값이 싸고 특성이 좋은 알루미늄을 사용하였으나, 반도체소자의 더 빠른 신호전달 속도를 얻기 위해 배선물질을 구리로 대체 했다. 구리는 알루미늄보다 낮은 비저항을 가지고 있으며, 높은 일렉트로 마이그레이션 저항을 갖는다. 낮은 비저항 값은 빠른 신호전달을 의미한다. 그리고 높은 일렉트로 마이그레이션 저항을 간단히 설명하면 전류는 전자의 흐름이다. 이러한 전자의 흐름이 배선물질 즉 알루미늄을 타고 이동하다가 알루미늄 원자들을 한쪽방향으로 밀어내는 것이다. 결국 한 방향으로 이동한 알루미늄은 단락되며, 반도체소자는 제대로 작동하지 않는다. 이것은 소자의 안정성 및 내구성에 영향을 미친다. 그러므로 저항이 클수록 이런 전자의 흐름에 움직이지 않고 단단히 고정되어 있을 수 있다. 이런 두 가지 측면에서 알루미늄보다 우수한 특성을 지닌 구리가 배선물질로 채택되었다. 최근, 반도체 소자의 집적도를 올리기 위하여 배선의 길이는 증가시키고 반면 그 폭은 줄이고 있으며 그 결과, 배선의 신호지연이 문제로 대두되었다[2]. 이러한 RC delay를 줄이기 위해서는 낮은 비저항을 갖는 배선재료와 낮은 유전 상수를 갖는 층간 절연막(inter-metal dielectric, IMD)이 필요하고, 이러한 측면에서 현재 배선재료로 Cu가 적용 되고 있다[3]. Cu는 dual damascene 공정을 통해 metallization 되고 있다. Cu 배선의 하부에는 seed layer와 diffusion barrier라는 2개의 하부 층이 존재하게 된다. 이들은 주로 ionized physical vapor deposition (I-PVD)에 의해 증착되는데 seed layer로 배선재료와 같은 Cu가 쓰인다. 하지만 반도체 소자의 고 집적도를 위한 높은 aspect ratio가 요구되는 via와 trench에서 I-PVD로 seed layer를 증착 한 뒤, 전해도금으로 Cu filling을 진행하면 void가 발생하게 되고, 이것은 seed layer의 step coverage 특성이 좋지 않아 나타나는 현상이다. 이러한 문제는 반도체 소자의 고 집적도가 진행됨에 따라 더 큰 비중을 차지할 것이다. 이에 높은 aspect ratio에서 훌륭한 step coverage와 대 면적에서 우수한 uniformity를 보이는 원자층 증착법 (atomic layer deposition, ALD)이 많은 주목을 받고 있다[4]. 현재, ALD는 5 nm 이하에 장벽층의 두께 감소로 구리 확산 방지막의 얇은 장벽층을 증착하는데 사용된다. ITRS 로드맵에 따르면[5], 장벽층의 두께는 2015년까지 2 nm 이하가 되어야 된다. 예를 들어,

ruthenium(Ru)과 iridium(Ir) 등의 금속을 ALD 사용하여 장벽 재료로 사용하기 위해 연구되었다[6-10]. ALD를 사용하여 Ru 장벽층을 제조하기 위해 광범위하게 탐구되었지만, Ru는 장벽층을 위한 충분한 재료가 아니라고 알려져 있다[11]. 대안으로, ALD를 이용한 Ir은 구리배선의 장벽 및 접착 층을 형성하기 위한 방법으로 연구되었다[12]. 많은 보고서에서 ALD를 이용한 Ir은 장벽 재료로 적용 가능성을 탐색하였다.[13-16] 그러나 Ir은 반도체와 절연체 표면에서의 낮은 흡착 확률로 인해 비교적 긴 인큐베이션 타임을 가지고 있다. 긴 인큐베이션 타임은 ALD에 이용하여 Ir 장벽층을 증착하는데 공정시간이 증가하고, 10 nm 이상의 Ir막으로 비교적 두꺼운 층의 결과를 나타낸다. 그러므로 5 nm 이하의 ALD방법으로 증착된 Ir은 거의 보고되지 않았다. 이 문제를 해결하기 위해 반도체와 절연체 표면의 흡착 확률을 증가하여 막의 성장률을 높이기 위해 시도되었다. ALD와 CVD 공정의 결합은 기존의 ALD에 대한 대안을 제공한다. 새로 개발된 공정의 ALD는 cyclic CVD 또는 hybrid ALD라고 하며, 막의 품질 저하가 없어 기존의 ALD에 대한 대책을 가능하다. hybrid ALD 방법은 Ir의 흡착 가능성의 향상을 보이며, 기존의 ALD에 비해 성장 속도를 향상시킬 수 있을 것으로 기대된다. 또한, 금속 전구체의 분해가 잘 통제될 경우, hybrid ALD 공정을 통해 높은 품질의 박막을 생산할 수 있다. 그러나 공정 최적화 및 hybrid ALD의 결과는 거의 보고 되지 않았다.

본 연구는 CVD와 같은 하이브리드 ALD 공정을 사용하여 non-patterned Si 기판에 3.2 nm 두께의 Ir 막의 성장의 행동 성장을 연구하였다. Ir 전구체는 수소 반응물과 혼합하여 챔버에 함께 주입하였다. 성장 행동 의존도는 증착 사이클의 수, 온도 및 전구체 주입시간이 조사되었다. 또한, 32 nm 폭의 나노트렌치에 3 nm 두께의 TaN 증착한 후, Ir 막의 등방성 증착을 연구하였다.

제 2 장 이론적 배경

제 2.1 절 박막의 중요성

첨단 소재를 개발하기 위한 세계적인 노력은 궁극적으로 더 짧고, 더 작고, 더 얇고, 더 가벼우면서도 성능이 뛰어난 제품을 생산하고자 하는데 목표를 두고 있다. 이와 같은 문제를 해결하기 위해서 모든 분야에 박막의 적용 및 중요성은 앞으로 더욱더 부각될 것으로 판단된다. 현재 박막이란, 두께가 단원자 층에 상당하는 1 Å에서 1 μm 정도의 두께를 가진 기판 상에 만들어진 고체 막으로 정의될 수 있다. 이와 같은 박막은 형성 과정이 보통의 후막(bulk)과는 다르기 때문에 구조 차이에 의한 막 고유의 특성을 보유하게 되고 두께가 얇아짐에 따른 형상학적인 효과를 나타내게 된다. 즉, 기존 bulk와는 전혀 새로운 전기적, 자기적 및 광학적 효과를 나타내며, 이런 현상을 이용하여 각종 전기소자, 집적회로, 광학부품 등 여러 응용분야에 이용되고 있다. 산업분야에 사용되는 박막 증착은 디바이스 소자, 수평 및 수직자기 기록매체, 광자기 기록매체, 박막헤드와 같은 정보기억용 매체 제작에 이용되며, LSI용 도전 및 절연 박막과 같은 마이크로 일렉트로닉스용 박막 재료 및 기능성 박막재료 제작에 이용되고 있다. 이처럼 박막증착기술은 고도 첨단기술을 담당하는 기본적 기술의 하나로서 앞으로도 이 기술의 중요성은 한층 더 심화될 것이다. 또한 반도체 공정 기술에서 박막 증착은 고집적도의 메모리나 아날로그, 논리형 디지털 집적회로 제작에 필요한 기초 기술일 뿐만 아니라, 마이크로 머신, 평판 디스플레이 등과 같은 다양한 소자의 제조에 그대로 적용될 수 있어서 그 응용범위가 점차 확대되고 있다.

특히 반도체 디바이스의 물성을 결정짓는 중요한 요소 중의 하나가 반도체 박막증착 기술이며, 따라서 양질의 막을 생성하기 위해서는 박막 생성 및 제어 기술이 강하게 요구된다. 왜냐하면 기판과 매우 근접한 박막 표면은 박막 물질의 물리적, 기계적, 화학적, 전기적 특성에 깊은 영향을 미치기 때문이다.

Fig. 1.는 입체 핵 및 박막의 성장을 나타내는 그림으로 핵의 성장하여 박막에 이르기까지의 과정을 나타냈다.

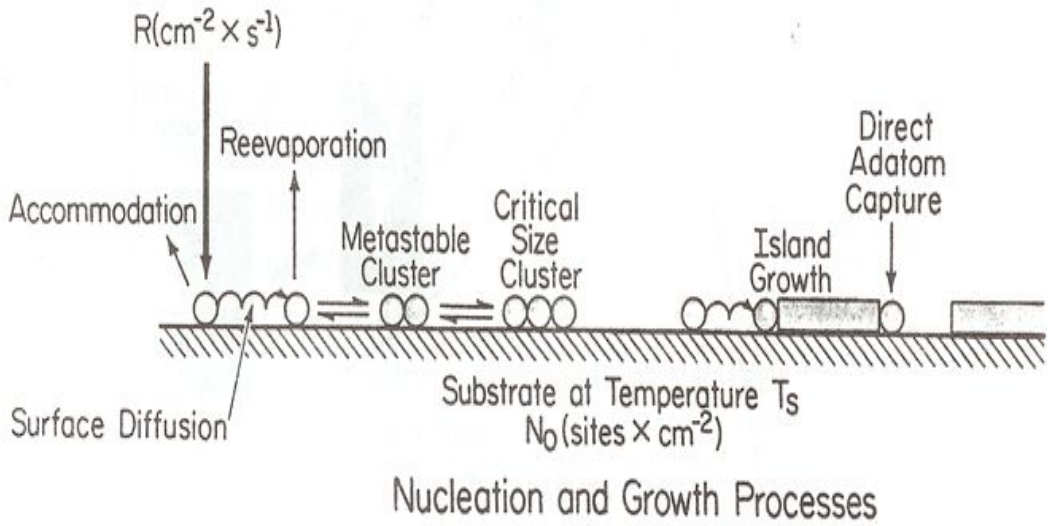


Fig. 1. Schematic representation of processes leading to three-dimensional nucleation and film growth

제 2. 2 절 확산 방지막

확산 방지막(diffusion barrier)이란 두 재료의 혼합을 방지하기 위해서 두 물질 사이에 삽입되는 물질을 의미하는 광범위한 의미의 용어로 사용된다. 하지만 여기에서는 반도체 집적회로에서 배선과 기판 사이의 확산 방지막에 대해서만 설명하려고 한다.

일반적으로, 확산 방지막은 화학적으로 불활성 (열역학적으로 안전)할뿐 아니라, 물질 A, B와의 반응이 없어야 한다. 이를 간단히 도식적으로 Fig. 2.에 나타내었다. 하지만 열역학적으로 안정하지 않더라도 확산 방지막으로 쓰일 수 있다. 중간층인 X층이 A와 B재료들의 한쪽 혹은 양쪽반응에 의해서 확산방지막이 소모되며 방지막의 기능을 상실하게 되지만, 그 전까지는 배선 또는 기판물질이 확산에 의해서 통과 할 수 없으므로 확산 방지막 역할을 하게 된다[17]. 이러한 부류의 확산 방지막을 Fig. 3.에서 나타내며 이를 희생 방지막(sacrificial barrier)이라고 한다.

서로 다른 두 물질 사이에 있는 확산방지막의 계면에 대한 열역학적 안정성은 상태도에 의해 열역학적으로 표현된다. 그러나 열역학에 의해서는 시간에 따른 확산 방지막의 형태를 예측할 수 없다. 따라서 확산속도(Diffusion kinetics)를 고려해야 하고, 확산 방지막으로써 좋은 성능을 가지기 위해 물질 A, B에 대한 확산계수(diffusivity)가 낮아야 한다. 기본적으로 확산방지막이 갖추어야 할 조건들은 다음과 같다[18].

- (a) 확산 방지막 내에서 배선과 기판 물질의 확산 속도가 작아야 한다.
- (b) 배선 및 기판과 열역학적으로 안정해야 된다.
- (c) 배선과 기판으로의 손실률 (loss rate)이 작아야 한다.
- (d) 전기적으로나 열적으로 전도성이 좋아야 한다.
- (e) 배선과 기판에 대한 접촉 저항 (contact resistivity)이 작아야한다.
- (f) 배선과 기판에 대한 접착력이 좋아야 한다.
- (g) 열적 응력과 기계적 응력에 대한 저항성이 커야 한다.
- (h) 두께와 구조가 균일해야 한다.

구리 배선에 쓰이는 확산 방지막을 연구하기 위해서는 구리와 방지막 계면확산현상과 원자이동 (atomic migration)의 기본적인 원리를 이해해야 한다. 화학적으로 다른 종류의 원자들의 계면에서 전체적인 Gibbs free energy를 낮추고 평형상태에 도달하기

위해서는 원자이동이 일어나게 된다. 원자이동은 확산계수 (D, diffusion coefficient)에 의한 원자의 확산유량으로 생각해 볼 수 있다. 단일방향 (x)으로의 정상상태 (steady state) 확산 식은 다음과 같이 나타낼 수 있다[19].

$$J = -D \left(\frac{dC}{dx} \right) \quad (1-1)$$

비례 상수 D는 m^2/sec 로 표기되며 이를 확산계수 (D, diffusion coefficient)라고 한다. (C는 원자 농도, x는 확산한 거리 또는 위치) 이때, 확산계수 D의 온도 의존성은 Arrhenius relationship으로 나타낼 수 있다[20].

$$D = D_0 \exp \frac{-Q_d}{kT} \quad (1-2)$$

- D_0 = 온도에 무관한 선 지수 (preexponential)(m^2/s)
- Q_d = 확산에 대한 활성화 에너지 (J/mol, cal/mol 또는 eV/atom)
- R = 기체상수 (8.31J/mol-K, 1.987cal/mol 또는 eV/atom)
- T = 절대 온도 (K)

위의 식 양변에 자연 로그를 취하면,

$$\ln D = \ln D_0 - \frac{Q_d}{R} \left(\frac{1}{T} \right) \quad (1-3)$$

위의 식 양변에 상용로그로 표현하면,

$$\log D = \log D_0 - \frac{Q_d}{2.3R} \left(\frac{1}{T} \right) \quad (1-4)$$

여기에서 D_0 와 Q_d , R은 상수이며, 이것은 일차 방정식을 나타내고 있다. 식 (1-4)을 $\log D$ 와 절대 온도의 역수에 대해 나타내면, 이 직선은 기울기 $\log D_0$ 의 절편을 갖게 된다.

확산속도 (diffusion kinetics)는 미세구조에 크게 좌우된다[10]. 이러한 내용은 절대 온도의 역수에 대한 확산 계수의 로그 값을 나타낸 도표를 통해 이해할 수 있다. 단결정 재료에서 상대적인 고온에서는 가장 짧은 확산경로인 bulk diffusion (침입형 혹은 치환형 확산)에 의한 확산이 우세하다. 그러나 상대적인 저온 (금속의 경우 $0.3 \sim 0.5T_m$, T_m =melting point)에서 결함을 통한 확산이 우세하다. 결정립계와 같은 결함에 의한 확산은 막의 미세구조에 크게 영향을 받는다[21].

막의 미세구조를 통해 결함이 없는 단결정 미세구조를 가진 방지막이 좋은 확산 방지막 특성을 보여줄 것으로 기대 된다. 그러나 단결정구조와 같은 박막을 증착시키는 것은 매우 어렵다. 이유는 lattice mismatch와 열용량한계 (thermal budge limitation) 때문이다. 이전의 연구결과를 살펴보면, 물리적 기상 증착법 (PVD), 화학적 기상 증착법 (CVD)로 증착된 구리배선공정을 위한 확산 방지막으로 쓰이는 재료들 (titanium nitride 혹은 tantalum 등)은 주상정결정 구조를 형성한다고 알려져 있다. 이러한 다결정 주상정결정 구조는 막 두께 전체에 걸쳐 이어져 있는 결정립계가 기판에 수직으로 성장하여 구리에 대한 가장 짧은 확산 경로를 제공하기 때문에 확산 방지막으로써 좋지 못한 결과를 보여 줄 것으로 예상된다. 주상정결정 구조를 개선시키는 방법들 중 하나는 박막의 고용 한계를 초과하도록 함유시켜 증착함으로써 결정립계에 하나의 원소나 화합물을 석출시켜 결정립계 사이의 간격이 거의 없는 치밀한 구조를 만드는 것이다. 이것은 스테핑 효과 (stuffed barrier)라고 부른다. Nanocrystalline 혹은 amorphous 막의 밀도가 높아야 한다. 아울러, 반도체 소자의 고집적화로 인해 구리배선의 폭이나 두께가 지속적으로 감소함에 따라 증착되어지는 막의 균일한 도포성이 고려되어야 한다. Collimated 와 ionized를 포함한 다양한 형태의 스퍼터링 (sputtering)증착방법과 화학적 기상 증착법 (CVD)이 확산 방지막의 증착을 위해 성공적으로 활용되어 왔다. 그러나 소자의 크기와 배선이 지속적으로 줄어들어 따라 이러한 기술들이 via와 trench의 바닥과 모서리에서 좋지 못한 도포성을 나타내었다. 최근에 self-limiting growth mechanism 으로 인해 대 면적에서도 원자단위의 정확한 두께 조절과 훌륭한 도포성을 가진 원자 층 증착 법 (Atomic Layer Deposition)이 많은 주목을 받고 있다.

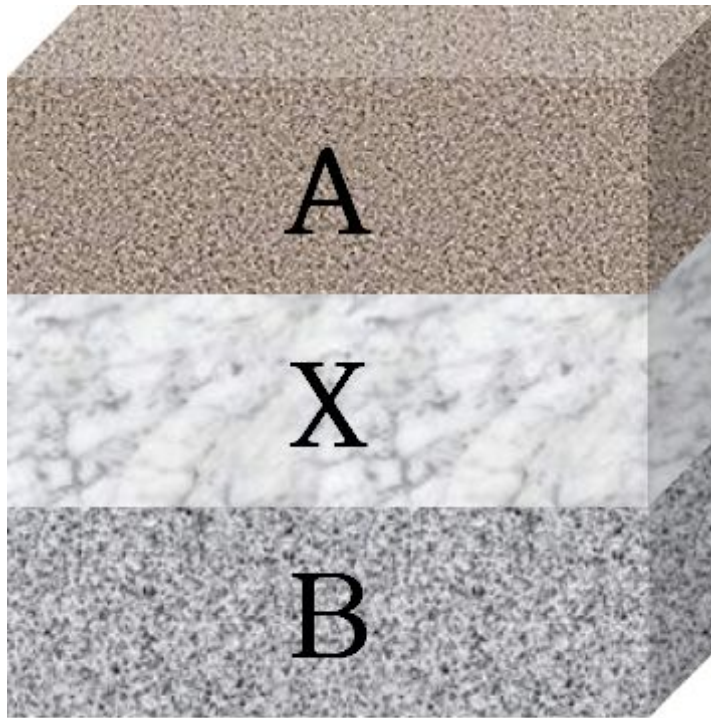


Fig. 2. Schematic diagram diffusion barrier, X, inserted between A and B, to prevent degradation of the contact properties.

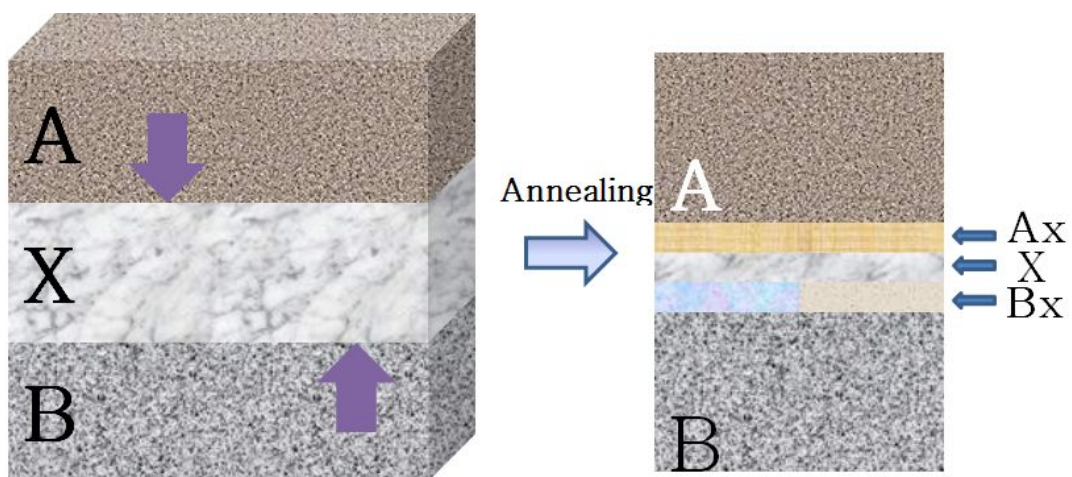


Fig. 3. Schematic diagram of a sacrificial diffusion barrier.

2. 2. 1 확산 방지막의 종류

1. 확산 방지 기구에 따른 분류 [22-25]

① 희생 방지막 (Sacrificial Barriers)

희생 방지막의 개념은 Fig. 4 에 나타내었다. Fig. 4.에서 방지막 X는 A 또는 B, 또는 둘 모두 반응하여, 전체적 반응 후 에 안정화된다. X가 A 또는 B, 또는 둘 모두와 완전히 반응되지 않는 한 A와 B사이에는 여전히 분리되어져 있다. 희생 방지막의 한 예로 Al spiking을 방지하기 위해 Al과 Si사이에 사용되는 Ti막을 들 수 있다. (Fig. 5) 450°C에서 Ti은 Si과 반응하지 않지만, 후에 Al과 반응하여 계속적으로 안정화된 TiAl₃막을 형성한다(Fig. 5. (b)). Ti가 모두 소진될 때 희생 방지막의 수명은 다될 것이고, 계속된 열처리가 진행될 경우 contact degradation을 일으킬 것이다(Fig. 5 (b)).

② 채움 방지막 (stuffed Barriers)

희생 방지막이 금속 층을 적절히 보호한다고 한다면, 채움 방지막은 명확히 한정된 수명을 가지고 있다. 더욱 영구적인 보호를 위해서, 방지막 X는 A와 B에 대해서 안정적 이어야 한다. 즉 A 또는 B와의 반응에 대하여 X의 구동력이 없어야 한다. 반응하는데 적은 열역학적 구동력은 X를 방지막으로 만들기에 불충분하다. 이렇게 적은 구동력을 가능하게 하는 것은 결정립계 등을 통해 X를 가로질러서 A와 B의 확산을 감소시키고 막는 것이다. 이러한 조건들을 만족시키기 위해서 두 가지 방법이 있다. 그 첫 번째는 결정립계를 제거하는 것이고, 두 번째는 적당한 원자나 분자를 가지고 그 경로를 메우는 것이다(Fig. 6). 그 채워지는 원소의 예로서 Ti-Mo-Au 구조가 있다. Mo와 Au는 상호 불용이다. 즉, 반응을 위한 구동력이 없다. Au 원소들은 Mo 박막에 있는 구조적 결함들로 인해 Mo 층으로 이동해 들어간다. Ti와 Mo는 고 진공상태에서 증착되어 질 때, Au와 Ti는 600°C에서 안정한 Mo층을 통과해 쉽게 결합한다. 그러나 Ti가 Mo층이 증착되기 전에 공기 중에 노출되면 Ti와 Mo층의 혼합은 관찰되지 않는다. 이것은 산소의 포함이 Ti-Mo-Au 방지막 구조에서 채움 차단효과를 나타낸다는 것을 알 수 있다.

③ 비정질 확산방지막 (Amorphous Barriers)

확산경로로 이용되는 경로를 불순물들로 채운다. 경로확산을 억제하는 또 다른 방법은 단결정이나 비정질로 박막을 제조하여 결정립계를 제거하는 것이다. 단결정 확산방지막은 현재 비실용적이므로, 비정질 확산 방지막이 그 대안으로 부각되고 있다. 하지만, 비정질 확산방지막이 결정화되어 다결정박막이 되면, 마찬가지로 결정립계가 확산경로로 작용하게 된다. 또한 비정질 확산 방지막(X)을 경계로 두고 있는 두 층 (A, B) 과 반응하게 하는 것도 가능하다. 이렇게 하면 비정질 확산 방지막은 희생 확산 방지막의 역할까지 하게 된다. 하지만 비정질 확산방지막이 두 층과 반응하게 되어 비정질 박막의 조성이 바뀌게 되면 비정질 박막의 결정화 온도를 낮추는 결과를 가져온다.

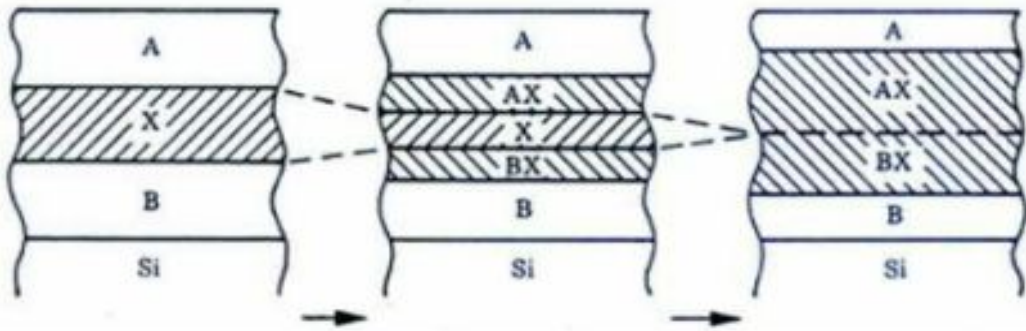


Fig. 4. Schematic diagram of sacrificial diffusion barrier.

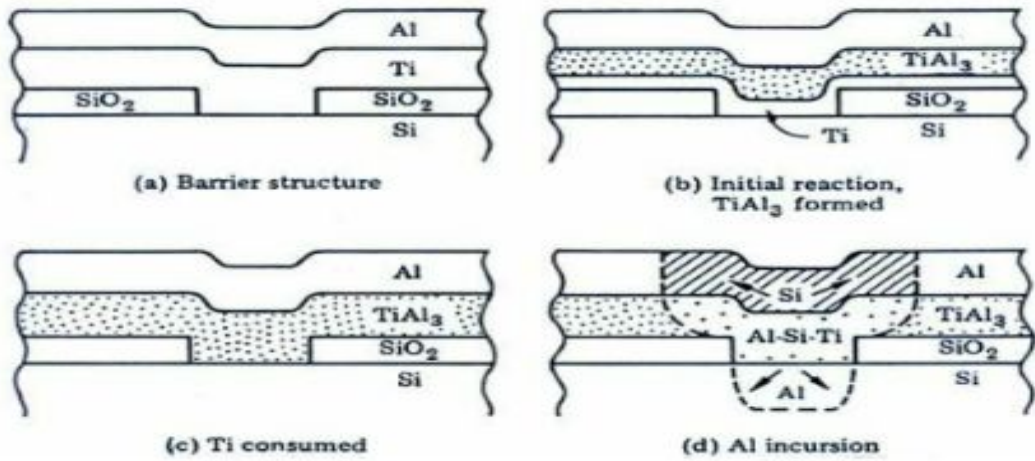


Fig. 5. Example of Ti sacrificial barrier between Al and Si.

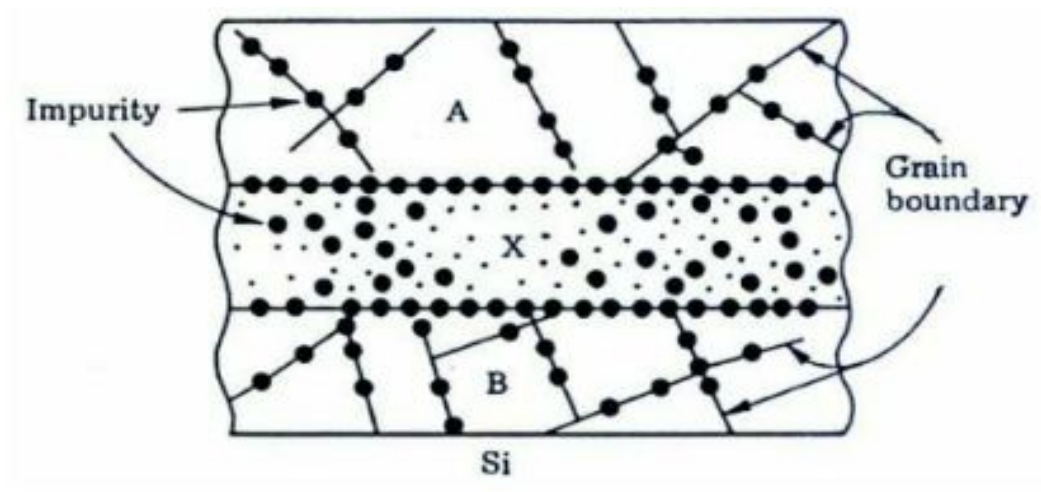


Fig. 6. Schematic diagram of stuffed diffusion barrier

2. 2. 2 Cu 확산 방지막

Cu는 약 425°C의 녹는점을 가지고 있으며, Al과 비교해서 0.6정도만큼의 낮은 저항 수치를 나타낸다. 그리고 Copper에서 Electromigration은 Al과 비교해서 훨씬 조금 일어난다. 또한 전형적인 열처리를 한 sample에 대해서, Al에서의 thermal stress보다 더 낮은 것이라는 것이 기대 되어 진다. 또한 응력방출 (stress voiding)또한 Copper가 더 좋은 수치를 갖는다. 이러한 우수한 특성으로 인해 Al합금을 대체하는 배선재료로서 매우 유망함에도 불구하고, 배선공정에 Cu를 적용하기 위해서는 여러 가지 문제점들을 해결해야 한다[26]. 그 중에서도 가장 중요한 문제는 Cu가 Al에 비하여 dielectric materials 안으로의 확산속도가 빨라 Cu와 Si을 분리시킬 수 있는 확산 방지막의 개발이 필요하다는 것이다.

Cu를 차세대 배선재료로 적용할 때 또 하나의 문제점은 thermal stability의 부족으로 인해 발생하는 문제점이다. 첫째, Cu는 Si 내부에서 deep donor level을 형성하므로 electron과 hole의 recombination center로 작용해 carrier lifetime을 감소시켜 소자의 오동작을 유발할 뿐만 아니라 Si내에서의 확산속도가 크다[27]. 반도체 공정에서는 Na, K와 같은 금속과 함께 치명적인 불순물로 간주되고 있다. 따라서 Cu와 Si을 분리시킬 수 있는 확산방지막이 필요하다.

둘째, Cu는 미과 달리 dielectric material 안으로 빠르게 확산하여 들어갈 뿐만 아니라 dielectric material 내부에서의 확산속도나 전기장에 의한 drift 속도 또한 빠르다. 특히 이러한 현상은 nitride보다 oxide에서 심하게 일어나며 polymer의 경우에는 내부에 Cu 석출물을 형성한다[28,29]. 따라서 적절한 확산 방지막을 Cu와 dielectric material 사이에 적용하지 않으면 dielectric material의 절연특성이 나빠져 소자동작에 나쁜 영향을 미칠 뿐만 아니라 1층 배선의 경우에는 Si 내부로 Cu가 확산해 들어가는 것을 막을 수 없다.

셋째, Cu는 저온에서 소자에 흔히 사용되는 금속이나 silicide들과 빠르게 반응한다. Al과는 150°C에서도 반응하여 $CuAl_2$ 를 형성하고 Au, Pd 등과도 200~250°C부터 반응하기 시작한다[29]. 또한 $CoSi_2$, $CrSi_2$, PtSi, $TiSi_2$, 등의 silicide들과는 450°C 이하에서 반응하기 시작한다. 따라서 contact에서 silicide와 Cu사이에 확산방지막이 필요한 것은 물론이고 다층배선구조에서 층에 따라 여러 가지 금속을 쓰는 경우에 Cu와 금속사이에도 확산방지막이 필수적이다.

넷째, Cu는 산화성분위기에서 쉽게 산화된다. Cu의 산화물은 구조가 치밀하지 못하므로 산화는 시간이 흐름에 따라 계속 진행된다[30]. 따라서 대기 중이나 산화성분위기를 수반하는 oxide CVD와 같은 후속공정에서 Cu의 산화를 막으려면 Cu의 증착 후 in-situ로 산화를 막아주는 보호막이 필요하다. 또한, Cu는 대부분 dielectric materials와 adhesion이 좋지 않다[31]. 위에서 기술한 바와 같이 Cu와 dielectric materials 사이에 확산 방지막은 필수적이므로 adhesion을 증진시킬 수 있는 확산 방지막이 필요하다.

이와 같은 문제점을 해결하고 Cu와 화학적으로 안정하게 공존할 수 있고, Cu 박막의 외부를 완전히 둘러싸야 한다. 또한 전기장 특성 면에서 확산 방지막은 contact 저항이나 via 저항 측면을 고려하여 Cu 박막 두께의 10% 이내의 얇은 두께로도 우수한 확산방지특성을 가져야 하며, 초미세 패턴에 두께와 조성이 균일하게 입혀지기 위해서는 CVD가 가능해야 한다.

제 2. 3 절 원자층 증착 (Atomic Layer Deposition)

2. 3. 1 원자층 증착 기구

Atomic layer epitaxy (ALE)는 박막증착과 단결정 epitaxial 성장을 위한 표면제어 공정이다. ALE공정은 주로 II-IV 족과 III-V 족 화합물 반도체, oxide 그리고 nitride 와 같은 화합물 증착에 이용하기 위해서 개발되어졌으며, 단원자 물질에도 확대 이용되고 있다[33]. 근래에 와서 epitaxial 성장이 아닌 경우도 포함하기 위해서 이 기술을 ALE가 아닌 원자층 증착 (atomic layer deposition : ALD) 기술이라고 부르게 되었다. 그리스어로부터 유래된 Epitaxy란 용어는 “arrange-on” 이라는 뜻을 가지고 있으며, 전통적으로 이것은 기판 위에 단결정 층 성장 기판의 결정구조가 성장시킬 층의 결정 구조를 제어하는 것을 설명하는데 주로 사용되어 졌다. 원자층 증착에서 “on arrangement” 는 순차적 표면제어으로써 얻어질 수 있으며, 이는 성장시킬 막의 구조뿐 아니라 한 번의 반응공정에 단원자층 (one atomic layer)이나 단분자층(one molecular layer)으로 성장률을 제어할 수 있다. 이러한 물질의 구조제어와 성장 막의 성장률 제어는 원자층 증착이 결정질 화합물 박막과 복잡한 구조의 박막, 초격자 (superlattice), 층상형 합금박막의 성장에 유용하게 이용될 수 있다. 근본적으로 원자층 증착은 ZnS 의 다결정이나 비정질 박막의 성장과 electro luminescent display 소자의 절연 oxide 형성을 위해 개발되어졌다[34,35]. 대면적 박막 형성에서 원자층 증착은 균일성 (uniformity)과 재현성을 가지는 고품질의 박막을 만드는데 사용할 수 있다. 또한 원자층 증착의 고유한 특징 중 하나는 공정의 비용절감에 있다. 앞으로 원자층 증착법은 다결정질 물질과 산화물 등 차세대 반도체 소자 재료 개발에 활발히 응용될 것이다.

원자층 증착에서 박막성장을 위한 순차적 표면제어는 박막성장을 위해 공급되는 각각의 반응물질과 기판간의 표면포화반응 (surface saturation reaction)에 기반을 두고 있다[36]. 각 표면반응으로 인해 표면 위에 성장될 물질의 단원자층을 형성하게 된다. 한 번의 반응공정에서 얻어진 단원자층은 벌크 결정면의 밀도에 준하는 원자밀도를 갖는 “full monolayer” 가 될 수도 있으며, 사용된 반응물로 인해 표면 재배열 현상과 steric-hindrance 효과로 인하여 “partial monolayer” 가 될 수도 있다.

만일 사용된 반응물이 성장되는 물질의 원자 자체라면 그 표면반응은 첨가 반응이며

표면포화를 위한 필수조건은 반응물들의 응축 (condensation)이 발생 하지 않아야 한다는 것이다 (Fig. 7. A) 반응물이 화합물인 경우에는 표면반응의 특성에 따라 몇 가지 표면포화기구 (surface saturation mechanism)가 존재한다(Fig. 7. B). 각각의 표면포화반응은 원자층 증착의 우수한 특징이며, 단순히 공정반응순서만이 표면제어를 발생시킨다고 할 수는 없다. 이러한 표면포화반응은 박막의 성장률을 반응물의 공급량에 의존하지 않고 반응 cycle의 수에 비례하게 만든다. 따라서 원자층 증착법으로 박막을 성장시킬 경우 박막의 두께를 판단하기 위해 성장 공정 중에 박막의 두께를 모니터링 할 필요 없이 반응 cycle의 수로써 박막의 두께를 결정할 수 있다.

원자층 증착을 이용하여 단원자 물질들을 성장시키려고 한다면 하나의 화합물로 된 반응물이나 한 쌍의 화합물로 된 반응물들이 필요하게 된다. 여기에는 표면포화반응에 도달하기 위해 두 가지 접근방법이 있다. 첫 번째 방법은 성장시키고자 하는 단원자 물질을 포함한 반응물을 원자층으로 화학적 흡착을 시킨 이후에 여분의 energy를 가하여 표면을 재배열시켜 새로운 원자층을 형성하는 분리환원 공정을 거치는 것이다 (Fig. 8). 두 번째 방법으로 환원공정으로 표면의 불필요한 리간드 (ligand)들을 분리해내는 화학적 반응을 이용하는 것이다 (Fig. 9). 가장 좋은 방법은 표면의 리간드들을 분리해내는데 성장시키고자 하는 물질을 포함한 화합물로 된 반응물을 이용하는 것이다 (Fig. 10). 한 쌍의 VI 족의 할로겐 화합물 (halide)과 수소화합물(hydride)은 이러한 조건에 잘 맞는 반응물들이다. 이러한 방식의 표면포화기구는 기본적으로 화합물로 된 반응물들을 사용하여 화합물 박막을 형성하는 원자층 증착 표면포화기구와 유사하다.

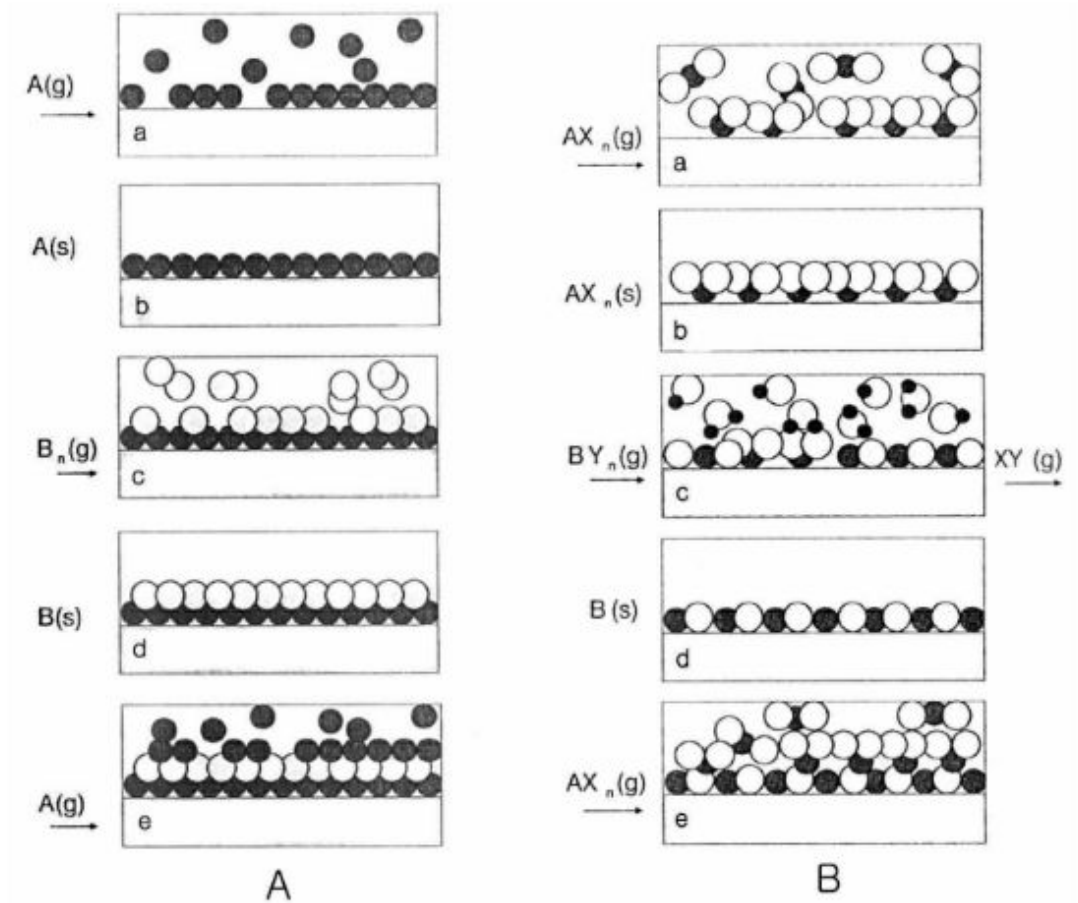


Fig. 7. Basic sequences of ALD for compound AB. “A” denotes a group-I, II, III element, “B” denotes a group-I, II, III element. “X_n” and “Y_n” denote ligands of the reactants AX_n and BY_n respectively.

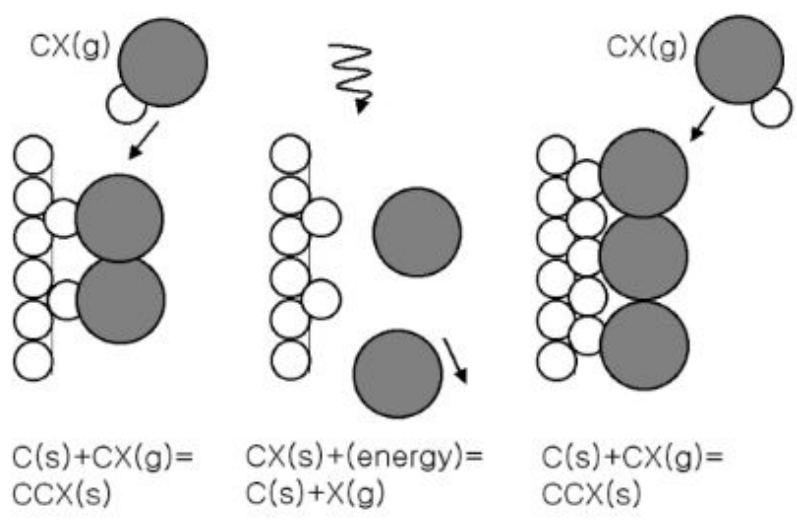


Fig. 8. ALD of covalent material “C” (group-IV element) using extra energy, heat or photons.

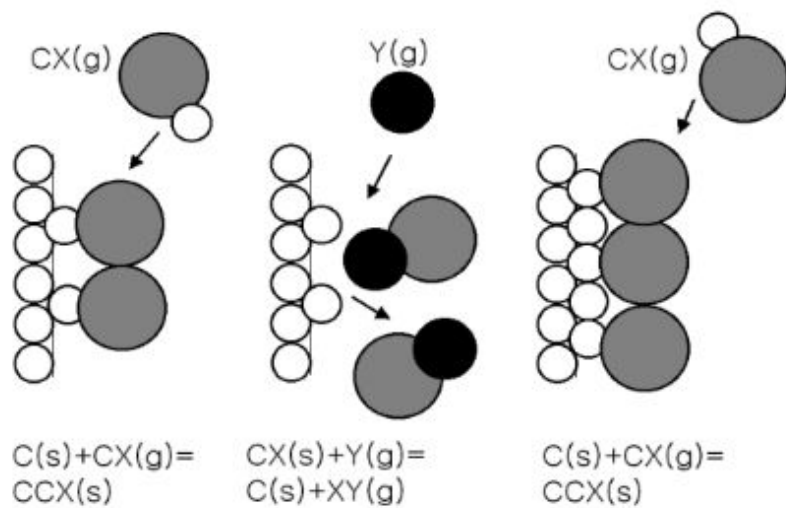


Fig. 9. ALD of covalent material “C” (group-IV element) using reactant $CX_n(g)$ and $Y_n(g)$ gas.

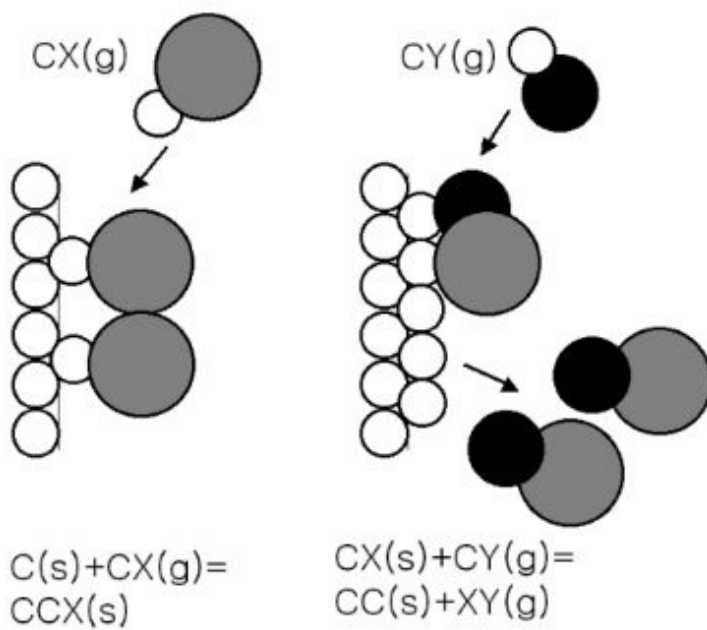


Fig. 10. ALD of elemental material by a pair of reactant $CX_n(g)$ and $CY_n(g)$

원자층 증착에서 얻어지는 장점들은 성장시키려는 물질과 그 물질의 적용 온도에 따라 결정된다. 원자층 증착법으로 기존 CVD 방법에 비해 더 낮은 온도에서 단결정 박막을 성장시킬 수 있으며, 이는 또한 superlattice와 nanolaminate 박막 증착시 요구되는 균일한 계면과 물질 층을 형성하기 위해 사용될 수 있다. 또한 원자층 증착법에 의한 박막 증착은 표면반응 제어가 우수하여 박막의 물리적 성질의 재현성이 우수하고 대면적에 매우 균일한 두께로 박막형성이 가능하며 우수한 계단 도포성의 특성과 더불어 pinhole 밀도를 매우 낮출 수가 있다.

원자층 증착법은 MBE처럼 진공분위기나 CVD처럼 저압에서 수행이 가능하여 MBE와 CVD 공정의 특별한 형태로써 생각되어 질 수 있다. 원자층 증착을 수행할 때, 사용되는 각각의 반응 가스는 표면 포화 반응이 가능한 공정조건하에서 한 번씩 순차적으로 공급되어진다. Fig. 11에서 원자층 증착의 순차적 표면포화반응의 이론적 모식도를 보여주고 있다. 표면포화반응의 기본적인 요구조건은 반응가스의 증기압과 표면반응의 반응률 속에 기인하며 표면 재배열(surface reconstruction) 또한 표면 포화 특성에 강하게 영향을 준다.

MBE 형태의 원자층 증착장비를 사용할 경우 박막 성장기구와 표면 재배열의 연구에서 다양한 in-situ 분석 장비의 사용을 가능하게 한다. CVD 형태의 원자층 증착장비의 경우 MBE 형태의 장비에 비해 생산성이 좋고 반응물질 선택이 보다 자유롭다. 또한 기존의 CVD방법과 비교하여 볼 때 원자층 증착법의 이용은 기상반응을 상당히 억제할 수 있으며 저온에서 물리화학적으로 우수한 박막을 형성할 수 있다.

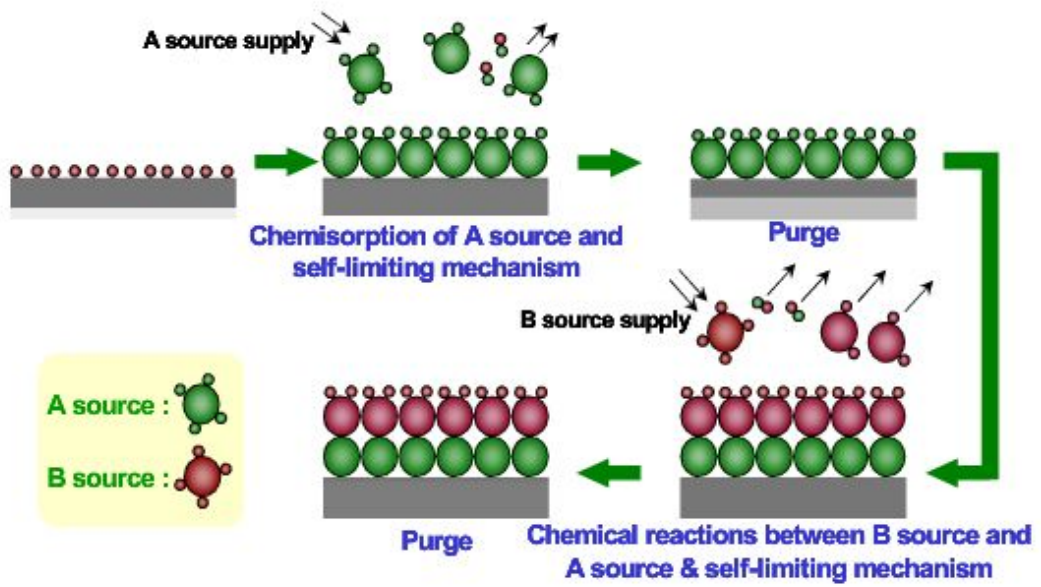


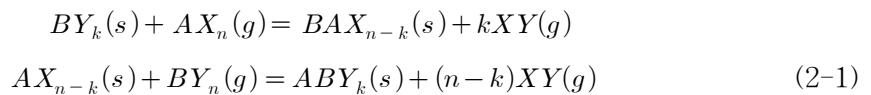
Fig. 11. Diagram of self-limiting mechanism of atomic layer deposition.

2. 3. 2 반응가스의 교환반응 [37]

반응가스로 단원자 물질을 사용하게 될 경우 원자층 증착 공정에 적용할 수 있을 만큼의 증기압이 필요하였다. 반응물질로 된 화합물을 이용함으로써 단원자 물질을 반응원으로 이용하는 원자층 증착 공정의 응용범위를 넓힐 수 있게 되었다. 반응물질로 이용하기 위한 기본적인 조건은 공정 온도에서 합당한 증기압이 나오는 것이다. 반응물질의 증기압이 낮을 경우 공정속도가 늦어지게 되고, 특히 기판이 대면적화 될수록 공정속도는 더운 늦어지게 된다. 또한 반응물질로 이용하기 위한 기본적 조건으로는 기판 표면 또는 표면 위에 형성된 박막과 우수한 반응성이 필요 된다.

원자 층 증착이 열평형 상태에서 이루어질 때에야 비로소 표면포화반응의 충분한 이점을 얻을 수 있으며, 이것은 사용하는 반응물질이 공정온도에서 화학적으로 안정해야 한다는 것을 의미한다. 또한 화합물로 된 반응물질을 사용하는 경우 흡착된 반응물의 표면포화 밀도는 표면 재배열의 함수 일 뿐 아니라, 반응물질(분자)의 리간드 (ligand) 크기에 의해서 결정되어진다. 이렇듯 사용하게 될 화합물 반응물의 리간드들은 표면 반응에 중요한 역할을 하기 때문에 반응물의 선정은 원자 층 증착 공정에 중요한 영향을 주게 된다.

화합물 반응물질은 $AX_n(g)$ 와 $BX_n(g)$ 을 이용하여 AB 화합물을 형성하는 간단한 원자층 증착 반응을 고려해보자. 그 반응식은 다음과 같은 순서를 거치게 된다.



위의 반응경로는 k에 의해서 결정되고 k는 0과 n사이의 값을 갖게 된다. 이러한 반응경로는 반응물질 리간드들의 열 탈착이 표면에서 일어나게 될 경우 복잡해진다. 표면에 흡착된 반응물들의 분해는 반응경로를 원자층 증착의 활동성(dynamics)에 의존하게 만든다. 즉, 반응물들을 빠르게 주입함으로써 원자층 증착 중에 리간드간의 반응과 선택적 교환반응을 충분히 일어나게 할 수 있다. 하지만, 반응물을 느리게 주입하는 경우 원자층 증착 공정은 A(s) 혹은 B(s)의 재배열과 각 주입단계에서 리간드들의 열 탈착을 거치게 된다. 또한 이러한 공정 조건 하에서 표면 리간드들의 손실에 중요한 역할을 하는 것은 반응물을 운반하는 가스이다. 예를 들면, 운반가스로 H_2 를 사용하는

경우 반응물의 methyl 리간드를 탈착시키고, O-H의 리간드를 새롭게 형성하게 된다.

원자 층 증착 공정 중 리간드의 전체적 혹은 부분적 열 탈착은 공정온도와 반응물의 주입시간에 의존하게 된다. 또한 표면 리간드들은 표면 위에 open bond를 형성하여 표면 재배열을 억제하는 중요한 역할을 하게 된다.

원자 층 증착 공정에서는 반응성이 높은 반응물질의 사용이 효율적이다. 이는 각 표면 반응의 활성화 에너지 (activation energy)가 낮기 때문이다. 원자 범위로 고려해보면 활성화 에너지가 낮다는 것은 표면의 한 점에 반응가스 분자가 충돌하여 반응할 확률이 높다는 것을 의미한다. 큰 범주로 생각해보면 낮은 활성화 에너지는 반응물의 빠른 반응 속도로 생각할 수 있다.

교환반응의 포화 기구는 반응경로와 연계되어진다. 사용된 반응물질과 표면반응으로 형성된 표면의 리간드들이 반응물 주입시간 (cycle time)동안 안정하다면, 교환반응은 표면포화기구에 중요한 역할을 한다. 이러한 교환반응의 경우 표면포화반응은 넓은 온도에 걸쳐서 일어나게 된다. 하지만, 반응물질의 열분해와 표면 리간드의 열 탈착이 일어나는 경우 표면포화반응은 다른 공정변수들뿐 아니라 온도에 더욱 민감하게 의존하게 된다. 원자층 증착에서 고려해야할 변수들은 반응물의 주입량, 시간과 비활성 가스의 종류 등이 있다.

2. 3. 3 원자층 증착 공정 구간 (processing window) [37]

원자 층 증착 공정에서 표면포화기구에 가장 커다란 영향을 미치는 변수는 공정온도이다. 공정온도는 반응물질을 가스 상태로 유지하여 주고, 반응에 필요한 활성화 에너지를 공급하여 주며, monolayer 형성 후 표면에 남은 여분의 종들을 탈착시켜 주어야 한다. 원자 층 증착 공정에 적용할 반응물질과 반응 온도를 선정하는데 고려하여야 할 요소들을 요약하여 Fig. 12에 원자 층 증착법에서 monolayer(ML) 형성을 위한 공정온도 구간을 정의하였다. 원자 층 증착 공정구간은 purge 순서와 각 반응물질의 주입량과 주입시간 같은 공정 변수들에 연관되어 규정할 수 있다. 원자 층 증착법으로 증착할 박막에 있어서 반응물질의 선택은 가능한 공정구간을 결정하는데 중요한 요소이다.

공정온도에 따른 박막 성장률의 고찰이 원자 층 증착 공정의 표면 제한반응 기구의 첫 번째 이해이다. 표면포화반응의 제한 기구는 각각의 반응순서에 독립적이고 박막 성장 특성은 다른 요소들의 전체적인 영향을 반영하게 된다. Fig. 12의 구역별 설명은

다음과 같다.

- L1 : 공정온도 증가 시 cycle당 성장률이 감소하고 있는데 이는 반응물의 응축이 일어나거나 교환반응의 결과 때문이다.
- L2 : 공정온도 증가 시 cycle당 성장률이 증가하고 있는데 이는 활성화 에너지가 공정을 제한하기 때문이다. (반응물의 낮은 반응성)
- W1 : cycle당 성장률이 1ML로써 각각의 반응순서마다 충분한 표면 ML 포화가 이루어지며, 이는 표면 재배열 형성이 방해받는다는 의미이다.
- W2 : cycle당 성장률이 1ML이하로써 적어도 한번의 ML 표면포화시 표면 재배열이 일어남과 동시에 커다란 표면 리간드들에 기안한 steric hindrance가 발생함을 의미한다. 온도가 증가하면 성장률이 감소하는 것은 표면 흡착위치에서 결합 에너지가 분산되었기 때문으로 다결정이나 비정질 같은 불규칙 표면에서 발생한다.
- H1 : 공정 구간의 우측 상향구간은 온도 증가하면 cycle당 성장률이 증가하며 이는 반응물이나 표면 리간드로부터 비휘발성 부산물이 쪼개져 나와 형성되기 때문이다.
- H2 : 공정 구간의 우측 하향구간은 온도 증가하면 cycle당 성장률이 감소하며 이는 형성된 monolayer의 탈착이나 다음 반응을 위해 표면을 활성화시키는 표면 리간드의 분해나 탈착 때문이다.

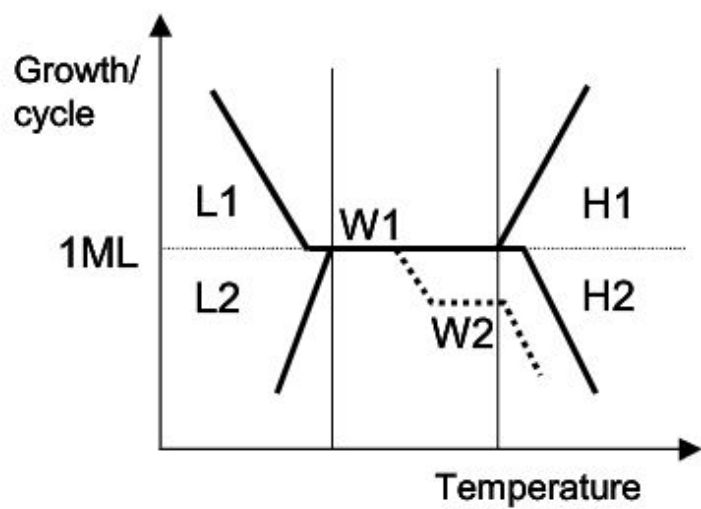


Fig. 12. Temperature window of ALD processing.

제 2. 4 절 흡착 (Adsorption) [38-42]

기체 분자나 고체나 액체 같은 응축 상 표면의 원자와 결합(bonding)하는 현상을 흡착이라 한다. 이때 표면과 결합하는 분자를 흡착질 (adsorbate)이라 하고 표면을 흡착제 (adsorbent)라 한다.

2. 4. 1 흡착의 정의

단위면적 당 흡착량은 언제나 일정하고, 단위부피 당 흡착량은 심하게 변하며, 흡착량은 흡착가스를 바꿔주면 달라지는데 이는 흡착이 표면현상임을 말해준다. 가스가 고체표면과 직접 결합하는 것을 흡착 (adsorption)이라 하며, 가스가 부피 속으로 용해되는 것을 흡수 (adsorption)라 한다.

Fig. 13은 가스가 고체표면에 흡착하는 모습을 나타낸다. 모든 흡착질이 표면과 직접 결합하고 있는 것을 monolayer adsorption이라 하고, 표면 위에 몇 층의 흡착질이 있는 것을 multilayer adsorption이라 한다. Multilayer adsorption은 기본적으로 condensation process이고, monolayer adsorption은 표면과 흡착질의 직접작용에 의해 일어나며 보통 흡착질 (adsorbate)의 끓는 점 보다 몇 백도 높은 온도에서 이루어진다.

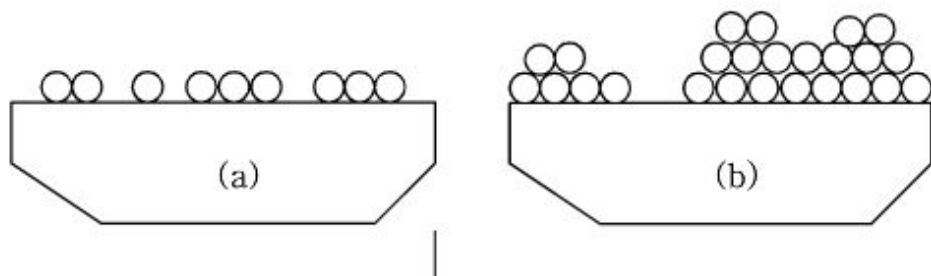


Fig. 13. An illustration of (a) monolayer adsorption and (b) multilayer adsorption.

2. 4. 2 물리흡착 (Physisorption) & 화학흡착 (Chemisorption)

흡착질과 흡착제 간에 직접적인 화학결합을 하는 것을 화학흡착이라 하고 직접적인 결합은 하지 않고 물리적인 Van der Waals 힘에 의해 이루어지는 것을 물리흡착이라 한다.

화학흡착 시에는 흡착질과 흡착제사이에 전자교환이 이루어지고 따라서 흡착질의 전자구조에 심각한 변화가 일어난다. 반면에 물리흡착 시에는 흡착질과 흡착제 사이에 어떠한 전가교환도 없으면 전자구조 또는 변화가 없다. 일반적으로 간단한 분자의 화학흡착에너지 15~100 kcal/mole 이고, 물리흡착에너지는 2~10 kcal/mole 이지만 모든 흡착과정을 물리흡착과 화학흡착으로 구별하기는 힘들다. 같은 흡착제에서 물리 흡착과 화학흡착이 공존하는 경우가 많고, 보통은 분자가 먼저 물리 흡착된 후 화학 흡착으로 진화한다. 표. 1에서 물리흡착과 화학흡착의 차이점에 대해서 기술하고 있다.

Table. 1. Difference between physisorption and chemisorption.

Parameter	Chemisorption	Physisorption
Bind formation	Electron transfer	Van der Waals
Coverage	Monolayer	Multilayer
Adsorbent	Some solid	All solid
Adsorbate	Chemically reactive vapor	All gases
Rate	Depending on temp. and flow rate	Rapid
Activation	Activated	Nonactivated
Temperature dependence	Possible over a wide range of temperature	Decrease with increasing temperature
Adsorption energy	15 ~ 100 kcal/mol	2 ~ 10 kcal/mol
Dissociation	may involve dissociation	no dissociation

2. 4. 3 흡착층의 성질

어떤 물질이 가스를 흡착하는 능력은 금속, 반도체, 부도체에 따라 또는 주기율표에서의 위치에 따라 달라진다. 또한 같은 물질이라도 면에 따라 반응성이 달라진다. 예를 들어 질소는 텅스텐 (W) 의 (110), (211), (111), (321)에서 거의 흡착되지 않으나, (100), (310), (411), (210) 등에서는 흡착이 잘 일어난다. 이것으로 흡착속도는 표면구조에 따라 크게 달라짐을 알 수 있다.

2. 4. 4 분해흡착 (Dissociation Adsorption)

분자가 흡착동안 분자상태를 유지하는 것을 nondissociative adsorption이라 하고, 흡착 시 결합이 깨지는 것을 dissociative adsorption이라 한다. 수소의 동위원소 변화 실험으로부터 가스가 분자상태로 또는 분해된 채로 흡착된다는 것을 알 수 있었다. 또한 한 물질이 어떤 금속에서 분자상태로 다른 금속에서는 분해된 채로 흡착되기도 한다.

Fig. 14는 분자흡착과 분해 흡착 시에 흡착질과 흡착제간의 상호작용에너지를 표면으로부터 분자의 거리에 따라 나타낸 것이다. 기상에서 붕소 분자가 원자로 분해하기 위해서는 $E^{B_2}_D$ 만큼의 에너지가 필요하지만 모델에 따르면 기상에 있던 붕소 분자는 표면과 가까워짐에 따라 활성화장벽을 넘을 수 있게 되고 분해되는 것이다. 따라서 분자 흡착과 분해 흡착을 구분하는 중요한 방법은 분자와 분해 상태사이의 에너지 장벽의 높이이다.

흡착에는 세 가지 경우가 있는데 첫째는 분자 흡착이 분해 흡착보다 더 안정한 경우이고, 두 번째는 분해 흡착이 분자흡착보다 더 안정하지만 그들 사이에 어느 정도의 활성화 장벽이 있는 경우이다. 이 경우에는 분자가 분해할 수 있지만 높은 활성화 에너지가 필요하므로 분자 흡착이 많이 관찰된다. 세 번째는 분해 흡착이 분자 흡착보다 안정하고 그들 사이의 에너지 장벽이 붕소 분자의 에너지보다 낮은 경우이다. 하지만 분자가 분해되기 전에 에너지를 잃어 분자 상태로 흡착되는 경우도 있다.

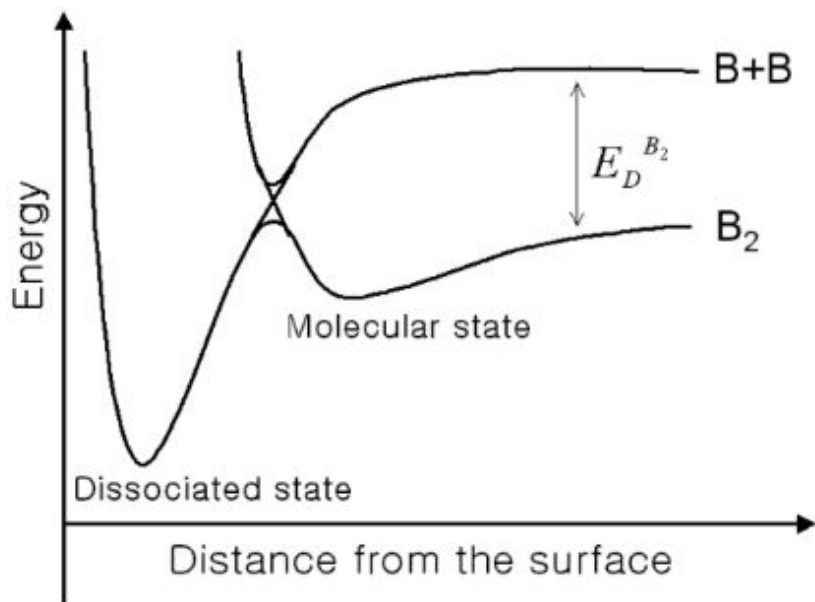


Fig. 14. A plot of a potential energy for adsorption of a B₂ molecule on a surface

제 3 장 실험 방법

제 3. 1 절 hybrid ALD

ALD에서 박막을 형성하는 기판의 표면 반응은 CVD의 반응과 많은 유사성을 가진다. 이런 유사성 때문에 ALD 공정에서 종종 CVD 공정에 적용되는 전구체와 반응가스를 도입하게 된다. 그러나 같은 전구체와 반응 가스를 사용하더라도 박막의 증착 공정온도에서 차이를 보이게 되는데, CVD의 경우 전구체가 기판 표면에서 분해하여 반응물을 만들어 내지만, ALD의 경우는 분해되는 대신 화학흡착을 하여 이후 반응가스와 반응을 해야 한다. 이를 통해서 ALD 1 cycle에 증착하는 박막의 두께가 흡착에 의해서 제한될 수 있다. 따라서 ALD 공정은 전구체의 열분해가 일어나지 않는 충분히 낮은 온도에서 이루어져야 하며, 동시에 그 온도에서 반응가스와 화학반응을 일으켜야 한다. 다시 말하면, ALD의 공정온도는 반응물 사이의 화학 반응이 시작되는 온도보다는 높아야 하고, 전구체의 열분해 온도보다 낮아야 하는데, 이러한 온도 범위를 “process widow”라고 한다. CVD의 열분해 온도보다 낮은 증착온도는 공정상의 이점이 되기도 하지만, 전구체와 반응가스의 반응이 느려 공정시간이 오래 걸리거나, 불완전한 반응으로 불순물 농도를 증가시키는 원인이 되기도 한다. 또한 3원계 박막 등에서 둘 이상의 전구체가 필요한 경우에는 각 전구체 사이의 process window가 공통의 온도 영역을 포함하고 있어야 한다. 다성분계 박막에서는 이러한 process window의 제한은 전구체 선택의 어려움을 가져오고 ALD 공정 확보를 힘들게 만드는 커다란 문제점이 될 수 있다. ALD는 다음과 같은 장점이 있다.

(1) ALD 장점

- ① 박막의 두께 조절이 매우 용이하여 얇은 막의 형성이 가능하다.
: 표면 반응을 이용하여 원자층 단위로 박막을 성장시키며 cycle수에 따라 결정
- ② CVD보다 우수한 박막의 두께 균일성 특성을 나타내며, 재현성 또한 우수하다
- ③ 증착 온도를 낮출 수 있는 장점이 있다. (증착온도에도 크게 영향 받지 않음)
: 반응원료의 열분해 반응을 이용한 CVD와 달리 ALD는 반응 chemisorption을 이용
- ④ 단차 피복성이 매우 좋다
: 기판의 요철에 관계없이 일정한 두께의 막이 형성

- ⑤ 형성된 막에 pin-hole이 없다.
- ⑥ 분말이나 다공성 물질에도 균일한 두께의 막을 형성한다
- ⑦ Self-limited mechanism을 이용하기 때문에 일정량 이상의 반응 원료가 공급되면 그 이상의 반응 원료의 양에 민감하지 않다.

위와 같은 장점을 가지고 있지만, 낮은 증착 속도, 전구체 선정의 어려움, purge time으로 인한 전체 공정시간의 증가 등을 극복할 수 있는 공정 설계를 요구하고 있다. Hybrid ALD 증착법은 ALD의 이러한 한계를 극복할 수 있는 좋은 대안이 될 수 있다.

Hybrid ALD는 ALD의 장점을 유지한 채 ALD의 한계를 극복할 수 있다. 반응성이 높은 라디칼 반응가스를 활용함에 따라 process window는 더욱 낮은 온도 범위로 확장할 수 있고, 낮거나 불완전한 반응성으로 인해 활용할 수 없었던 전구체를 도입할 수 있기 때문에 전구체 선택의 폭을 넓힐 수 있다. 또한 플라즈마로 인한 여분의 에너지는 박막의 특성을 향상 시키고 증착속도를 증가 시킬 수 있다. 만약 전구체와 반응가스가 반응성이 없는 경우 즉, 반응가스가 라디칼 상태일 때만 전구체와 반응하는 경우에는 반응가스 이후의 후속 purge time을 줄일 수 있어 박막 증착 시간을 단축시킬 수 있다. Fig. 15는 hybrid ALD를 수행하기 위한 system의 개략도를 나타내었다.

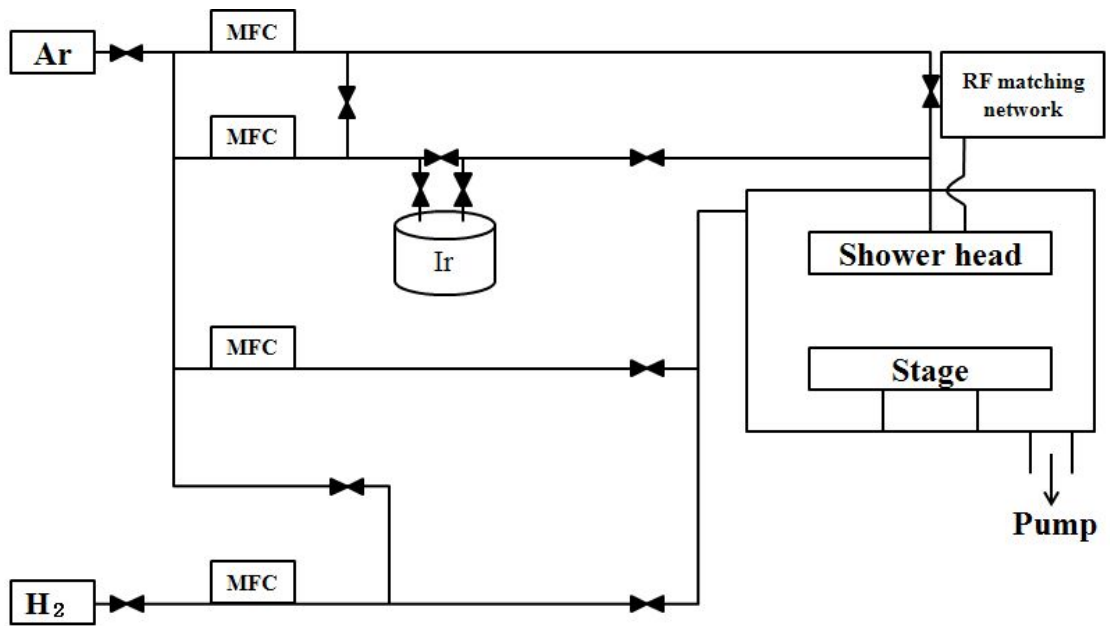


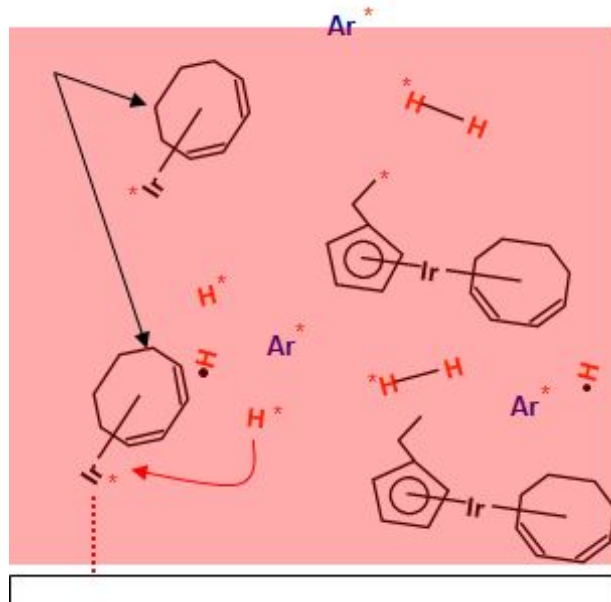
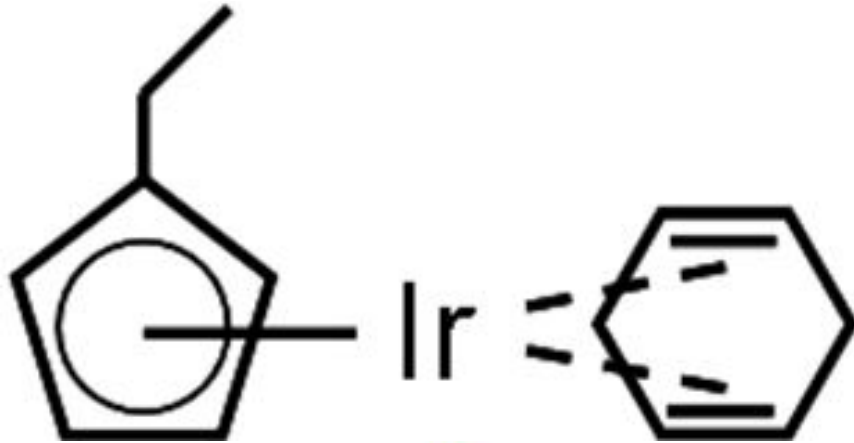
Fig. 15. Schematic diagram of a hybrid ALD system

제 3. 2 절 박막 증착 방법 및 분석 방법

Ir 박막은 ALD(Plus 300 system : Quoros co. Ltd)를 이용하여 나노 두께를 갖는 Ir 막을 증착하기 위한 최적의 조건을 찾기 위해 8 인치의 Si (100)기판 상에 증착하였다. Si 기판은 ultrasonication을 사용하여 아세톤으로 웨트 클리닝(wet cleaning)을 한 후 유기 입자를 제거하기 위해 이소프로필알코올(isopropyl alcohol)로 세척하였다. Ir (EtCp)(COD)와 수소는 각각 Ir 전구체와 반응물로 쓰였다. Ir 전구체를 둘러싼 유기 리간드를 분해하기 위해 수소 플라즈마가 사용되었다. 증착 온도는 240~ 420°C에서 최적의 온도를 찾기 위해 조사하였다[8]. 3.2 nm 두께의 Ir 막을 증착하기 위해서 ALD의 cycle은 precursor feeding time 10 sec이고, 유량은 20 sccm하였고 캐리어 가스로 Ar은 100 sccm의 유량을 주입하였으며, Ar 300 sccm으로 purging time을 5초하여 증착하였다 Table. 2. Ir 전구체의 농도는 캐리어 가스의 20%로 하였다. 또한 전구체 흡착과 표면 포화를 향상시키기 위하여 feeding과 purging과정을 반복하였고, hydrogen-plasma-enhanced 처리를 10초 한 후 300 sccm으로 Ar purge을 10초 수행하였다. 한 cycle의 증착 과정은 Ir 소스 feeding 과 Ar purge을 두 번씩 한 다음 수소 플라즈마 처리와 Ar purge을 하였다. 표면 산화로 인한 Ir 두께 감소를 방지하기 위해 두 번의 feeding과 purging 과정으로 이루어졌으며, 나노 트렌치 폭 32 nm Si 기판을 사용하여 먼저 TaN을 3 nm 두께로 증착 후 Ir 막을 증착하였다. Fig. 16에서는 Ir 전구체의 구조를 나타내었다. Ir의 전구체는 CVD공정과 PEALD 공정에서 가스 상태로 분해되어 기판위에 증착된다. 증착 초기단계에서는 낮은 핵 밀도로 인한 긴 인큐베이션 타임을 극복하기 위해서 ALD공정과 CVD공정을 결합시킨 하이브리드 ALD공정을 고안하였다. Ir 막을 증착하기 전에 폭 32 nm 나노 트렌치 위에 3 nm 두께의 TaN 막을 PEALD로 증착하였다. TaN 증착 조건과 결과에 대한 자세한 내용은 다른 곳에서 보고된바 있다[7,9]. Ir 막의 두께 및 미세구조는 고분해능 투과 전자현미경(HR-TEM)을 사용하여 분석하였다. 결정 구조는 X-선 회절 (XRD)를 사용하여 분석 하였다. (Cu Kr radiation $K = 1.5405\text{\AA}$)

Table. 1. Difference between physisorption and chemisorption.

	Process step	Flow rate(sccm)	Power	Time
1 cycle	Ir feeding + H ₂	20		10 sec
	purging	300		5 sec
	Ir feeding + H ₂	20		10 sec
	purging	300		5 sec
	H ₂ plasma	200	RF 300W	10 sec
	purging	300		10 sec



Source : $\text{Ir}(\text{EtCp})(\text{COD})$

Fig. 16. Ir precursor and deposition schematic diagram

제 4 장 결과 및 고찰

제 4. 1 절 Ir 막의 성장

첫째, cyclic CVD와 비슷한 하이브리드 ALD에 의해 증착된 Ir 막의 성장 과정을 조사하였다. 증착된 Ir막의 두께는 HR-TEM을 사용하여 확인하였다. Fig. 17은 Ir 전구체 주입 시간과 하이브리드 ALD 1 cycle에 따른 Ir 막의 증착두께를 나타낸다. Ir 전구체 주입시간이 증가함에 따라, Ir 막의 증착두께는 처음에는 증가하다가, 10 초 후에 0.06 nm/cycle로 포화되었다. 이와 같은 결과는, 하이브리드 ALD로 증착된 Ir 막은 정확한 두께를 제어 가능하고 전형적인 self-limited nature을 나타낸다. Fig. 18은 증착 cycle에 따른 Ir 막의 두께를 나타낸다. 30 cycle이하에서는 증착된 Ir 전구체가 Ir의 핵 생성 자리를 형성한다. 30 cycle 이하에서는, Ir 막이 관찰되지 않아서 Ir 막의 두께는 측정이 불가능하였다. 그러나 높이 2.5 nm의 Ir 막이 부분적으로 표면에 형성되어 주입된 Ir 전구체에 대한 핵 생성 자리 역할을 한 것으로 생각된다[9]. 처음 30 cycle 이하에서는 핵 생성 자리의 형성 후, Ir 막은 성장되었다. Fig. 18에서 보여주는 것처럼, 증착 cycle 수가 증가하면 Ir 막의 두께도 선형적으로 증가 하였다. 하이브리드 ALD에 의한 Ir 막의 두께의 조건은 Fig. 17과 같이, Ir 전구체 주입시간에 따라 두께를 제어 할 수 있다. Fig. 19는 증착온도 240~420°C로 변화를 시켜 최적의 증착 온도를 결정하기 위해 조사 하였다. Fig. 19에서 보여주는 것처럼 증착온도 330°C 이하에서는 Ir 막의 두께는 빠르게 증가하였고, 그이상의 온도에서는 Ir 막의 전형적인 self-limited nature에 의해 포화된 두께 변화를 나타내었으며, 390°C보다 높은 온도에서는 높은 열에너지로 인하여 스스로 분해되어 빠른 성장속도를 나타내었다. 따라서 본 연구에서는 최적의 증착 온도를 330°C으로 결정하였으며, 이후의 실험은 330°C에서 진행하였다.

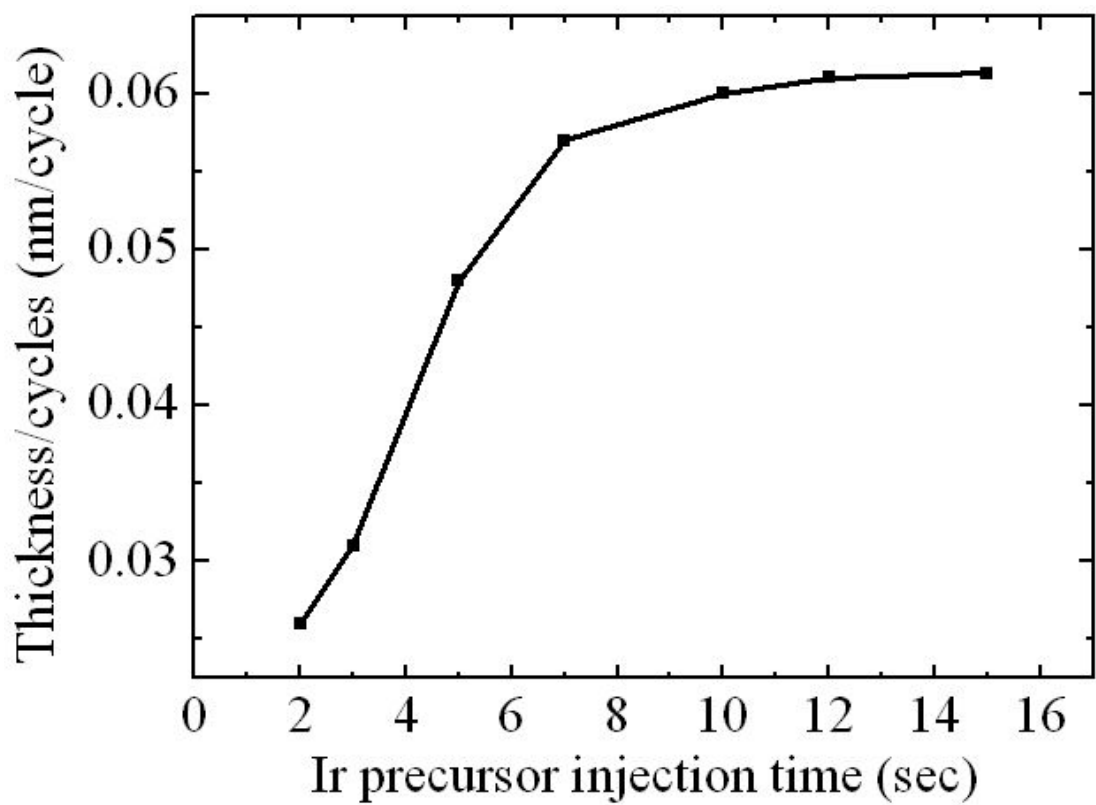


Fig. 17. Growth rate (in thickness/cycle) of Ir grown by CVD-like hybrid ALD as a function of Ir precursor injection time

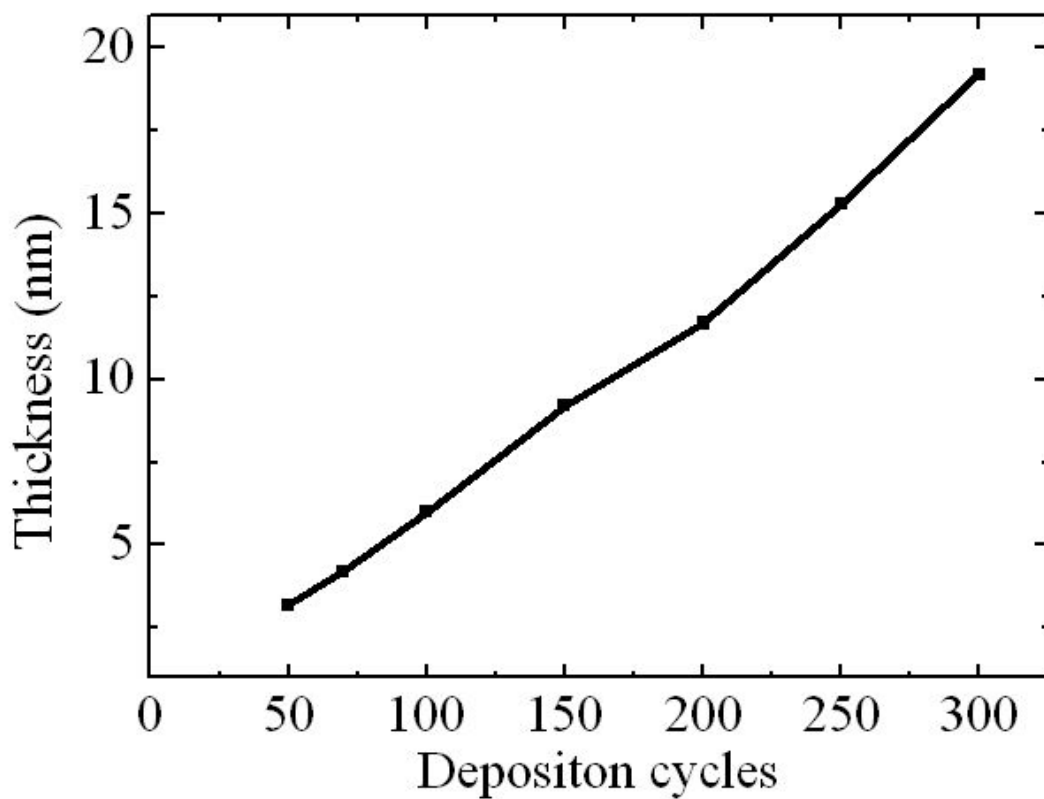


Fig. 18. Thickness of Ir as a function of the number of deposition cycles

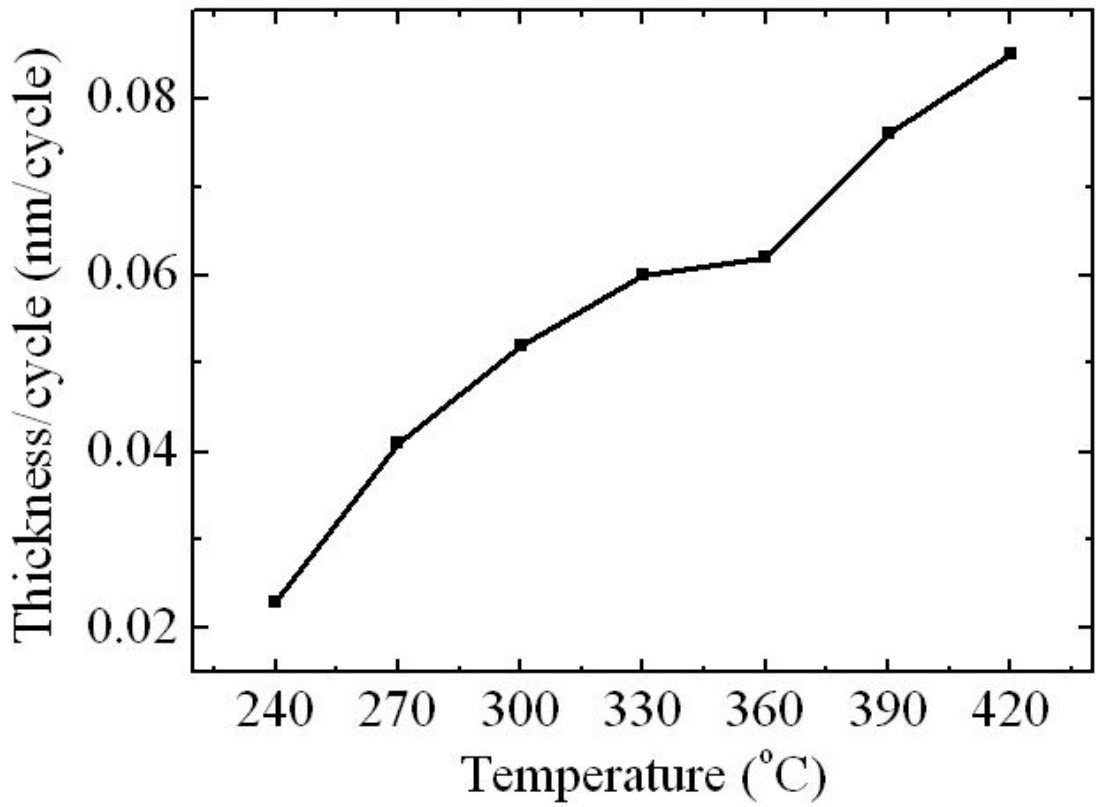


Fig. 19. Growth rate (thickness/cycles) of Ir as a function of Ir deposition temperature

제 4. 2 절 Si 기판에 Ir 성장

Fig. 20은 하이브리드 ALD에 의해 증착된 Ir 막의 단면을 HR-TEM으로 관찰한 결과를 나타낸다. 증착 온도는 330°C로 고정하였고, 증착 cycle의 수를 30, 50, 100 cycle로 변화시켜 증착하였다. 30 cycle로 증착된 Ir 막은 Fig. 20 (a)에 나타난 것처럼 막이 형성되었다. Ir 막의 표면은 아직 거칠어 보이며, 이는 막의 성장의 중간 단계에 있는 것으로 보인다. Ir 막의 long-range order (장거리 규칙도) 높이는 약 2.5 nm로 측정되었다. 기존의 ALD를 사용하여 30 cycle으로 증착 하였을 때는 Ir 막이 기판 위에 부분 성장을 하는 반면, 하이브리드 ALD 공정으로 30 cycle 증착 하였을 때는 2.5 nm의 Ir 막이 형성되었다[44]. 기존에 보고된 ALD 공정에서[8,44] Ir 막을 형성을 위해서는 최소 150 cycle이 필요하다고 보고되었다. 증착 cycle 수를 50 cycle 으로 증가하면, 두께가 3.2 nm로 균일한 Ir 박막이 Fig. 20 (b)와 같이 확인되었다. 증착 cycle 수를 100 cycle으로 증가시키면 Ir 막의 두께는 Fig. 20 (c)와 같이, 50 cycle보다 두 배 두꺼운 6.5 nm 막이 형성되는 것이 확인 되었다. 증착 cycle 수에 따른 두께 의존성은 ALD의 self-limited nature의 전형적인 특성에 의한 선형 관계를 보여 주고 있다. 명확한 Ir 막을 관찰하기 위해서 100 cycle과 50 cycle으로 증착하여 Ir 막 관찰하였다. 기존의 ALD 공정에서는 5 nm 두께의 Ir 막을 얻기 위해서는, 최소한 200 cycle의 증착이 필요하였다[44]. 또한 기존의 ALD는 핵 밀도가 낮기 때문에 5 nm이하 Ir 막을 얻기 어려웠다. 그러나 하이브리드 ALD는 기존의 ALD와 비교해서, 높은 균일성과 증착 cycle 수 감소로 인해 3.2 nm 두께의 Ir 막을 얻을 수 있었다. 이것은 수소 반응물과 Ir 전구체를 혼합하여 주입함으로써 높은 핵 밀도로 인하여 균일한 막이 형성되는 것으로 생각된다. Ir 전구체는 일부 기상과 기판 표면에서 수소 플라즈마의 도움으로 효과적으로 분해된다. Fig. 17-20에 나타난 것처럼 하이브리드 ALD 공정을 사용하면 self-limited nature을 digital thickness control 할 수 있다. Ir 막의 밀도는 X-선 reflectometry (XRR)에 의해 측정 하였다. Ir 막의 이론 밀도 (3.9 g/cm^3)에 비해서 하이브리드 ALD를 이용하여 50 cycle로 증착 하였을 때의 밀도는 3.12 g/cm^3 로 나타났으며, 100 cycle에서는 3.27 g/cm^3 로 나타난 것으로 보아 Ir 막은 구리의 확산을 차단하는데 효과적일 것으로 예상 할 수 있다.

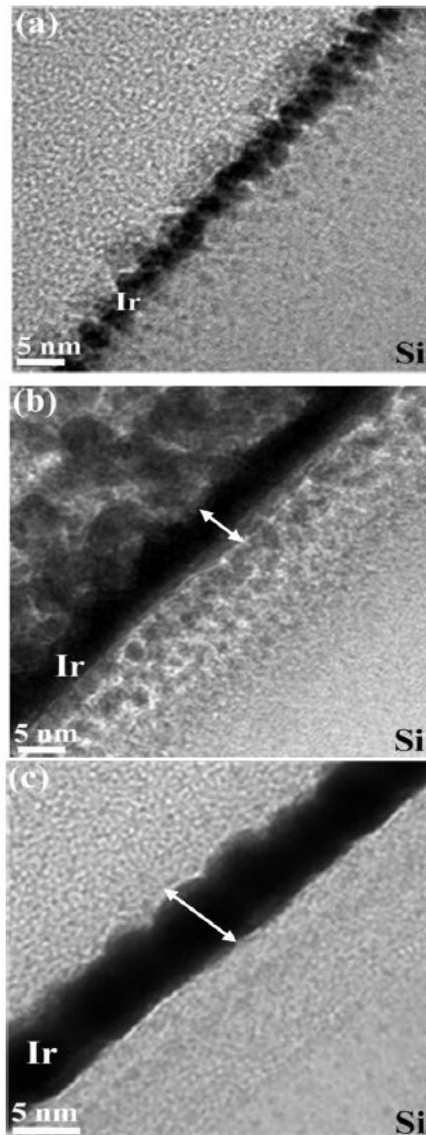


Fig. 20. Cross-sectional HR-TEM images of Ir layer grown by CVD-like hybrid ALD after (a) 30, (b) 50, and (c) 100 deposition cycles.

제 4. 3 절 Ir 막 XRD분석

Fig. 21은 하이브리드 ALD를 이용한 Ir 막의 XRD 패턴을 보여주며, 하이브리드 ALD에서 증착된 Ir의 결정과 피크를 나타내었다. Fig. 21을 보면 Ir 막의 두께와 관계없이 모든 막에서 (111) 면 주 피크와 (200) 면 서브 피크가 관찰되었으며, 결정구조는 FCC (면심 입방 구조)를 나타낸다[45,46]. Ir 막의 두께와 관계없이 다결정 구조를 나타낸다. 주 피크인 (111) 면에 대한 강도를 비교한 결과 30 cycle 에서는 3.5, 50 cycle 에서는 4.47, 100 cycle 에서는 1.92로 나타났다. Gong et al. 보고에 의하면 [48] Ir 막은 가장 낮은 표면에너지와 결정화 증가로 인하여 FCC 구조에서는 (111) 면이 우선 성장하는 것을 의미한다[47]. 또한 4-point probe에 의해 측정된 면 저항은 71 Ω/sq 로 나타났다. 기존의 ALD 공정[8,9]에 의해 성장된 막과 비교해서 거의 차이가 없었다. 따라서 반응물과 Ir 전구체를 혼합하여 하이브리드 ALD로 증착된 Ir 막은 확산 방지막으로 사용하기 충분하다고 사료된다.

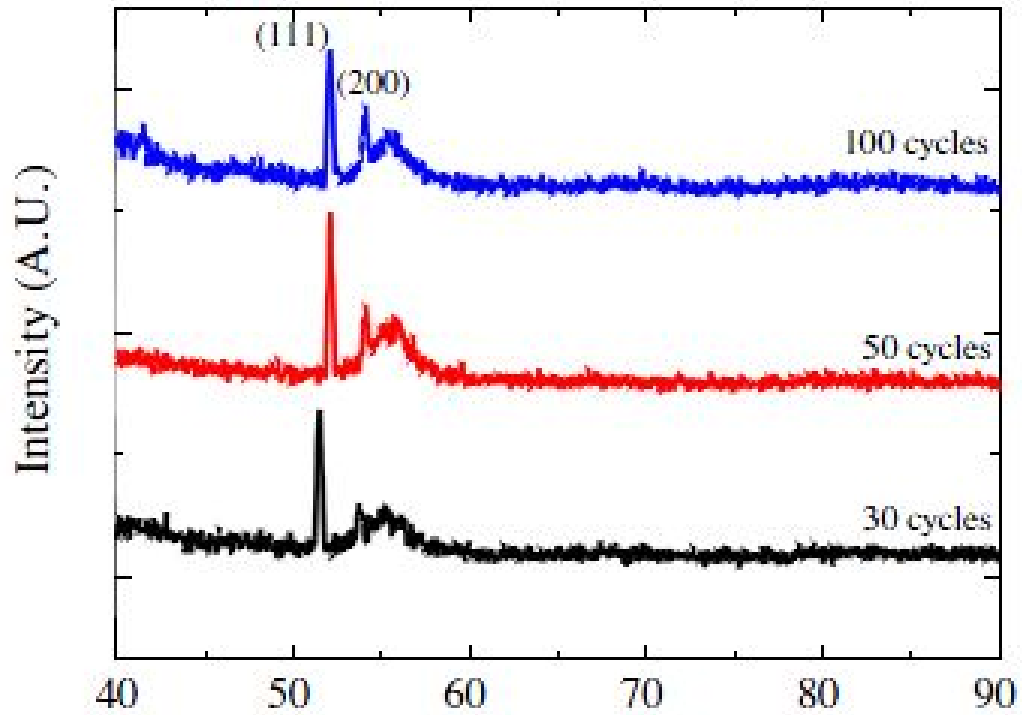


Fig. 21. XRD spectra of the Ir layers shown in Fig. 20

제 4. 4 절 Nano-trench에 Ir 막의 성장

Fig. 22에서는 32 nm 폭의 나노 트렌치에 3 nm 두께의 TaN을 증착한 후, 하이브리드 ALD를 이용하여 Ir 막이 형성된 시편을 HR-TEM으로 단면을 관찰한 결과이다. 앞에서 도출한 최적의 조건을 이용하여 증착 cycle과 온도는 각각 50 cycle과 330°C로 고정하였다. 하이브리드 ALD로 Ir 막을 증착하기 위해 먼저 TaN을 3 nm 두께로 증착한 후, Ir 막을 50 cycle과 330°C에서 증착하였다. Fig. 22의 HR-TEM 이미지에서 보이는 것처럼 막은 Ir/TaN으로 되어 있으며, 막의 두께를 측정된 결과 top : 6.5 nm, bottom : 5.9 nm, left : 6.3 nm, right : 6.4 nm로 측정되었다. HR-TEM에서 측정된 두께는 3 nm의 TaN 두께가 포함되어 있기 때문에 실제 Ir 막의 두께는 top : 3.5 nm, bottom : 2.9 nm, left : 3.3 nm, right : 3.4 nm이다. Ir 막은 동일한 증착 cycle을 사용하여 증착되었지만, 각 위치에서 Ir의 두께가 약간씩 다른 것을 알 수 있다. 32 nm 폭의 나노 트렌치에 Ir 막의 성장은 non-patterned 된 Si과 TaN이 증착된 Si 기판에 비해 다른 성장을 보여 주었다[9]. 이것은, 두 가지 관련 요인에 기인 할 수 있다. 첫 번째로 트렌치의 내부 표면의 등방성 증착에 전구체 분자가 좁은 골짜기에 불충분한 확산에 대한 영향이 있다. 트렌치 내부보다 top 표면이 빨리 포화하여 화학 흡착하며 bottom뿐만 아니라 side wall에 부피가 큰 전구체가 조금 늦게 확산된다. 트렌치 상단에 면이 먼저 포화된 후, 트렌치 표면의 전구체 분자들이 더욱 아래로 불포화 확산에 의한 것이다[49]. 둘째, 막 두께의 차이는 Si 트렌치 위에 증착된 TaN과 비교하여 Ir 전구체는 다른 핵 성장을 나타낸다[50]. 많은 연구 그룹은 ALD를 사용하여 마이크로 트렌치에 관한 많은 결과를 얻었지만, 나노 영역에서는 좋은 결과를 찾지 못했다 [50,51]. 트렌치 구조에서 막 형성 적합성은 방정식을 사용하여 계산한다.

$$Rb/sw = Tb/Tsw \quad (4-1)$$

Tb : 하단에 있는 Ir 두께

Tsw : side 두께

가장 이상적인 막의 적합성은 1이고, 계산된 적합성은 0.88로 이상적인 막의 적합성에 가깝기 때문에 하이브리드 ALD를 사용하면 오버행 없이 균일한 Ir막의 제조가 가

능하다고 판단된다.

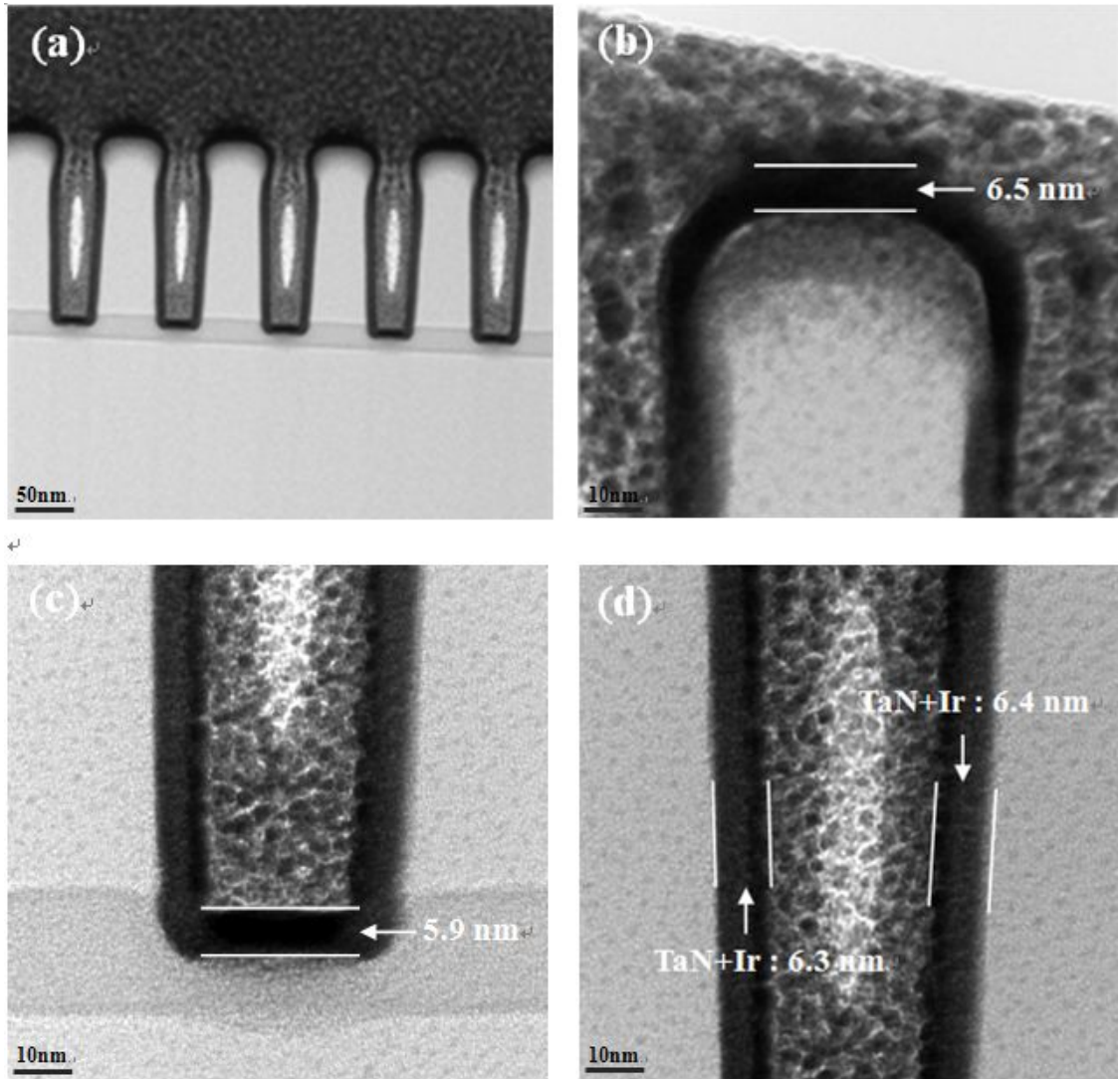


Fig. 22. Cross-sectional HR-TEM images of the Ir layer prepared on the 32-nm-wide nano-patterned trench: (a) full image with low magnification, (b) top, (c) bottom, and (d) left and right sides

제 5 장 결론

하이브리드 ALD를 이용한 Ir 막의 증착 과정 중에 증착온도, 증착 cycle과 전구체 주입시간 등을 통하여 Ir 막의 최적 조건을 도출하였으며, 도출된 조건을 사용하여 32 nm 폭의 나노 트렌치에 적용하여 비교 평가 하였다. 하이브리드 ALD를 사용하여 전구체 주입시간이 증가하면 10 sec 이전에는 막의 두께가 증가하지만 10 sec 이후에는 포화상태에 도달하여 막 두께의 변화가 거의 없었다. 증착 cycle 수가 증가하면 Ir 막의 두께 또한 선형적으로 증가하였다. 증착온도에서는 240 ~ 420°C 영역에서 Ir 막의 두께 변화를 관찰한 결과 330°C 까지는 막이 빠르게 성장하였으나, 그 이상의 온도에서는 막 성장이 포화 되었다. 이러한 결과를 이용해 증착온도 330°C에서 증착 cycle에 따른 막 두께를 관찰한 결과 기존의 ALD와 비교하여 하이브리드 ALD에서는 균일한 막이 형성 되었다. XRD를 이용하여 막의 결정화를 관찰한 결과에서는 모든 막에서 FCC 구조를 갖는다는 것을 알 수 있었다. 확산 방지막에 적용하기 위하여 3 nm TaN 를 32 nm 폭의 나노 트렌치에 증착한 후, Ir 막을 하이브리드 ALD를 이용하여 증착 온도 330°C에서 50 cycle 증착한 경우에 3.2 nm의 균일한 Ir 막이 형성되는 것을 확인 하였다. 이와 같은 결과로 추후 Cu 확산 방지막으로 적용할 수 있을 것으로 사료된다.

참 고 문 헌

- [1] S.H. Kim, "Diffusion Barrier for Copper Metallization : Improvement of Barrier Performance against Copper Diffusion Through Controlling the Microstructure of Diffusion Barrier", ph. D. Thesis, Seoul National University (2003).
- [2] Yuejin Hou, and Cher Ming TaN, Nanoelectronics Conference, 2008. INEC 2008. 2nd IEEE International, p. 610 (2008).
- [3] B. Han, M.S. Thesis, Sejong University (2008).
- [4] K.Y. Mun, M.S. Thesis, Yeungnam University (2011)
- [5] International Technology Roadmap for Semiconductor 2008 update.
- [6] O.K. Kwon, S.H. Kwon, H.S. Park, S.W. Kang, J. Electrochem. Soc. 151 (2004) C753.
- [7] B.H. Choi, Y.H. Lim, J.H. Lee, Y.B. Kim, H.N. Lee, H.K. Lee, Microelectron. Eng. 87 (2010) 1391.
- [8] B.H. Choi, J.H. Lee, H.N. Lee, H.K. Lee, J. Nanosci. Nanotechnol. 11 (2011) 7416.
- [9] B.H. Choi, J.H. Lee, H.K. Lee, J.H. Kim, Appl. Surf. Sci. 257 (2011) 9654.
- [10] S.J. Jeong, Y.R. Shin, W.S. Kwack, H.Y. Lee, Y.K. Jeong, D.I. Kim, H.C. Kim, S.H. Kwon, Sur. Coat. Technol. 205 (2011) 5009.
- [11] D.C. Perng, K.C. Hsu, S.W. Tsai, J.B. Yeh, Microelectron. Eng. 87 (2010) 365.
- [12] Y.H. Lim, H. Yoo, B.H. Choi, J.H. Lee, H.N. Lee, H.K. Lee, in: Proc. IEEE 2010 Int. Conf. Nanotechnol., 2004, p. 978.
- [13] K. Kukli, T. Aaltonen, J. Aarik, J. Lu, M. Ritala, S. Ferrari, A. Harsta, M. Leskel, J. Electrochem. Soc. 152 (2005) F75.
- [14] N. Nagel, G. Constrini, J. Lian, S. Athavale, L. Economics, J. Baniecki, M. Wise, M. Integr, Ferroelectr. 38 (2001) 259.
- [15] Y.C. Jeon, J.M. Seon, J.H. Joo, K.Y. Oh, J.S. Roh, J.J. Kim, D.S. Kim, Appl. Phys. Lett. 71 (1997) 467.
- [16] Y. Kumura, T. Ozaki, H. Kanaya, O. Hidaka, Y. Shimojo, S. Shuto, Y. Yamada, K. Tomioka, K. Yamakawa, S. Yamazaki, D. Takashima, T. Miyakawa,

- S. Shiratake, S. Ohtsuki, I. Kunishima, A. Nitayama, *Solid-State Electron.* 50 (2006) 606.
- [17] H. Kattelus and M.A. Nicolet, "Diffusion Phenomena in Thin Films and Microelectronics Materials, edited by D. Gupta and P. S. Ho (Noyes, Park Ridge, NJ, 1988), Chapter 8.
- [18] M.A. Nicolet, "Diffusion Barriers in Thin Films", *Thin Solid Films* 52,415 (1978).
- [19] Kirkaldy S and Young DJ, "Diffusion in the Condensed State". In: *Institute of Metals, London* (1987).
- [20] Abhishek. Gupta, "Diffusion Characteristics of Copper In Novel Metallic Films", ph. D. Thesis, North Carolina State University (2003).
- [21] M. Brown and M. F. Ashby, "Correlations for diffusion constants", *Acta Metall.*, 28, 1085(1980).
- [22] E. G. Colgan, *J. Appl. Phys.* 62 (4) (1987) 1224
- [23] S. P. Muraka, *Silicides for VLSI Applications*, (Academic Press, New York, 1983, Chapter 4)
- [24] M. A. Nicolet, S. S. Lau, *VLSI Electronics : Microstructure Science*, Vol. 6, ed. (N. G. Einspruch and G. B. Larrabee, Academic Press, New York, 1983)
- [25] J. W. Mayer, S. S. Lau, *Electronic Materials Science*, (Macmillan publishing Company, New York, 1990, Chapter 11)
- [26] J. Li, T. E. Seidel, and J. W. Mayer, *MRS Bulletin* XIX(8), 15(1994)
- [27] *Semiconductor Technology Handbook*, 5th edition, Technology Associates, CA (1985)
- [28] B. Rogers, S. Bothra, M. Kellam, and M. Ray in *Proceedings of the 8th Multilevel Interconnection Conference*, Santa Clara, June 1991, IEEE, New York (1991)
- [29] P. Ho, in *Principles of Electronic Packaging*, edited by D. P. Seraphim, R. Lasky and C. Y. Li, McGraw-Hill, New York (1989)
- [30] J. Li and J. W. Mayer, *Mater. Chem. Phys.*, 32, 1 (1992)
- [31] C. Applett and P. J. Ficalora, *J. Appl. Phys.*, 69, 4431 (1990)
- [32] S. Wolf et al., "Si processing for the ULSI era", *Lattice press* (1986)

- [33] T. Suntola, Mater. Sci. Rep. 4(7) (1989) 261
- [34] T. Suntola and J. Antson, Patent US 4058430 (1977)
- [35] T. Suntola, J. Antson, A. Pakkala and S. Lindfors, SID80 Digest (1980)
- [36] T. Suntola, Handbook of Thin film process Technology, 1st Ed. (Institute of Physics Publishing, London, 1995)
- [37] T. Suntola, Atomic layer epitaxy, in D.T.J.Jurle(ed.), Handbook of Crystal Growth, Vol.3, Elsevier, Amsterdam, (1994) 601
- [38] Richard I. Masel, Principles of Adsorption and Reaction and Solid Surface, by John Wiley & Sons, Inc. (1996)
- [39] R. A. Alberty, R. J. Silbey, Physical Chemistry, by John Wiley & Sons, Inc. (1992)
- [40] Gilbert W. Castellan, Physical Chemistry, (3th. ed.)
- [41] A. A. Adamson, Physical Chemistry of Surface, by Interscience (1963)
- [42] R. Aveyard and D. A. Haydon, An Introduction to the Principles of surface chemistry, by Cambridge Univ. Press (1973)
- [43] M. Kadoshima, M. Hiratani, Y. Shimamoto, K. Torii, H. Miki, S. Kimura, and T. Nabatame, Thin solid films, 424, 224 (2003)
- [44] Y.H. Lim, H. Yoo, B.H. Choi, J.H. Lee, H.N. Lee, H.K. Lee, Phys. Status Solidi C 8 (2011) 891.
- [45] A. Satta, A. Vantomme, J. Schuhmacher, C.M. Whelan, V. Sutcliffe, K. Maex, Appl. Phys. Lett. 84 (2004) 4571.
- [46] M.A. El Khakani, M. Chaker, B. Le Drogoff, J. Vac. Sci. Technol., A 16 (1998) 885.
- [47] T. Aaltonen, M. Ritala, V. Sammelselg, M. Leskela, J. Electrochem. Soc. 151 (2004) G489.
- [48] Y. Gong, C. Wang, Q. Shen, L. Zhang, Appl. Surf. Sci. 254 (2008) 3921.
- [49] R.G. Gordon, D. Hausmann, E. Kim, J. Shepard, Chem. Vap. Deposition 9 (2003) 73.
- [50] J.Y. Kim, K.W. Lee, H.O. Park, Y.D. Kim, H. Jeon, J. Korean Phys. Soc. 45 (2004) 1069.
- [51] H. Kim, C. Detavenier, O. van der Straten, S.M. Rossnagel, A.J. Kellock, D.G.

Park, J. Appl. Phys. 98 (2005).

감사의 글

먼저 석사학위를 마치기까지 많은 도움을 주신 신동찬 교수님께 머리 숙여 감사의 인사를 올립니다. 처음 대학원에 진학하고 싶다고 말씀 드렸을 때 흔쾌히 허락해 주시며 하신 말씀이 남들보다 늦었으니 열심히 하라는 말씀이 아직도 기억에 남습니다. 남들을 따라 잡기 위해 열심히 하였지만 부족한 것이 있으면 교수님께서 가르침을 주셔서 이렇게 석사 졸업을 할 수 있었던 것 같습니다. 앞으로 사회에 나가서도 교수님의 제자 한사람으로써 항상 자랑스러운 제자가 되도록 노력하겠습니다. 다시 한 번 감사하다는 말씀 올립니다. 또한 바쁘신 와중에도 학위논문 심사를 맡아주신 박진성, 이은구 교수님께도 감사의 말씀 올립니다.

제가 대학 4학년 동안 많은 가르침을 주셨던 박진성 교수님, 이은구 교수님, 양권승 교수님 덕분에 대학원에 와서도 많은 도움이 되었던 것 같습니다. 감사드립니다. 또한 대학원에 들어와 금속과 재료에 가르침을 주신 이현규 교수님, 세라믹스에 가르침을 주신 이종국 교수님, X선에 관해 다른 시각으로 관찰 할 수 있게 가르쳐주신 강현철 교수님께도 진심으로 감사 말씀 전하겠습니다.

한국생산기술연구원에 2년 동안 많은 가르침을 주신 최범호 박사님께 감사드립니다. 처음 생기원에 갔을 때 사수가 없어서 많이 힘들었지만 박사님께서 실험적으로나 사회적으로 많은 도움을 주셔서 견디며 생활 할 수 있었고, 졸업 논문에 많은 도움을 주셔서 다시 한 번 감사의 인사드립니다.

그리고 항상 저희 실험실에서 묵묵히 저희를 지원해주시고, 격려해주시는 오용택 교수님께도 감사 인사드립니다. 학교에 있는 시간보다 외부에 있는 시간이 많았지만 학교에 가게 되면 저희 실험과 논문에 관해 잘못된 점을 찾아주시고 가르침을 주셔서 이 자리를 통해 다시 한 번 더 감사의 인사드립니다.

2년 동안 생기원에서 같이 일하고 같이 공부하고 했던 인하. 마지막 1년 동안 같은 방에서 일하며 이런 저런 많은 일들이 생각나는데 이제 우리도 어느새 졸업을 하게 됐다. 꼭 좋은데 취업하길 바란다. 그리고 후배이자 대학원 동기 보라도 얼른 좋은 곳에 취직하길 바란다. 이제 우린 나가지만 대학원 막동이 유리! 오빠들이 힘들 때 항상 힘이 되어준 것 고맙고 마지막 남은 1년 잘 마무리해!!

대학원 동기인 병곤, 신영, 주현이도 우리가 학교에 있지 못하다 보니깐 얼굴 보거나 이야기를 할 시간이 많이 없었지만 학교 갈 때마다 다정하게 맞아 주던 것이 생각난

다. 너희도 꼭 좋은 곳에 취직하고 스키장함 가자 ㅋㅋ

학교 선배이자 회사 선배이신 세연누나 처음 누나랑 일하게 된지가 어제 같은데 시간이 흘러서 이제 저도 졸업하게 되었네요. 누나와 같이 일함으로써 많은 것을 배웠던 것 같아요. 이제 졸업해서 사회에 나가지만 같이 일하고 배웠던 시간들은 잊지 못 할 것 같아요 누나 고마워요!!

한국생산기술연구원에서 많은 가르침을 주신 이종호 박사님, 김영백 박사님께도 감사의 드립니다. 또한 같은 방에서 일한 도현이, 일하는 일과 방은 달랐지만 항상 웃으며 본 혜진이, 영모형 그리고 생기원에서 펍에서 많은 일을 배우게 해주셨던 송상인 연구원님, 박철영 연구원님, 유영웅 연구원님, 장하준 연구원님, 류동찬 연구원님께도 감사의 인사올립니다.

마지막으로 항상 사고만 치던 아들이 대학에 입학하고 대학원에 진학하기까지 묵묵히 뒤에서 지켜봐주시며 든든한 지원군이 되어주신 우리 부모님께 감사하고 죄송합니다. 이제 조금 있으면 사회에 나아가 부모님께서 겪으신 일들은 겪게 되지만 아직도 부모님 맘을 많이 이해 못하는 것 같습니다. 한 없이 베풀어 주신 은혜 앞으로도 잊지 않겠습니다. 그리고 못한 동생을 항상 걱정해주며 지원해주는 우리 누나, 매형에게도 감사합니다. 우리가족들 사랑합니다!!

1년 동안 공부하고 일하는 나를 지켜봐주고 아껴준 착희야 고맙고 사랑해!!

앞으로 당신들의 동생이자 아들이자 친구인 제가 항상 자랑스러운 사람이 되도록 노력하겠습니다.