



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

2011年

2011年 2月  
博士學位論文

2月  
博士學位論文

# 광소자 적용을 위한 코발트 실리사이드의 전기적 특성

광소자  
적용을  
위한  
코발트  
실리사이드의  
전기적  
특성

朝鮮大學校 大學院

電氣工學科

辛 華 詠

辛  
華  
詠

# 광소자 적용을 위한 코발트 실리사이드의 전기적 특성

Electrical Characteristics of Cobalt Silicide  
for Application Optical Device

2011年 2月 日

朝鮮大學校 大學院

電氣工學科

辛 華 詠

# 광소자 적용을 위한 코발트 실리사이드의 전기적 특성

指導教授 白 亨 來

이 論文을 工學博士學位 申請論文으로 提出함.

2010年 10月

朝鮮大學校 大學院

電氣工學科

辛 華 詠

# 辛華詠의 博士學位 論文을 認准함

委員長 朝鮮大學校 教授 吳 金 坤 印

委員 朝鮮大學校 教授 李 愚 宣 印

委員 朝鮮大學校 教授 曹 錦 培 印

委員 朝鮮大學校 教授 崔 孝 祥 印

委員 朝鮮大學校 教授 白 亨 來 印

2010年 12月

朝鮮大學校 大學院

# 목 차

## ABSTRACT

I. 서 론 .....	1
II. 이론적 배경 .....	4
A. 실리사이드 .....	4
1. 금속 실리사이드 .....	4
2. 코발트 실리사이드 .....	5
B. 스퍼터링 공정 .....	9
1. 스퍼터링의 기본원리 .....	9
2. RF 스퍼터링 플라즈마 .....	12
3. 드바이 length .....	16
4. 평균자유행정 .....	18
5. 스퍼터링 타겟과 이온충격의 관계 .....	19
6. 스퍼터링 수율 .....	20
7. 마그네트론 스퍼터링 .....	23
C. 전기적 특성 .....	26
1. Hall 효과 특성 .....	26
2. 전류-전압 특성 .....	31
3. 쇼트키 다이오드 특성 .....	35
III. 실험 및 측정 방법 .....	38
A. 실리사이드 박막의 제조 .....	38
1. 스퍼터링 장비 및 박막 공정 .....	38
2. 쇼트키 다이오드 제작 .....	42
B. 측정 및 분석 공정 .....	44
1. 두께 측정 .....	44
2. 박막의 표면형상 특성 .....	46

3. 박막의 결정학적 특성 .....	47
4. 박막의 광학적 특성 .....	50
5. 박막의 전기적 특성 .....	52
IV. 실험결과 및 분석 .....	54
A. 박막의 물성 분석 .....	54
1. X-ray 회절분석 .....	54
2. 박막의 표면형상 분석 .....	58
3. 박막의 광학적 특성 분석 .....	73
B. 박막의 전기적 특성 분석 .....	79
C. 박막의 다이오드 특성 분석 .....	93
V. 결 론 .....	96

참고문헌

# LIST OF TABLES

Table 1 Process Parameters of $\text{CoSi}_2$ Sputtering .....	41
Table 2 Process Parameters of Sputtering $\text{CoSi}_2$ and Diode Area .....	43



# LIST OF FIGURES

Fig. 1 Crystal Structure of $\text{CoSi}_2$ .....	6
Fig. 2 Structure of RF-Magnetron Sputtering .....	11
Fig. 3 Calculated Sputtering Yields .....	21
Fig. 4 Circular, Planar Magnetron Cathode Schematic, Illustring the Magnetic Confinement and the Resulting Electron Trajectories .....	22
Fig. 5 Effect of $\epsilon$ and B on Electron Motion. (a) Linear Electron Trajectory when $\epsilon \parallel B(\theta = 0)$ , (b) Helical Orbit of Constant Pitch when $B \neq 0, \epsilon = 0, (\theta \neq 0)$ , (c) Helical Orbit of Variable Pitch when $\epsilon \parallel B(\theta \neq 0)$ .....	25
Fig. 6 Schematic Diagram of Hall Devices in the Form of a Rectangular Plate .....	27
Fig. 7 Thermionic Electron Emission on Metal .....	32
Fig. 8 Photo Electric Effect on Metal .....	34
Fig. 9 Contact of Metal-n Type Semiconductor at $\Phi_m > \Phi_s$ , (a) Before Contact, (b) After Contact .....	37
Fig. 10 Schottky Contact of Metal-n Type Semiconductor : (a) Forward Bias, (b) Backward Bias .....	37
Fig. 11 Sputtering Equipment .....	40
Fig. 12 Cross-sectional SEM Micrograph of the $\text{CoSi}_2$ Thin Film .....	41
Fig. 13 Cross-sectional SEM Micrographs of the $\text{CoSi}_2$ Thin Film in the Interface After Annealing at the Temperature of $900^\circ\text{C}$ .....	43
Fig. 14 Photograph and Principle of Ellipsometry Measurement .....	45
Fig. 15 AFM(Atomic Force Microscopy) Equipment .....	46
Fig. 16 XRD(X-ray Diffractometer) Equipment .....	49

Fig. 17 UV–Visible Spectrophotometer Equipment .....	51
Fig. 18 Photographs Showing the Whole View of Hall effect Measurement System .....	53
Fig. 19 Schematic Diagrams of Semiconductor Parameter Analyzer ...	53
Fig. 20 XRD Patterns of the CoSi <sub>2</sub> Thin Films (a) Before and (b) After the Annealing Process at the Annealing Temperatures of 500°C .....	56
Fig. 21 XRD Patterns of the CoSi <sub>2</sub> Thin Films After the Annealing Process at Various Annealing Temperatures: (a) 700°C, and (b) 900°C .....	57
Fig. 22 SEM Images of CoSi <sub>2</sub> Thin Films by Using Sputtering Method with a Change of Sputtering Power : (a) 20W (b) 30W, (c) 40W and (d) 50W .....	60
Fig. 23 SEM Images of the CoSi <sub>2</sub> Thin Films (a) Before and After the Annealing Process at Different Annealing Temperatures: (b) 500°C, (c) 700°C and (d) 900°C .....	61
Fig. 24 SEM Images of the CoSi <sub>2</sub> Thin Films After the Annealing Process at the Temperatures of 900°C .....	62
Fig. 25 AFM 3D–Images of CoSi <sub>2</sub> Thin Films by Using Sputtering Method with a Change of Sputtering Power : (a) 20W (b) 30W, (c) 40W and (d) 50W .....	63
Fig. 26 AFM 3D–Images of the CoSi <sub>2</sub> Thin Films (a) Before and After the Annealing Process at Different Annealing Temperatures: (b) 500°C, (c) 700°C and (d) 900°C .....	64
Fig. 27 Film Thickness of the CoSi <sub>2</sub> Thin Films as a Function of Sputtering Power in the Preparation of CoSi <sub>2</sub> Thin Films by Using Sputtering Method .....	67
Fig. 28 Grain Sizes of the CoSi <sub>2</sub> Thin Films at the Various Conditions of Sputtering Power in the Preparation of CoSi <sub>2</sub> Thin Films by Using Sputtering Method.....	68
Fig. 29 RMS Roughness of the CoSi <sub>2</sub> Thin Films with a Change	

of Sputtering Power in the Preparation of CoSi <sub>2</sub> Thin Films by Using Sputtering Method .....	69
Fig. 30 Peak-to-Valley Roughness of the CoSi <sub>2</sub> Thin Films with a Change of Sputtering Power in the Preparation of CoSi <sub>2</sub> Thin Films by Using Sputtering Method .....	70
Fig. 31 RMS Roughness of the CoSi <sub>2</sub> Thin Films After the Annealing Process at the Various Annealing Temperatures .....	71
Fig. 32 Peak-to-Valley Roughness of the CoSi <sub>2</sub> Thin Films After the Annealing Process at the Various Annealing Temperatures .....	72
Fig. 33 Optical Transmittance of the CoSi <sub>2</sub> Thin Films with a Change of Sputtering Power in the Preparation of CoSi <sub>2</sub> Thin Films by Using Sputtering Method .....	75
Fig. 34 Optical Transmittance of the CoSi <sub>2</sub> Thin Films Before and After the Annealing Process as a Function of the Annealing Temperature .....	76
Fig. 35 Absorption Coefficient of the CoSi <sub>2</sub> Thin Films with a Change of Sputtering Power in the Preparation of CoSi <sub>2</sub> Thin Films by Using Sputtering Method .....	77
Fig. 36 Optical Absorption of the CoSi <sub>2</sub> Thin Films After the Annealing Process as a Function of the Annealing Temperature .....	78
Fig. 37 Sheet Resistance of the CoSi <sub>2</sub> Thin Films as a Function of Sputtering Power in the Preparation of CoSi <sub>2</sub> Thin Films by Using Sputtering Method .....	82
Fig. 38 Sheet Resistance of the CoSi <sub>2</sub> Thin Films Before and After the Annealing Process with a Change of the Annealing Temperature .....	83
Fig. 39 Resistivity of the CoSi <sub>2</sub> Thin Films as a Function of Sputtering Power in the Preparation of CoSi <sub>2</sub> Thin Films by Using Sputtering Method .....	84

Fig. 40 Resistivity of the $\text{CoSi}_2$ Thin Films Before and After the Annealing Process with a Change of the Annealing Temperature .....	85
Fig. 41 Carrier Concentration of the $\text{CoSi}_2$ Thin Films at the Specific Conditions of Sputtering Power in the Preparation of $\text{CoSi}_2$ Thin Films by Using the Sputtering Method .....	86
Fig. 42 Carrier Concentration of the $\text{CoSi}_2$ Thin Films Before and After the Annealing Process with a Change of the Annealing Temperature .....	87
Fig. 43 Carrier Concentration and mobility of the $\text{CoSi}_2$ Thin Films at the Specific Conditions of Sputtering Power in the Preparation of $\text{CoSi}_2$ Thin Films by Using the Sputtering Method .....	88
Fig. 44 Carrier Concentration and Mobility of the $\text{CoSi}_2$ Thin Films Before and After the Annealing Process with a Change of the Annealing Temperature .....	89
Fig. 45 Resistivity of $\text{CoSi}_2$ Thin Film According to the Reciprocal Temperature (Annealed at $900^\circ\text{C}$ ) .....	90
Fig. 46 Carrier Density of $\text{CoSi}_2$ Thin Film According to the Reciprocal Temperature (Annealed at $900^\circ\text{C}$ ) .....	91
Fig. 47 Hall coefficient of $\text{CoSi}_2$ Thin Film According to the Reciprocal Temperature (Annealed at $900^\circ\text{C}$ ) .....	92
Fig. 48 Forward I–V Characteristics of $\text{CoSi}_2/\text{Si}$ Diodes After the Annealing Process Annealing Temperature of $900^\circ\text{C}$ .....	94
Fig. 49 Forward I–V Characteristics of $\text{CoSi}_2/\text{Si}$ Diodes with Different Areas After Annealing at Temperature of $900^\circ\text{C}$ .....	95

# ABSTRACT

## Electrical Characteristics of Cobalt Silicide for Application Optical Device

Hwa-Young Shin

Advisor : Prof. Hyung-Lae Baek Ph. D.  
Department of Electrical Engineering,  
Graduate School of Chosun University

In this paper, the  $\text{CoSi}_2$  films with thicknesses of about  $5\mu\text{m}$  were deposited on n-type silicon(100) substrates by RF magnetron sputtering method using a  $\text{CoSi}_2$  target(99.99%). The flow rate of argon of 20sccm, substrate temperature of  $100^\circ\text{C}$ , RF power of 20watts, 30watts, 40watts, and 50watts deposition time of 10 minutes, and the vacuum of  $5\times 10^{-5}\text{Torr}$ . The annealing treatments of the  $\text{CoSi}_2$  thin film were performed from 500, 700 and  $900^\circ\text{C}$  for 1h in the air ambient by an electrical furnace. In order to investigate the structural character of the  $\text{CoSi}_2$  thin film X-ray diffraction(XRD) patterns were measured using the X-ray diffractometer. The structure of the thin films as also investigated by using scanning the electron microscope(SEM). The surface morphology of the thin films was measured with a atomic force microscopy(AFM). The optical transmission of the  $\text{CoSi}_2$  thin film is in the wavelength range of 850-1300nm. Temperature dependence of sheet resistance and property of Hall effect analyzed in the  $\text{CoSi}_2$  thin film at the temperature

of 40–300K. The CoSi<sub>2</sub>/Si contacts showed the properties of diode.

In this study, the lattice constant of the CoSi<sub>2</sub> thin film was 5.361 Å by the XRD. The thickness of the CoSi<sub>2</sub> thin film was 480nm as measured by Ellipsometry. As the effects of thickness–uniformity on the CoSi<sub>2</sub> thin film was investigated for an enhancement of thickness–uniformity. RMS roughness and peak to valley roughness of the CoSi<sub>2</sub> thin film were 1.72nm and 11.7nm at RF power(50W) and annealing temperature of 900°C. Temperature coefficient of resistance of the CoSi<sub>2</sub> thin film showed 32 μΩ–cm at annealing temperature of 900°C. Hall effect measurements on the CoSi<sub>2</sub> thin film show a metal like conductivity and positive Hall coefficient. The carrier density of the CoSi<sub>2</sub> thin film showed 1.59×10<sup>22</sup>cm<sup>-3</sup> at RF power(50W) and annealing temperature of 900°C. The carrier mobility of the CoSi<sub>2</sub> thin film showed 1.6cm<sup>2</sup>/V·s at RF power(50W) and annealing temperature of 900°C. The CoSi<sub>2</sub> diode sample was determined using current–voltage(I–V) characteristics. The current density of the CoSi<sub>2</sub> thin film showed from 10<sup>-5</sup> to 10<sup>-2</sup>A.

# I. 서론

오늘날 21 세기에는 국가 기술주의 체계가 핵심기술 전략으로 국가 생존차원에서 매우 중요하다. 차세대 초고속 소자와 같은 신소재에 이용 가능한 금속 실리사이드 박막은 초고집적화(ULSI) 반도체 소자 개발을 위해서는 작은 저항과 기생저항이 얇은 접촉(shallow junction)과 고온안정성 요구와 함께 Si 기판과의 얇은 접합의 형성이 요구되고 있다[1, 2].

실리사이드는 전기적인 특성에 따라 Fermi 에너지 근처에서 강한 nonbonding state가 형성되는 금속형과 Fermi 에너지 아래에서 broad한 혼성 band를 형성되는 반도체형으로 구분되는데 금속형인 비저항이  $16 \mu\Omega\text{-cm}$ 인  $\text{TiSi}_2$ [3,4],  $\text{PtSi}$ ,  $\text{Pd}_2\text{Si}$ ,  $\text{MoSi}_2$ , 그리고 비저항  $18\text{--}25 \mu\Omega\text{-cm}$   $\text{CoSi}_2$ [5] 등은 낮은 비저항, 오염성 접합, 열적 안정성 등의 성질이 VLSI에서 전극이나 interconnection 등으로 이용되고 있다[6,7]. 이에 반하여 반도체형 실리사이드는  $\text{CrSi}_2$ ,  $\text{ReSi}_2$ ,  $\text{MnSi}_{1.73}$ , 그리고  $\beta\text{-FeSi}_2$ [8] 등 극히 일부에 지나지 않으며 자연 산화막, 금속 증착시의 잔존 산소 등에 따라 성장 상태가 급격히 변화하는 등 공정조건이 매우 민감하다. 따라서 열처리 후 실리사이드의 다결정화로 인해 응집(agglomeration)이 발생하고 이에 따른 비교적 높은 비저항, 표면 거칠기(surface roughness), 정류 특성, 그리고 낮은 전하운반자 농도 등의 반도체 특성을 보이고 있다[2]. 그러나 이들은 제조 방법에 따라 에너지 밴드 갭이 수 meV에서 약 1.2eV 정도에 분포하기 때문에 적외선 검지소자 등 새로운 물질로 각광을 받고 있는 추세이다[9-11]

반도체 소자에서 이용되는 금속 실리사이드 박막으로는 주로 비저항이 약  $16 \mu\Omega\text{-cm}$ 인  $\text{TiSi}_2$ 가 연구되어 왔으나, 이는 소자의 미세화(submicron)에 따른 소자의 단락 현상과 직렬저항의 증가를 초래한다[12]. 반면,  $\text{CoSi}_2$ 는 낮은 비저항과 불순물과의 반응을 하지 않으며, DRAM 소자에서 얇은 접합에 의한 접촉을 실행할 수 있는 장점을 가지고 있다[13,14].  $\text{CoSi}_2$  실리사이드는  $550^\circ\text{C}$  이상의 고온에서 상전이를 보이며 격자상수가  $5.365 \text{ \AA}$ 으로[15,16] 실리콘 기판과 유사하여 격자 불일치가 1.2%이며 우수한 열적 안정성을 보이며[17,18], 코발트/실리콘 계

면 반응은 코발트가 주요 확산자로 작용하므로, 실리사이드의 측면 과도성장의 정도가 적으므로 측면과도 성장으로 인한 누설 전류의 발생이 억제된다. 코발트는 열역학적으로  $\text{SiO}_2$  또는  $\text{Si}_3\text{N}_4$ 와 안정하므로 실리사이드 반응 시에 sidewall spacer 영역에서의 산화물과 반응을 일으키지 않는다[19]. 따라서 코발트 화합물 잔여물이 발생하지 않으므로 누설 전류의 발생을 억제시킨다. 고온에서 비교적 안정하여  $800^\circ\text{C}$  정도의 열처리 온도에서도 응집화에 의한 저항의 열화 현상이 적다[20]. 한편,  $\text{CoSi}_2$ 는 중간절연체인  $\text{SiO}_2$ 와의 에칭 선택비가 크고, 일반적인 습식 에칭 용액인 불산 용액에 쉽게 용해되지 않는다. 그리고 활성영역 금속 접합 또는 실리콘에서 금속접합 형성과정에서 과도한 접합 부위 에칭 및 접합 부위 세정을 하더라도 실리사이드의 손실이 거의 일어나지 않으므로 금속 접합에 안정된 접촉 저항을 얻을 수 있다. 따라서 Si 직접회로(integrated circuits)에 적용하기 위한 금속 실리사이드(metal silicide)에 대한 물성연구와 광소자 개발을 위한 연구를 시작 단계에 있다. 한편 금속 실리사이드는 MOSFET의 소스/드레인, 그리고 게이트 영역의 저항을 낮추기 위한 contact materials로 널리 사용되어 왔다[21]. 그러나 Si 접합면에서의 누설전류가 증가하는 단점을 보완하기 위하여 박막 형성에 관하여 연구를 활발히 진행 중에 있다. 현재까지  $\text{CoSi}_2$  실리사이드 박막 성장은 MBE(molecular beam epitaxy) 방법과 반응성 에피택시(reactive deposition epitaxy : RDE)방법, 금속유기화합물을 이용한 분자선 에피택시(MOMBE)방법, 고상 에피택시(solid phase epitaxy :SPE)방법 그리고 에피층 bilayer(Co/metal) 방법 등이 연구되고 있다. 그러나 MBE 방법은 공정시에 화학량론 비를 맞추기 어렵다는 단점이 있으며 bilayer 방법 또한 Co/metal 구조에서 전이금속이 void 결함을 나타내는 문제점을 가지고 있다[22]. 이러한 문제점을 개선시키는 목적으로  $\text{CoSi}_2$  타겟을 이용한 고주파 마그네트론 스퍼터링(RF-magnetron sputtering) 방법을 이용하여  $\text{CoSi}_2$  박막을 단일층 구조로 형성하여 공정에서의 열처리에 의한 응집화(agglomeration)와 void 결함을 억제하였다.

본 논문에서는 고주파 마그네트론 스퍼터링 방법으로 Si(100) 기판위에  $\text{CoSi}_2$  박막을 제조하여 어닐링온도 조건에 따른 박막을 제조하여 XRD 측정으로 결정



구조를 규명하고 SEM과 AFM을 측정하여 표면형상을 검토하였으며, 광학적인 특성으로는 투과율과 흡수율을 조사하였으며, 전기적인 특성은 박막의 면저항과 Hall 효과에 따른 Van der Pauw 방법[23]을 사용하여 캐리어 농도 및 캐리어 이동도를 조사 하였으며, 다이오드 특성인 전압-전류 특성을 규명하여 전자 디바이스 응용성에 대하여 규명하고자 한다.

## II. 이론적 배경

### A. 실리사이드 [20]

실리사이드 [24,25]는 금속과 실리콘의 화합물(compound)을 의미하며, 특히 전이금속(transition metal) 원소와 반응을 통해 형성된 물질을 전이금속 실리사이드라고 한다. 일반적으로, 전이금속 실리사이드는 낮은 비저항과, 높은 열적안정성, 높은 저항성의 우수한 전기적 금속이다[26]. 전이금속인 코발트-실리콘은 벌크 확산 쌍을 열처리하면 트랜지스터의 gate 전극과 소스와 드레인 전극을 실리사이드화 할 수 있으며, 금속 실리사이드(metal silicide)는 Logic회로나 ASIC회로의 MOS 소자에 적용하기 위한 금속 실리사이드에 대한 기술을 개발하는 것이 필수적이라고 할 수 있다.

#### 1. 금속 실리사이드 [27]

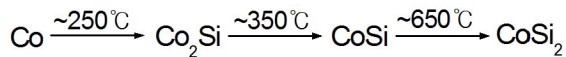
Near-noble 금속 실리사이드는 낮은 온도(200°C)에서 형성되고 금속함량이 많은 실리사이드로 금속원자의 이동이 성장을 지배한다. 층별 성장에 의하여 초기 상 이후에 형성되는 후속상은 반응에 참여하는 원자의 유용성에 따라서 결정된다. 대개 실리콘 기판에 금속박막이 증착된 경우 거의 비슷한 활성화 에너지와 성장 의존성을 가지며 형성된다.

Refractory 금속 실리사이드는 다른 재료에 비하여 높은 활성화 에너지를 가지며 실리콘의 이동에 의하여 실리사이드 박막이 형성되며 비교적 높은 온도인 450~650°C에서 생성된다. 이들은 불순물의 영향과 실리사이드 형성 중 잔존 산소는 성장 기구에 큰 영향을 준다.

Intermediate 금속 실리사이드는 500°C 이하의 온도에서 2eV 이하의 활성화 에너지를 가지며 형성된다. 그리고 열처리를 지속할 때 후속 상으로서 다이-실리사이드가 형성되며 실리콘의 이동이 실리사이드 성장을 지배한다.

## 2. 코발트 실리사이드[28]

코발트 실리사이드에는  $\text{Co}_2\text{Si}$ ,  $\text{CoSi}$ , 그리고  $\text{CoSi}_2$ 상이 존재한다. 이러한 실리사이드는 열처리 온도와 두께에 따라서 형성되는데 Co를 실리콘 기판 위에 증착된  $\text{CoSi}_2$ 를 형성 할 경우 다결정의  $\text{CoSi}_2$ 가 형성되어 코발트와 실리콘 계면이 거친 박막으로 형성되어 열처리를 할 경우 실리사이드 응집으로 인한 면저항의 증가 등의 문제가 발생한다.  $\text{CoSi}_2$  박막 형성은 박막을  $\sim 250^\circ\text{C}$  정도의 온도에서 열처리 할 때  $\text{Co}_2\text{Si}$  상이 형성되고,  $\sim 350^\circ\text{C}$  정도의 온도에서 열처리 할 때  $\text{CoSi}$ 상을 형성한다.  $\text{Co}_2\text{Si}$ 와  $\text{CoSi}$ 상의 성장은 각각의 박막에서 이동물질인 코발트와 실리콘 의 원자는 확산에 의해 지배되며  $650^\circ\text{C}$  이상의 열처리 온도에서 할 때  $\text{CoSi-Si}$  계면에서  $\text{CoSi/Si} \rightarrow \text{CoSi}_2$ 의 반응에 의하여  $\text{CoSi}_2$ 상이 형성되며 이때의 이동물질은 코발트 원자가 주도적으로 이동하게 된다[29].



열처리 시  $\text{Co} \rightarrow \text{Co}_2\text{Si} \rightarrow \text{CoSi} \rightarrow \text{CoSi}_2$ 의 연속적인 상전이는 공통적으로 나타나며 확산제어 속도론(diffusion controlled kinetics)에 의하면,  $\text{CoSi}_2$  실리사이드는 Co가 완전히 소모된 후에  $\text{CoSi}$ 의 상전이로부터 형성이 되고  $\text{CoSi}_2$ 의 상전이는 다결정의  $\text{CoSi}$  결정립과 Si 기판 계면의 삼중점에서  $\text{CoSi}_2$ 가 핵이 생성되어 연속적인  $\text{CoSi}_2/\text{Si}$  계면이 형성될 때까지 횡방향으로 성장 한다는 것이 일반적인 제안이다[30]. 이후 성장은 layer by layer 방식으로 성장하기 때문에 반응초기에는 비교적 빠른 상전이가 일어나지만 이후 반응은 매우 느려지게 된다.  $\text{CoSi}$ 의 성장은 Si 공공확산에 의하여 일어나며  $\text{CoSi}_2$  성장은 Co 확산에 의하여 일어나게 된다. 실리콘 기판위에 실리사이드 박막을 증착한 경우  $\text{CoSi}_2$ 의 두께가 실리콘 기판의 두께보다 얇기 때문에 조성 상 실리콘 단일 상에 가까운 지점에 놓이게 되어 열역학적 반응 후에는 실리콘을 주성분으로 갖는 코발트 실리사이드인  $\text{CoSi}_2$ 상과 실리콘의 혼합상이 나타난다. 그러나  $\text{CoSi}_2$ 는 Si(100) 기판위에 증착할 경우

SPE나 MBE를 이용하여 epitaxial 성장이 매우 어렵다. 그 이유는 Si(111)의 높은 계면에너지 때문이다. 그러나  $\text{CoSi}_2$  실리사이드는 비교적 낮은 온도에서 자기정렬되고 고온에서는 안정되어 glass reflow 공정과 병행할 수 있으며,  $\text{TiSi}_2$  실리사이드에서 나타나는 encroachment나 브리지 현상과 같은 소자 단락 현상을 보이지 않으며 불순물의 고갈 현상이 없는 장점을 가지고 있다. 한편, 금속 실리사이드에 비해  $\text{CoSi}_2$  실리사이드는 비저항 값이 낮고 계면이론에 의하면 불일치 계수에 의해 증가하는 응력 증가를 억제하기 위해서 계면에 facet과 anti-phase boundary 등이 발생할 수 있다. 그리고 우수한 열적 안정성을 갖는다[31].

$\text{CoSi}_2$  실리사이드 격자구조는 zinc blende( $\text{CaF}_2$ ) 구조로 격자상수는  $5.365 \text{ \AA}$ 로 Si 기판의 격자상수와 유사하여 격자 불일치가 1.2% 정도에 불과하다. 그림 1에  $\text{CoSi}_2$  실리사이드의 결정 구조를 나타내었다.

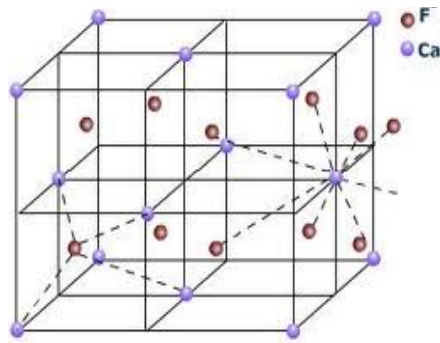


Fig. 1 Crystal Structure of  $\text{CoSi}_2$ .

## 2. 1 코발트 실리사이드 장점[32]

- (1) 비저항이( $15\sim 17\ \mu\ \Omega\text{cm}$ ) 낮으며 누설 전류의 발생이 억제된다.
- (2) 논리회로의 gate 다결정 실리콘 상에서 모두 패턴 크기 의존성이 적기 때문에 면저항이 그대로 유지된다.
- (3) 고온에서 비교적 안정하여 열처리 온도 약  $800^\circ\text{C}$  정도에서도 응집화에 의한 저항의 열화 현상이 적다.
- (4) 코발트는 열역학적으로 안정하므로 실리사이드화 반응 시에 sidewall spacer 영역에서의  $\text{SiO}_2$ 와  $\text{Si}_3\text{N}_4$ 에 반응을 일으키지 않는다.
- (5)  $\text{CoSi}_2$ 는 층간절연물과 금속간 절연물로 이용되는  $\text{SiO}_2$ 와의 에칭 선택비가 크고, 불산 용액에 쉽게 용해되지 않는다.

## 2. 2 코발트 실리사이드 단점[28]

- (1) 코발트 실리사이드 형성 시 실리콘 기판의 소모량이 Ti 실리사이드의 경우보다 대략 20% 이상 높은 문제점을 보이고 있으며, 기판 표면 조건에서의 의존성이 상당히 크므로, 실리사이드 형성 시 불균일한 계면이 나타날 수 있다.
- (2) 코발트는 산화물의 형성에너지가 낮고 코발트와 실리콘 사이에 time line이 존재하기 때문에  $\text{SiO}_2$ 를 환원하여 제거할 수 없으며 이러한 원인으로 실리사이드의 형성 반응을 지연시키는 영향을 미친다.
- (3) 기생저항의 증가와 고유 접촉저항의 증가는 VLSI 구조에서 전류의 이동 경로에서 발생하는 기생직렬저항  $R_s$ 는 MOS 소자의 크기가 축소됨에 따라 소자의 작동속도를 매우 저하시키는 효과를 나타낸다. 따라서 높은 작동속도가 생명인 논리회로에서는 이중 재료간의 접촉저항을 맞추면 RC delay time이 단축되어 작동속도 해결할 수 있는 구조이다. 한편, 금속과 반도체 접촉저항은 접촉면적의 크기와 무관한 고유 접촉저항률이며 접촉저항은 접촉면의 크기, 반도체의 면저항 및 접촉 구조에 따라 변화되는 값이다. 쇼트키 접촉을 하고 있는 경우 도핑 농도에 따라 고유 접촉저항률 값이 작은 값으로 변화되어질 수 있으며, 고유 접촉저항률은 도핑농도가 증가할수록 감소하게 된다. 이것은 공

핍층 협소로 인한 터널링 효과에 의하여 나타나는 것이다. 한편, 도핑농도가 감소하면 계면으로부터 반도체 쪽으로 향한 공핍층이 증가하여 터널링하는 전류가 줄어들게 되므로 고유 접촉 저항률이 증가하게 된다. 계속 농도가 감소하면 음성 접촉저항 특성이 없어지고 정류형 전압-전류특성을 나타내는 금속-반도체 접촉이 이루어진다.

- (4) 코발트 실리사이드의 응집화는 금속 실리사이드의 가장 큰 문제점으로 대두되는 현상이다[28]. 실리사이드의 응집화는 islanding에 의한 결정립계(grain boundary)의 grooving effect에 의해 촉진되어진다. 특히,  $\text{CoSi}_2$ 가 다결정 Si(100) 기판 위에 형성되는 경우 후속열처리 공정 시 결정립의 부조화로 인한 grooving effect가 발생한다. 이러한 현상은 실리사이드의 표면 및 계면 에너지를 감소시키기 위해 나타나는 현상이다. Grooving 현상은 실리사이드의 실리사이드와 실리콘 간 계면의 교차점에서 국부적인 에너지 평형과 highly curved region으로부터의 물질 확산에 의하여 발생하며, 실리사이드 표면과 실리사이드-실리콘 간 계면에서 모두 나타난다. 다결정의 실리콘 위에 실리사이드를 형성시킬 경우에 고온의 열처리 시 결정립 간에 심각한 응집화 현상으로 인한 island가 형성되는 현상이 발생한다. 이러한 현상은 확산 물질의 확산계수에도 비례하여 확산계수가 클수록 과도한 grooving 현상이 일어나게 되고, 이러한 grooving 현상에 의한 과도한 실리사이드의 성장은 junction depth를 줄여야 하는 고성능 고집적 소자의 특성을 저하시킨다[33, 34].

## B. 스퍼터링 공정

스퍼터링은 1852년 Grove에 의해서 처음 관찰되었다. 처음에는 식각에 이용되는 공정이었으나[35], 1877년 Wright에 의해 처음 스퍼터링 박막 증착이 보고되었고, Edison은 1904년에 wax photograph cylinder 위에 은(silver)을 증착하는 스퍼터링 박막 증착 공정으로 특허를 냈다. 스퍼터링은 전자빔 기화증착법보다 방사선에 의한 손상이 적고 화합물 또는 합금층을 증착하는데 매우 유리하다. 이러한 이점들로 인해 실리콘 웨이퍼를 사용하는 반도체 공정 분야에서 가장 널리 사용되는 금속 증착 기술이 되고 있다. 스퍼터링은 스퍼터링 되는 환경에 따라 diode sputtering, ion sputtering, magnetron sputtering, RF sputtering 등이 있으며, 화합물 박막증착이 가능한 reactive sputtering과 기판에 바이어스를 걸어주어 박막을 증착하는 bias sputtering이 있다[36,37].

### 1. 스퍼터링의 기본 원리

스퍼터링법은 스퍼터링 가스를 진공분위기로 이루어진 챔버 내로 주입하여 플라즈마를 생성시킨 후 성막하고자 하는 타겟(target) 물질과 충돌시켜 이를 기판(substrate)에 증착시키는 방법이다. 일반적으로 사용되는 스퍼터링 가스는 불활성 가스(inert gas)인 Ar을 사용한다. 스퍼터링 장치의 시스템은 타겟 쪽을 음극(cathode)으로 하고 기판 쪽을 양극(anode)으로 한다. 전원을 인가하면 주입된 스퍼터링 가스(Ar)는 음극쪽에서 방출된 전자와 충돌하여 여기(excitation)되어  $Ar^+$ 로 되고 이 여기된 가스는 음극인 타겟 쪽으로 끌려서 타겟과 충돌한다. 이때 여기된 가스 하나하나가  $h\nu$  만큼의 에너지를 가지고 있으며 충돌시 에너지는 타겟 쪽으로 전이되며 이때 타겟을 이루고 있는 원소의 결합력과 전자의 일함수(work function)를 극복할 수 있을 때 타겟으로부터 원자와 분자가 떨어져 나오게 된다. 떨어져 나온 타겟의 원자와 분자는 자유행정거리만큼 부상하고 타겟과 기판과의 거리가 자유행정거리 이하일 때 성막된다.

즉, 스퍼터링 과정은 에너지를 가지고 있는 원자크기의 입자들이 충돌함으로써

전환되는 운동량에 의해서 타겟 표면으로부터 원자들이 열에 의한 현상이 아닌 물리적으로 기화하는 것을 말한다. 즉 이온이 물질의 원자간 결합에너지보다 큰 운동에너지로 충돌할 경우, 이 이온의 충격에 의해 물질의 격자간 원자가 다른 위치로 밀리게 되면 원자의 표면 탈출이 발생하게 된다. 이온의 충격에너지는 이 물질을 증발시키는데 필요한 열에너지의 약 4배 이상의 에너지를 가져야만 물질에서 원자를 때려 탈출시키는데 충분하다.

스퍼터링법은 스퍼터링 가스를 진공분위기로 이루어진 챔버 내로 주입하여 플라즈마를 생성시킨 후 성막하고자 하는 타겟(target) 물질과 충돌시켜 이를 기판(substrate)에 증착시키는 방법이다. 일반적으로 사용되는 스퍼터링 가스는 불활성 가스(inert gas)인 Ar을 사용한다. 스퍼터링 장치의 시스템은 타겟 쪽을 음극으로 하고 기판 쪽을 양극로 한다. 전원을 인가하면 주입된 스퍼터링 가스(Ar)는 음극쪽에서 방출된 전자와 충돌하여 여기되어  $Ar^+$ 로 되고 이 여기된 가스는 음극인 타겟 쪽으로 끌려서 타겟과 충돌한다. 이때 여기된 가스 하나하나의  $h\nu$ 만큼의 에너지를 가지고 있으며 충돌시 에너지는 타겟 쪽으로 전이되며 이때 타겟을 이루고 있는 원소의 결합력과 전자의 일함수를 극복할 수 있을 때 타겟으로부터 원자와 분자가 떨어져 나오게 된다. 떨어져 나온 타겟의 원자와 분자는 자유행정거리만큼 부상하고 타겟과 기판과의 거리가 자유행정거리 이하일 때 성막된다.

따라서 스퍼터링 시 기판과 타겟과의 거리는 중요한 인자가 된다. 여기서 인가된 전원이 직류일 경우를 직류스퍼터링법(DC sputtering method)라 하며 일반적으로 전도체의 스퍼터링에 사용된다. 절연체와 같은 부도체는 교류 전원을 사용하여 박막을 제조한다. 이때 교류전원은 13.56 MHz의 주파수를 가지며 이를 RF라 한다. 이러한 교류 전원을 인가전원으로 사용하는 스퍼터링법을 교류스퍼터링(RF sputtering)법이라 한다. RF 스퍼터링법은 다른 디지털 회로에 노이즈의 발생 원인이 될 수 있으므로 시스템적으로 노이즈 필터나 절연체에 의한 차폐와 접지가 중요하다.

마그네트론 스퍼터링(magnetron sputtering)이란 발생된 플라즈마를 영구자석에서 발생하는 자속에 의해 집진하여 기판에 성막시키는 방법이다. 이러한 집진이 이루어질 경우 전체가 발생한 플라즈마는 균일하게 되어 결과적으로 균일한 박막



을 제조할 수 있다. 영구자석은 NbFeB계가 주로 사용되며 과거에는 링형태를 여러개 합쳐서 제조하였지만 현재는 평판형태로 제작한다. 마그네트론은 타겟 밑에 놓으며 인가된 전원에 따라 RF·DC magnetron sputtering이라 한다.

이러한 스퍼터링법의 장점은 넓은 면적에서 균일한 박막두께로 증착이 가능하며 박막 두께의 조절이 비교적 용이하고 다른 증착법에 비하여 보다 정확한 합금 성분 조절 가능하다는 것이다. 그림 2는 이러한 스퍼터링법의 원리를 나타낸 것이다.

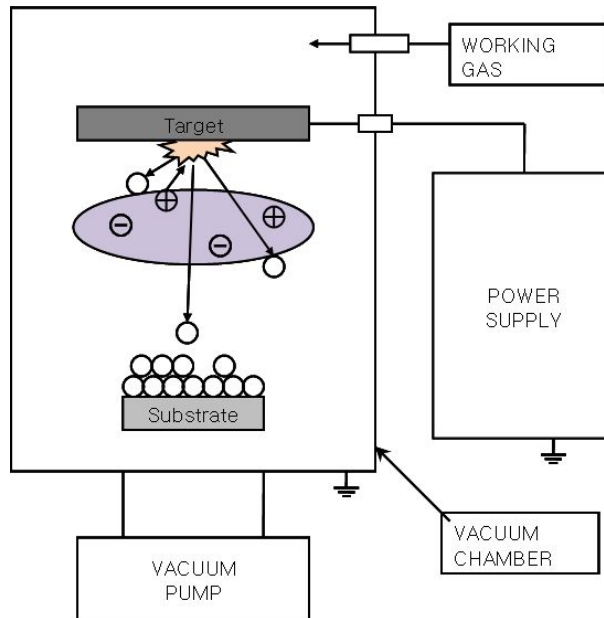


Fig. 2 Structure of RF-Magnetron Sputtering.

## 2. RF 스퍼터링 플라즈마[38]

전극으로부터 제거된 물질에 의한 공정의 오염을 최소화하거나 이를 피하기 위해 반응용기 외부에 전극을 갖는 형태가 선호된다. 이런 문제들은 discharge의 극성을 바꿔주면 해결할 수 있다. discharge tube의 두 개 전극 사이에 낮은 frequency(<100Hz)로 전기장을 바꿔줄 때, 각각의 전극은 양극, 음극으로 바뀌가며 작용한다.

일반 breakdown potential은 1/2 주기마다 형성되며, 일시적인 DC glow discharge가 얻어진다. 주기동안 breakdown 값 보다 낮게 전압강하가 일어날 때, discharge는 없어지고, 충분히 낮은 진동수에서 discharge가 다른 극성으로 재시작되기 전에 공간전하가 감소한다. 전기장의 진동수가 임계 이온 진동수( $f_{cr}$ ) 보다 크게 증가 할 때, 전극 간 이동하는 양이온에 의해 걸리는 시간은 0.5 기간 보다 커지게 된다. 순간적인 양극 근처에서 만들어진 이온들은 전기장이 바뀌기 전엔 음극에 도달 할 수 없다. 이런 상황에선 전기장에서 이온에 의해 이동한 거리는 플라즈마 시스(sheath) 두께 보다 적게 된다. 그런 진동수에서 positive space charge는 부분적으로 0.5 cycle마다 바뀌는 두 가지 전기장 사이에서 억제되고, discharge의 재시작을 용이하게 한다.  $f_{cr}$ 은 ion transition frequency라고도 불리며 다음과 같이 정의된다.

$$f_{cr} = \frac{\langle v \rangle di}{2L} \quad (1)$$

여기서  $L$  는 전극간 거리이고  $\langle v \rangle di$  는 이온의 평균 drift 속도이다.  $f_{cr}$ 은 500kHz에서 수 MHz의 범위를 갖는다. 전자에 대해서도 이와 비슷한 임계 진동수를 정의 할 수 있다.

$$f_{ce} = \frac{\langle v \rangle dv}{2L} \quad (2)$$

이온에 비해 전자가 훨씬 이동도가 크므로  $f_{ce} \gg f_{ci}$ 이다.  $f_{ce}$ 보다 큰 진동수에서 양 공간전하와 음 공간전하들 모두는 주기 사이에서 억제되고 결과적으로 바뀌는 current discharge를 시작하고 유지하는데 요구되는 전압은 DC glow discharge에 비해 크게 감소한다. 고주파방전에 사용되는 진동수는 RF discharge란 이름을 부여하는 radio transmission의 범위에 있다.

glow 방전조건하의 가스에서 탄성 충돌 주파수( $\nu$ )는 일반적으로  $10^9 \sim 10^{11}$  collision/sec이다. 이 충돌 주파수는 13.56MHz 방전을 위해 적용된 radio frequency보다 훨씬 큰 값이며, 전자들은 매 적용된 전계 동안 많은 충돌을 할 것이다. 이들은 반응용기 벽에 확산에 의해 없어질 것이고, 플라즈마 몸체에서 이온화에 의해 재생될 것이다. 그러므로, RF 방전으로부터 전하운반자의 손실은 양 방향 확산과 기상 내에서의 균질한 재결합에 의해 제어 받으며 전기장에 의해서는 아니다. 새로운 대전입자들은 주로 중성가스 원자와 전자의 충돌을 통해 생긴다.

RF 방전에 의한 power absorption은 탄성충돌이나 비탄성충돌에 의해서 알 수 있다. 플라즈마에서 고주파전력의 충돌흡수는 주파수  $(\nu_e)_i$ 로 전자-이온의 충돌과  $\nu_{ci}$ 으로 전자-중성입자의 충돌에 기인한다.  $10^3$ Pa(7.5torr) 이상의 압력의 플라즈마에서 이온화도는 주로 매우 낮으며 ( $< 10^{-4}$ ), 중성자1의 밀도는 이온보다 훨씬 크고, 전자-중성자 충돌은 매우 현저하다. 1Pa (7.5torr)보다 낮은 압력에서 이온화도는  $10^{-2}$ 보다 더 큰 값에 도달 할 수 있고 전자-이온 충돌이 현저하다. 중간 압력하에선  $\nu_{ei}$ 와  $\nu_{ci}$  모두가 power absorption을 결정한다. 이보다 더 낮은 압력에선 충돌 진동수가 감소하고,  $\nu/\omega \ll 1$ 일 때, 비탄성충돌 흡수가 플라즈마내에서 지배적이다. 비탄성충돌 상황에서 전자는 RF 전계에서 진동을 하고, 최대속도 (X), 진폭 (x), 에너지 (w)에 도달 할 것이다.

$$x = \frac{eE_0}{m_e W}, x = \frac{eE_0}{m_e W^2}, W = \frac{m_e x^2}{2} \quad (3)$$

전형적인 RF 진동수(13.56MHz)와 전계강도(10V/cm)에선 진폭=2.42cm, 속도= $2.1 \times 10^8$ cm/secm 에너지=11.3eV 이다. 이는 전자가 비탄성 충돌 플라즈마

에서 아르곤의 이온화에너지(15.7eV)에 도달하기 위해 10V/cm보다 더 큰 어떤 전계가 요구된 것을 의미한다. 그러나 가스의 원자들과 충돌은 전자들의 무질서한 이동을 발생시키고, 전자들은 원자들과의 각각의 충돌이 이루어지는 동안에 외부 전계로부터 추가적인 에너지를 얻는다. 만약 전자가 원자들과 탄성 충돌을 하고, 전기장이 방향을 바꿀 때, 이와 동시에 전자가 움직임을 반대로 바꾸게 되면, 계속적으로 속도와 에너지를 얻게 될 것이다. RF 방전에서 전자들은 낮은 전기장에서 도 이온화를 일으킬 충분한 에너지를 축적시킬 수 있다. 이런 거동의 결과로 RF 방전은 방전을 유지하고, 이온화를 촉진시키는데, DC 방전보다 더욱 효율적이다. 전자에 의해 흡수된 평균 전력(P)은 다음과 같다.

$$P = \frac{e^2 E_0^2}{2m_e} \cdot \frac{v_{ea}}{V_{ea^2} + w} \quad (4)$$

여기서  $\nu_{ea}$ 는 gas 원자와 전자의 탄성 충돌 주파수이다.  $E_0^2$ 에 대한 P의 의존성은 흡수된 전력이 전기장의 부호에 독립적이고 전자가 field의 방향이나 반대방향으로 이동할 때, 에너지를 얻는다는 사실을 말해준다. 그 양  $E_{eff}$ 는 유효전기장의 세기라 불리며, 다음 식과 같다.

$$E_{ff} = \frac{E_0}{\sqrt{2}} \left( \frac{\nu_{ea}^2}{\nu_{ea}^2 + w^2} \right)^{\frac{1}{2}} \quad (5)$$

외부 전기장으로부터 가스의 단위체적으로 전환된 평균 RF power  $P_\nu$ 는 다음과 같다.

$$P_\nu = \frac{n_e e^2 E_0^2}{2m_e} \left( \frac{m}{\nu^2 + w^2} \right) \quad (6)$$

$w \approx 10^7$ Hz, RF 주파수에서,  $\nu > 10^9$ /sec의 충돌 주파수는 전계의 주파수보다 훨씬

썸 크다( $\nu \gg \omega$ ). 이 경우엔 전환된 전력( $P_{\nu}$ )는 driving frequency( $\omega$ )에 의해 영향 받지 않는다.

59kHz 보다 큰 주파수에서, 진동하는 전자들은 이온화를 이루는 충돌을 일으키는데 충분한 에너지를 얻으며, 따라서 이온전자에 이루는 충돌을 일으키는데 충분한 에너지를 얻으며, 따라서 이차전자에 대한 방전의 의존도를 줄이고 breakdown voltage를 낮춘다. 이렇게 방전은 전극과 벽으로부터 이차전자의 수율에 독립적으로 유지될 수 있다. 이온의 낮은 이동도 때문에 이온 분포는 독립적으로 유지될 수 있다. 이온의 낮은 이동도 때문에 이온 분포는 높은 주파수에서 필수 불가결하게 정지된 상태이다. 이와 동시에 전자들은 전기장에 의해 전극사이를 돌아다니며 그 분포는 위치와 시간의 함수이다.

RF 방전의 반응용기 벽이나 전극으로부터 방출된 이차전자는 plasma sheath를 가로질러 가속되고, 이온화과정에 추가된다. 그러나 방전을 유지하는 데에는 덜 중요하다. 주어진 압력에서 방전의 전기적 임피던스는 주파수가 증가함에 따라 감소하고, 같은 전압에서 방전 통한 더 많은 전류를 유도할 수 있게 한다. molecular discharge에서 자유 라디칼과 원자의 수율은 또한 같은 field strength와 압력의 DC 방전과 비교해서 RF 여기의 사용에 의해 증가한다. 비록 RF 플라즈마의 여기를 위해 사용된 power supply의 주파수가 100MHz만큼 클 수 있다고 해도, 일반적으로 더 낮은 주파수가 사용된다. 이는 과장이 반응용기의 치수보다 작거나, 동등할 때 큰 부피에서 균일한 플라즈마를 유지하기 위해 정교하고 복잡한 배열이 이루어져야만 하기 때문이다.

RF 방전은 이온화를 일으키는 충돌의 효율이 전자 진동에 의해 향상되기 때문에 1torr의 낮은 압력에서도 작동 될 수 있다. 이는 가스 원자와의 충돌의 결과로 에칭된 표면으로 스퍼터된 물질이 반사되는 것이 바람직하지 않은 스퍼터링이나 에칭이나 증착에서 이온의 방향성이 요구되는 경우엔 매우 유용하다.

### 3. 드바이 length

플라즈마의 또 다른 중요한 변수는 플라즈마의 드바이(Debye) length이다. 만약 전기장이 플라즈마 내에서 만들어진다면, 전하를 가진 입자들은 그 효과를 감소시키기 위해 반응할 것이다. 더 가볍고, 이동이 용이한 전자들은 전기장을 감소시키기 위해 제일 빠르게 반응할 것이다. 만약 플라즈마가 과잉 양·음전하를 가진 입자를 가지고 있다면, 이 과잉된 양은 전기장을 형성할 것이고, 전자들은 그 전하를 없애기 위해 이동할 것이다.

국부 전기장의 효과를 없애기 위한 대전된 입자의 반응을 드바이 shielding이라 하며 이 shielding은 플라즈마가 준 중성 상태의 성질을 가지게 한다. 플라즈마 내에 포함된 두 표면 사이에 electric potential이 적용되었다고 가정하자. 그 두 표면은 같은 양의 반대 부호를 가진 대전된 입자들을 끌어당길 것이다. 그 두 표면 근처의 대전된 입자들의 농도는 플라즈마 벌크로부터 대전된 표면들을 보호해 중성 상태가 될 것이다. 그러므로 이 적용된 electrical potential은 대부분이 표면 근처에서  $\lambda_D$ 에 걸쳐서 발달될 것이다.

$$\lambda_D = \left( \frac{\epsilon_0 k T_e}{n_e e^2} \right)^{\frac{1}{2}} \quad (7)$$

여기서  $\epsilon_0$ 는 free space의 permittivity이고,  $e$ 는 전자의 전하이다. Debye length의 의미를 명확히 하기 위해 초기에 준 중성 상태인 플라즈마에 양전하,  $q$ 를 넣는다고 가정해 보자. 이 주입된 전하는 전위차를 형성할 것이며, 자유공간에서 그 값은 다음과 같다.

$$V_0 = \frac{q}{4\pi d \epsilon_0} \quad (8)$$

여기에서  $d$ 는 전하로부터의 거리이다. 이 플라즈마에서 생성된 전위차는 플라스

마의 전자와 이온에 의해 영향을 받으며 그 값은 Poisson의 정리에 의해 얻어진다.

$$\nabla^2 V = -\frac{\rho}{\epsilon_0} \quad (9)$$

여기에서  $\rho$ 는 플라즈마내의 총 전하밀도이며,  $\rho = e(n_i - n_e) + q\delta(d)$  이고  $q$ 는 point charge이다. 전위  $V$ 는 전자밀도를 변화시키고, 전자들이 온도에서 열역학적으로 평형상태에 있다고 가정하면, 이 밀도는 다음과 같이 계산되어 질 수 있다.

$$n_e = n_0 \exp\left(\frac{eV}{kT}\right) \quad (10)$$

이 식에서  $eV \ll kT$ 라고 가정될 수 있으므로, Poisson의 정리를 다시 쓴다면

$$\nabla^2 V - \frac{V}{\lambda_D^2} + q\delta(d), \quad \lambda_D = \left(\frac{\epsilon_0 k T_e}{n_e e^2}\right)^{\frac{1}{2}} \quad (11)$$

이고, 해를 구하면

$$V(d) = \frac{q}{4\pi d \epsilon_0} \exp\left(-\frac{d}{\lambda_D}\right) = V_0 \exp\left(-\frac{d}{\lambda_D}\right) \quad (12)$$

이므로, 드바이 length는 전자 밀도가 증가할수록 감소한다. 대전된 입자의 밀도가 충분히 커  $\lambda_D \ll L$ (계의 규모)일 경우에만 이온화된 가스는 플라즈마로 고려될 수 있다. 만약 이 조건이 만족된다면, 플라즈마에서 발생하는 전하의 국부 농도는 debye length보다 작은 거리에 걸쳐 debye shielding effect에 의해 shielding될 수 있다. 이 전하 농도의 체적 외부에서 플라즈마 벌크는 준 중성 상태이다. 그러므로  $\lambda_D$ 는 플라즈마 내에서 발생 될 수 있는 전하의 국부농도 형성해 중성을 깨

는 지역의 특성 치수이다.

드바이 length와 연관된 또 다른 플라즈마 변수는  $\lambda_D$ 와 같은 크기의 반경을 가진 구(debye sphere) 안에 있는 입자의 수  $N_D$ 이다. Shielding effect는 많은 수의 전자에 의해 발생한다. 다시 말하면 shielding effect는 단지 debye sphere가 많은 전자를 포함할 때만 발생한다. potential의 지수적 감소 때문에 shielding이 debye sphere내의 전자 때문에 발생한다는 사실을 추정할 수 있다.

$$N_D = \frac{4\pi}{3} n_e \lambda_D^3 = \frac{1.38 \times 10^3 T_e^{\frac{3}{2}} (^{\circ}K)}{n_e^{\frac{1}{2}}} = \frac{1.78 \times 10^9 T_e^{\frac{3}{2}} (eV)}{n_e^{\frac{1}{2}}} \quad (13)$$

그러므로  $N_D$ 는 플라즈마의 collective characteristic을 이행하기 위한 양보다 훨씬 커야한다.  $T_e > 1eV, n_e < 10^{12}cm^{-3}$  경우에  $N_D \gg 1$ 인 조건은 쉽게 만족되며 저온 플라즈마에서  $N_D$ 는 debye sphere내에서  $10^4 \sim 10^7$ 사이의 범위를 갖는다.

#### 4. 평균자유행정

방전된 기체들은 기체 분자, 전자 및 이온으로 이루어져 있는데 이러한 입자들이 1회 충돌하고 나서 다음 충돌이 일어날 때까지 공간을 날아간 거리를 자유행정(free path)이라 한다. 이 거리를  $d$ 라 하면 이  $d$ 는 긴 것과 짧은 것이 있어 일정하지 않다. 그래서 이것을 평균으로 나타낸 값을 평균자유행정(mean free path)라 한다. 이는 앞에서 이야기한 분자의 운동과 밀접한 관계가 있다. 즉, 분자들 간에 상대적인 속도라든지 분자의 크기 등에 좌우되는데 경우에 따라 몇 가지를 분류하여 소개하면 다음과 같다.

작은 입자가 빠르게 기체 속을 지날 경우에는 평균자유행정은

$$l = \frac{vt}{n\pi r^2 vt} = \frac{1}{n\pi r^2} \quad (14)$$



또는  $l = \frac{1}{n\sigma}$ ,  $\sigma =$  분자의 충돌 단면적(cross section)

으로 나타낼 수 있으며, 비슷한 크기의 느린 입자의 경우에는

$$l = \frac{1}{4\sqrt{2n\pi r^2}} \quad (15)$$

으로 나타낼 수 있다. 진공 작업에서의 대부분은 비슷한 크기의 느린 입자의 경우  
이므로 이 식에다  $p=nkT$ 를 대입하면

$$l = \frac{k_b T}{\sqrt{2p\pi d^2}} \quad (16)$$

여기서  $d$ 는 분자직경이다. 위와 같은 기체 압력의 식으로 표현할 수 있다. 그런데  
대부분의 진공 작업시 기체의 온도는 실온이므로, 기체 분자의 지경  $d=3.7\text{\AA}$ 이라  
가정하여 압력의 단위를 Torr로 표현하면,

$$l = \frac{5.1 \times 10^{-3}}{p} \text{cm} \quad (17)$$

가 되고,  $l$ 의 단위는 cm가 되는데 대부분의 경우 기체의 종류에 관계없이 이 식을  
사용하면 쉽게 근사치를 얻을 수 있다.

## 5. 스퍼터링 타겟과 이온 충격의 관계

가속된 양이온이 고체표면에 충돌하면서 표면근처 구역과 표면에서 운동량의  
전달과 같은 여러 가지 현상을 수반하게 된다. 중성원자 배출, 후방산란, X선 방  
출, 광자 발생, 이차 전자 방출, 그리고 타겟 표면에서 기체원자의 탈착 등이 발생

하며, 타겟에서는 비정질화, 이온침투, 화합물 형성, cascade 발생, 국부적 가열 (에너지의 95%이상), 점결함이 생성된다[39,40]. 타겟 표면에서 스퍼터링된 이온은 기판표면에서 증착과정을 거치는 동안 흡수된 불순물 방출, 원자의 이동도 증가, 이웃한 표면의 원자변이, 기판원자의 스퍼터링, 증착된 원자의 재 스퍼터링과 같은 현상을 일으킨다. 이러한 상호작용은 에너지의 조사량에 따라 nucleation 양태변화, 잔류응력, 전위나 void와 같은 격자결함 생성, 격자상수, 저항, 화학량론 (stoichiometric), 배향, 밀도 등을 변화시키고, 생성된 막의 겉보기 정도와 증착도중 성장속도를 변화시킨다.

스퍼터링이 낮은 압력 또는 진공 분위기에서 되어질 때, 높은 에너지를 가지고 반사되어 나오는 중성의 가스와 타겟으로부터 높은 에너지로 스퍼터 되는 원자들은 성장하는 막에 충격을 가하고 막형성 과정에 영향을 준다. 높은 에너지를 가진 입자의 충돌은 타겟으로부터 스퍼터링 수율(yield)을 감소시키는 결과를 가져오며 증착된 재료가 재 스퍼터링(resputtering)되는 원인이 된다[41,42]. 타겟은 일반적으로 스퍼터링시 일반적으로 냉각수로 냉각되어지는데 타겟을 차가운 표면은 스퍼터 시스템 내에 복사되는 열의 양을 최소화시킨다. 복사열이 적으면 열에 민감한 표면을 가진 스퍼터 타겟을 사용 할 수 있고, 합금 타겟인 경우 열에 의해 표면에서의 초기 조성을 변하게 하는 타겟 내로의 확산을 막아준다.

플라즈마를 유지하는데 가장 중요한 역할을 하는 것은 이차 전자이며, 박막증착에 있어서는 이온 중에서 질량이 큰 양이온이다. 플라즈마 내에서 이차 전자는 추가적인 이온화를 일으키고 플라즈마의 광학적 발산의 color, intensity는 타겟 재료, 가스의 종, 압력, excitation 등의 특징으로, discharge 내의 구성요소들의 존재는 특성 스펙트럼 파장의 조사로 알 수 있다.

## 6. 스퍼터링 수율

스퍼터링 수율(yield)은 타겟으로 입사되는 입자수와 타겟으로부터 튀어나온 원자 수의 비율이고, 이것은 이온 질량, 이온 에너지, 타겟 질량, 타겟의 결정성 등에 의존한다.

그림 3은 아르곤 플라즈마를 사용한 경우에 다양한 재료의 이온 에너지의 함수로써 스퍼터링 수율을 보여준다. 스퍼터링 수율이 일반적으로 수백 electron volt의 에너지로 충돌하였을 때 1을 넘지 못하는 것을 알 수 있고, 이것은 하나의 원자를 튀어나오게 하려면 그 이상의 에너지가 필요하다는 것을 의미한다. 스퍼터링은 열에 의한 증발보다는 에너지 효율의 측면에서 보면, 훨씬 비효율적일 뿐 아니라, 증발 속도도 열에 의해 얻어질 수 있는 것보다 훨씬 못하다는 단점을 가지고 있다.

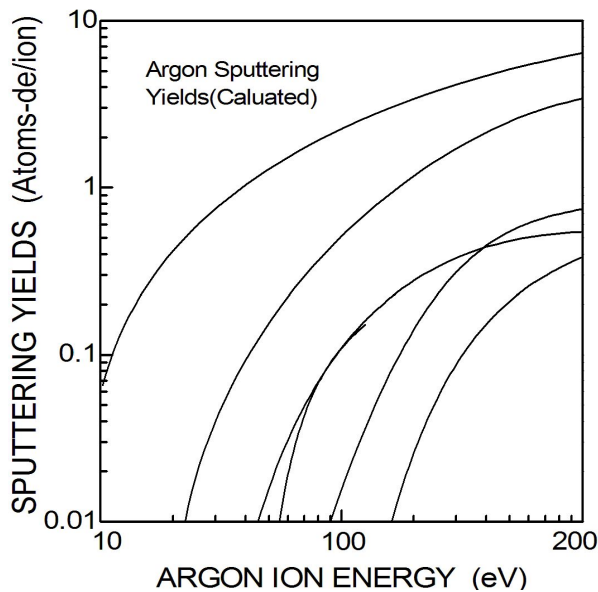
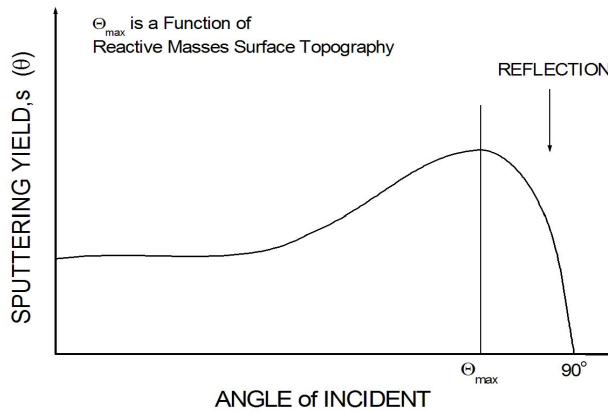


Fig. 3 Calculated Sputtering Yields.

그림 4는 입사각에 따른 스퍼터링 수율의 변화를 보인 것이다. 아르곤에 의한 스퍼터링 수율의 최고치는 입사각이 약 70° 정도일 때이며, 이것은 충돌하는 것과 타겟의 상대적 질량에 따라 변한다. 각각의 타겟 재료에 대해 문턱(threshold) 에너지가 존재하고 이 에너지 이하에서 스퍼터링은 발생하지 않는다. 이러한 에너지 범위는 보통 10~30eV 사이이다. 이 범위의 값은 고체상에 radiation 손상 시 원자의 불일치에 필요한 에너지이다. Anderson과 Bay는 타겟 원자의 질량이 주입 이온의 원자 질량보다 5배 이상 크면 문턱 에너지는

$$E_{th} = \frac{U_0}{\gamma(1-\gamma)} \quad (18)$$

가 된다는 것을 밝혀냈다. 여기서  $U_0$ 는 타겟 재료의 기화열,  $\gamma$ 는 에너지 천이변수 ( $\gamma = E_t/E_i$ )이다. 문턱 에너지보다 큰 에너지를 가진 이온들의 스퍼터링 수율은 100eV까지는 에너지의 제공에 비례하게 증가한다. 그리고 나서 750eV까지 직선적으로 증가하는데, 최대 값은 약 10keV 부근에서 얻어진다.



**Fig. 4** Circular, Planar Magnetron Cathode Schematic, Illustrating the Magnetic Confinement and the Resulting Electron Trajectories.

Evaporation과 같은 공정에서는 합금막들을 얻기 어려운 반면, 스퍼터링에서는 합금막들의 stoichiometry가 쉽게 얻어지므로 매우 중요하다. 합금 타겟의 서로 다른 성분들의 스퍼터 수율의 차이는 스퍼터 수율이 낮은 성분을 타겟 표면 쪽에 많이 위치하게 하여 우선적으로 스퍼터링이 일어나게 해야 한다. 그 다음 스퍼터 수율이 높은 성분의 표면 농도는 빠르게 감소할 것이다. 얼마간의 시간이 지난 후에 여러 종의 성분을 갖고 있는 타겟의 표면 조성은 성분들의 스퍼터 수율이 균형을 이루도록 되고 스퍼터된 유체의 조성이 타겟의 조성과 동일해진 다음에 정상 상태에 도달한다. 정상 상태에서의 식은

$$\frac{\theta_A Y_A}{C_A} = \frac{\theta_B Y_B}{C_B} \quad (19)$$

이다.  $\theta$ 는 표면 분율이고,  $Y$ 는 스퍼터링 수율,  $C$ 는 이중 타겟의 A와 B 성분의 조성이다. 타겟의 온도로 인해 화학종들의 상호확산이나, 타겟의 분해가 일어나지 않는다면 합금을 스퍼터링하는 동안 정상 상태에 도달한다. 이러한 conditioning period는 타겟에 따라 몇 분에서 한 시간 동안 지속된다.

## 7. 마그네트론 스퍼터링

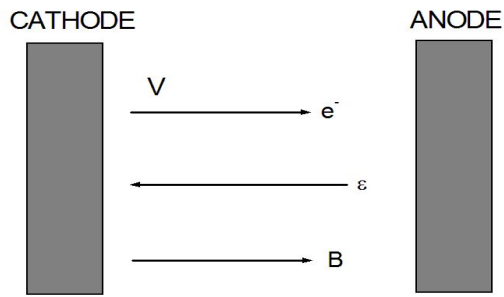
DC 스퍼터링에서는 음극으로부터 빠져 나와 가속되어진 전자들이 방전을 유지하는데 효율적으로 이용되어지지 않는다. 그러나 여기에 적당한 자장을 이용하면, 전자들은 타겟 표면 근처에 머물도록 타겟 표면 쪽으로 편향된다. 또한 자석의 적당한 배열에 의해서 전자들은 타겟 표면에서 순환된다. 타겟과 기판사이의 전기장  $\epsilon$ 에 자기장  $B$ 가 놓여지면, 전자들은 전기장에 의한 힘뿐만 아니라 Lorentz 힘에 영향을 받을 것이다. 스퍼터링 장비에 일반적으로 사용되고 있는 magnet을 나타내면

$$F = \frac{mdv}{dt} = q(\epsilon + v \times B) \quad (20)$$

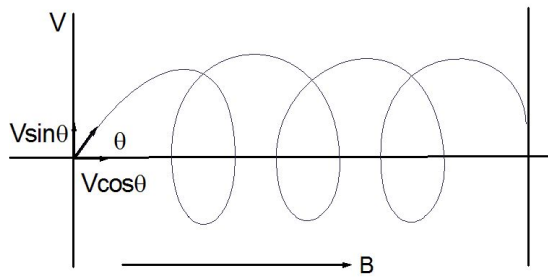
이고, 이때  $q$ 는 전자의 전하,  $m$ 은 질량, 그리고  $v$ 는 속도이다.

그림 2.5(a)에서처럼, 전자들이 타겟 표면에 수직하게, 전기장과 자기장에 평행하게 방출된다면, 전자들은 전기장에만 영향을 받는다. ( $v \times B = 0$ ) 그림 2.5(b)는 전기장  $\epsilon$ 는 무시되고 단지 자기장  $B$ 만이 인가되었을 경우를 보인다. 만약 전자가 자기장  $B$ 에 대하여 각  $\theta$ 에서  $v$ 의 속도로 캐소드에서 방출되었다면, 자기장  $B$ 에 수직한 방향으로  $qvB\sin\theta$ 의 힘을 경험하게 된다. 그러면 전자는 원심력 ( $m(v\sin\theta)^2/r$ )에 의해 결정된 반경  $r$ 을 갖는 나선형의 회전운동을 한다. 이때의 속도는  $v\cos\theta$ 이다. 그림 2.5(c)처럼 전자가 평행하고 균일한 전기장  $\epsilon$ 와 자기장  $B$ 에서  $\theta$  각으로 방출된 경우 좀 더 복잡해진다. 일정한 반경을 갖는 Corkscrew 움직임을 일어나지만, 전기장  $\epsilon$ 에 의해 전자가 가속되기 때문에 나선의 pitch가 시간에 따라 길어진다. 시간에 따른 전기장 변화는 문제를 더 복잡하게 만들고 전자의 나선 운동의 반경을 변화시킨다. 분명히, 자기장은 플라즈마 내에서 전자의 유지시간을 길게 연장하고 따라서 이온과의 충돌 확률은 증가시킨다.

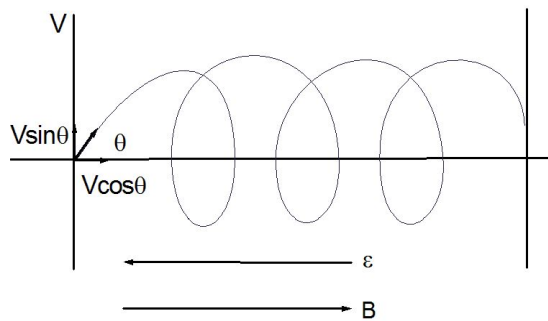
마그네트론은 전자들이 양극에 도달하는 것이 아니라 이온화 효율을 높이기 위해 타겟 근처에 묶이게 하는 것이다. 이것은 앞에서 설명한 것과 같이 자기장을 타겟에 평행하게 전기장에는 수직하도록 위치함으로써 가능하게 된다. 실제로 타겟 뒤에 bar나 말발굽 형태의 자석을 위치시켜 자기장을 형성시킨다. 따라서 자기력선은 타겟으로부터 수직하게 나오다가, 타겟 표면에 대해 수평 성분을 갖으면서 휘고, 다시 타겟에 수직하게 들어간다. 음극에서 방출된 전자들은 초기에 양극 향해 가속되어지다가 자기장의 영향으로 나선형의 움직임을 갖는다. 그리고 자기장의 방향에 따라서 전자들은 타겟을 향해 휘어진다.



(a)



(b)



(c)

**Fig. 5** Effect of  $\epsilon$  and  $B$  on Electron Motion. (a) Linear Electron Trajectory when  $\epsilon \parallel B (\theta = 0)$ , (b) Helical Orbit of Constant Pitch when  $B \neq 0, \epsilon = 0, (\theta \neq 0)$ , (c) Helical Orbit of Variable Pitch when  $\epsilon \parallel B (\theta \neq 0)$ .

## C. 전기적 특성

### 1. Hall 효과 특성

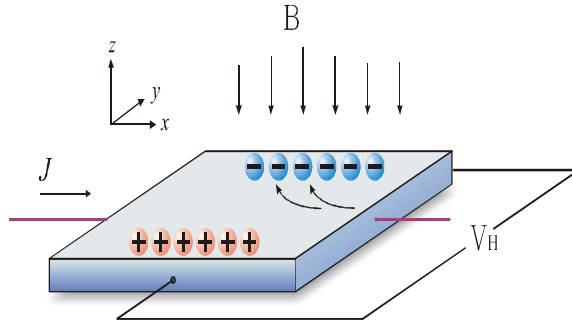
홀 효과는 금속이나 반도체 등의 고체를 자기장 속에 놓고, 자기장의 방향에 직각으로 고체 속에 전기장이 나타나는 현상이다. 이것을 홀 기전력이라 하는데 전하를 띤 입자가 자기장 속을 운동하면, 로렌츠의 힘을 받아 운동방향이 굽어진다. 따라서 고체내의 전류의 흐름이 한쪽으로 치우쳐 전하의 분포가 비평형이 되기 때문에 전기장이 나타나게 된다. 전류가 같은 방향이라도 전하의 음양(전자는 음)에 따라 발생하는 전기장의 방향이 달라진다. 또 입자의 농도에 따라서도 전기장의 세기가 달라지는 성질이 있다. 이 효과를 이용해서 고체 속에서 전하(carrier)의 농도, 홀 이동도를 파악할 수 있으며, 특히 반도체에서는 n형 또는 p형인지를 판단할 수 있고, 자기장의 크기와 방향을 측정할 수 있다.

그림 6은 홀 효과를 설명한 개략도이다. 여기서 운반자는 전자(e)이며, 전류의 방향  $J_x$ , 자기장의 방향  $H_z$ 는 각각 양의 값을 갖는다. 또한 전하의 속도  $v_x$ , 전기장의 방향  $E_x, E_y$ 도 각각 양의 값을 가짐을 알 수 있다. 이와같이 도체에 자기장이  $+z$  방향으로 작용하고 전기장이  $+x$  방향으로 작용하는 경우에 하나의 hole(e)은 전기장  $E_x$ 에 의하여 속도  $v_x$ 를 가지므로 전기장과 자기장에 의해서 전하가 받는 힘 즉 로렌츠 힘(Lorentz force)은 다음과 같다.

$$\vec{F} = e\vec{E} + e\vec{v} \times \vec{B} \quad (21)$$

자기장 내에서 움직이는 전하는 자기력을 받는다. 힘을 받은 전하는 힘의 물체의 바깥으로 쉽게 나갈 수가 없으므로 물체 내에 있는 전하는 물체의 양벽에 쌓이게 된다. 이때 쌓이는 전하는 금속물질의 경우에는 전자이나 반도체물질의 경우에는 타입에 따라서 전자와 정공을 갖는다.





**Fig. 6** Schematic Diagram of Hall Devices in the Form of a Rectangular Plate.

전하의 분포가 균일한 상태에서 벗어나 한 쪽에 쌓이게 되면 이들 전하에 의해서 전기장이 생겨나 더 이상의 전하가 쌓이는 것을 방해한다. 결국 충분한 시간 ( $10^{-6} \sim 10^{-11}$ sec)이 지나면, 전기력과 자기력은 같은 크기의 평형상태가 된다. 따라서 평형상태에서는  $F_y = 0$  이므로,

$$F_y = -eE_y + evB_z = 0$$

$$eE_y = ev_x B_z$$

$$E_y = v_x B_z \tag{22}$$

가 성립한다.

이와 같이 전류와 자장의 쌍방에 수직으로 전계가 유기되는 현상을 홀 효과라고 한다. 유기되어진 전계  $E_y$ 를 홀 전계라 말한다. 한편, 시료중의 전류밀도  $J_x$ , 정공밀도  $n_h$ , 정공의 이동도  $\mu_h$ , 도전율  $\sigma$  라 하면

$$v_x = \mu_h E_x \tag{23}$$

$$J_x = n_h e v_x = n_h e \mu_h E_x = \sigma E_x \quad (24)$$

으로 나타내어지므로 식 (22)와 식 (24)으로부터  $v_x$ 를 소거하면 홀 계수  $R_H$ 에 관한 다음 식이 얻어진다.

$$E_y = \frac{J_x B_z}{n_h e} = R_H J_x B_z$$

$$R_H = \frac{1}{en_h} [\text{m}^3 \text{c}^{-1}] \quad (25)$$

따라서,  $R_H$ 를 측정하면  $n_h$ 를 결정할 수 있다. 캐리어가 전자인 경우에는 홀 기전력  $E_y$ 의 극성이 반대가 되므로  $R_H = -1/n_h e$  (전자의 밀도를  $n_e$ 라 한다면  $R_H = 1/n_e e$  된다). 결국, 홀 계수의 측정으로부터 캐리어의 부호와 그 밀도를 동시에 구할 수 있다. 또  $R_H$ 와  $\sigma$ 의 적으로부터 이동도  $\mu$ 가 구해진다. 도전율  $\sigma = n_h e \mu_h$ 로부터

$$R_H \sigma = \frac{n_h e \mu_h}{n_h e} = \mu_h \quad (26)$$

로 되며, 전공의 이동도  $\mu_h$ 가 구해진다. 홀 효과로부터 구한 이동도는 일반적으로 도전율에 관계한 이동도와 조금 다르기 때문에, 홀 이동도라 부른다.

자장에 의해서 전자의 표류방향이 구부러지는 각  $\theta$ 는 식 (22)와  $v_x = \mu_h E_x$ 의 관계에서

$$\tan \theta = \frac{E_y}{E_x} = \mu_h B_z \quad (27)$$

이다.  $\theta$  는 작으므로  $\tan\theta \approx \theta$  가 되고 위 식은

$$\theta \approx \tan\theta = \frac{E_y}{E_x} = \mu_h B_z \quad (28)$$

로 나타낼 수 있다. 이 각  $\theta$  를 홀 각 이라 한다. 또한 위의 결과로서 홀 효과는 자기장에 의해서 전기장 벡터의 회전으로 생각될 수 있다. 실험적으로 홀 계수  $R_H$  를 측정하는 방법은

$$R_H = \frac{V_H t}{I_x B_z} (m^3 C^{-1}) \quad (29)$$

이 된다. 여기서 홀 전압  $V_H$  는 자기장  $B_z$  및 전류밀도  $J_x$  와 수직인 방향으로 걸리는 전압이며,  $I_x$  는 x방향으로 흐르는 전류,  $t$  는 두께를 나타낸다. 이와같은 방법은 bar or bridge 형태에서 적용된다.  $R_H$  를 조정하기 위해서는  $V_H$  나  $B_z$  를 조절하면 되지만 이것은 한도가 있고  $I_x$  를 크게 하면 이에 따라 발열이 생긴다. 밀도  $n_e$  의 전자와 밀도  $n_h$  의 정공이 동시에 존재할 때에는 홀 계수  $R_H$  는

$$R_H = \frac{n_h \mu_h^2 - n_e \mu_e^2}{e(n_h \mu_h + n_e \mu_e)^2} \quad (30)$$

으로 된다. 홀 효과는 반도체에 있어서 특히 중요한 의미를 갖는데 금속에 있어서도 상당히 중요하다 금속에서는 일반적으로 동시에 캐리어의 부호를 나타내므로 금속의 도전기구나 대역구조에 관한 중요한 지식을 제공한다.

금속의 경우에는 도전에 기여하는 캐리어의 속도는 모두 페르미 속도와 같다고 간주할 수 있으므로 식 (25)을 사용하고 있지만, 반도체의 경우에는 캐리어의 속도는 분포되므로  $J_x$  에 포함되는  $v_x$  와  $E_y$  에 포함되는  $v_x$  와는 일반적으로

동일하지는 않으므로 반도체에 있어서는 식 (25)을 수정할 필요가 있다. 수정된 홀 계수는 일반적으로

$$R_H = \pm \gamma \frac{1}{en} \quad (31)$$

로 주어진다. 여기서 정(+ )의 부호는 정공에 부(-)의 부호는 전자에 대응한다.

$$\mu_H = \sigma R_H = \gamma \mu \quad (32)$$

이 된다. 단  $\mu$ 는 드리프트 이동도이다.

두 종류의 캐리어가 동시에 존재할 경우에는 홀 계수의 식이 훨씬 복잡하게 되며, 홀 계수의 특성으로부터 바로 캐리어밀도를 구할 수는 없다. 이 경우 식 (32)에 대응하는 식은

$$R_H = \gamma \frac{1}{e} \frac{n_h \mu_h^2 - n_e \mu_e^2}{(n_h \mu_h + n_e \mu_e)^2} \quad (33)$$

로 주어진다.  $n_h \mu_h^2 \geq n_e \mu_e^2$ 에 따라  $R_H$ 는 정 또는 부의 부호를 갖는다. 그리고 이 경우의 도전율은 다음 식으로 나타내어진다.

$$\sigma = e(n_e \mu_e + n_h \mu_h) \quad (34)$$

## 2. 전류-전압 특성

### 2. 1 금속의 전기전도

평균자유행정(mean free path)은 결정내 전자 혹은 정공이 한번 충돌 후 다음 충돌시까지의 평균 주행거리이며, 입자의 이동속도는 다음 식으로 나타낸다.

$$v_d = \mu E \quad (35)$$

이때  $v_d$ 는 drift velocity m/s이고,  $\mu$ 는 이동도  $cm^2/V \cdot s$ 이다. 한편, 반도체 내 전류밀도  $\vec{J}$ 는 아래 식과 같이 나타내어진다.

$$\vec{J} = e(n \cdot \mu_n) \vec{E}, [A/m^2] \quad (36)$$

여기서  $n$  : 전자의 농도,  $e$  : 정전하량,  $\mu_n$  : 전자의 이동도이다.  
그리고 금속을 통해 흐르는 전류는 다음 식과 같다.

$$I = \frac{ne^2\tau_e A}{ml} \cdot V$$
$$R = \frac{V}{I} = \frac{ml}{ne^2\tau_e A} = \rho \frac{l}{A} \rho = \frac{m}{ne^2\tau_e}$$
$$\rho = \frac{1}{\sigma} \quad (37)$$

여기서  $n$ 은 금속내 자유전자 밀도,  $\tau_e$ 는평균자유시간(mean free time : 전자가 다른 입자와 충돌한 후 다시 충돌할 때까지의 평균시간), 그리고  $m$ 은 전자 질량이다. 금속도체의 단위체적  $m^3$ 당 전자수  $n$ 이 1s 동안의 충돌에 의한 전체 에

너지 소모량  $W$ 는 Joule의 법칙에 의하여 다음과 같이 나타내어진다.

$$\begin{aligned}
 W &= \frac{ne^2\tau_e A l}{m} \cdot E^2 [J] \\
 &= \frac{V^2}{R} = I^2 R [J]
 \end{aligned}
 \tag{38}$$

한편, 도전율에 의한 전기전도 현상은 캐리어와 그 이동 과정으로 이해 할 수 있으며, 전기전도에는 이온을 주체로 하는 이온성 전도와 전자를 주체로 하는 전자성 전도로 기술할 수 있다.

## 2. 2 전자방출(Electron Emission)

금속내부의 자유전자에 에너지를 공급할 때 전자가 외부로 방출되는 현상이다.

- (1) Thermionic electron emission(열전자방출) : Fermi-Dirac Distribution을 따르는 금속내 자유전자가 외부온도가 상승함에 따라 보다 큰 에너지를 가지게 되며, 결국 potential barrier보다 높은 에너지준위를 가짐에 따라 금속결합으로부터 이탈할 수 있게 된다.

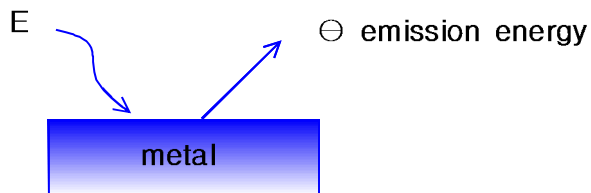


Fig. 7 Thermionic Electron Emission on Metal.

한편, 금속표면의 단위 면적당 단위시간에 방출하는 열전자 방출 전류  $i_{th}$ 는 Richardson-Dushman 식으로 다음과 같다.

$$i_{th} = AT^2 e^{-\frac{e\phi_w}{kT}} \quad (39)$$

여기서  $A$  : 금속재료에 따른 상수,  $\phi_w$  : 일함수,  $R$  : Boltzman 상수이다.

(2) Photo-electron Emission(광전자 방출) : 진동수  $\nu$ 인 빛을 조사할 때 ( $e\phi_w$  이상) 운동에너지  $\frac{1}{2}mv^2$ 으로 전자방출로 다음 식으로 나타낸다.

$$\frac{1}{2}mv^2 = h\nu - e\phi_w \quad (40)$$

(3) Electric Field Emission : 금속표면에 강전계를 인가하면 금속표면의 전위장벽이 낮아지고, 그 폭이 좁아져서 낮은 온도에서도 tunnel 현상에 의해 전자방출 된다.

(4) Secondary Electron Emission : 금속에 전자를 가속시켜 충돌시킬 때 자유 전자가 방출된다.

### 2. 3 광전효과(photo electric effect)

단색광이 진공중에 놓인 금속판의 표면에 입사되면 금속내의 전자는 광에너지를 흡수하여 진공으로 튀어나오는 현상으로 방출된 전자를 광전자(photo electron)라 한다. 한편, 광전 효과의 성질은 광전효과를 일으키는 최저 진동수가 있으며, 금속의 고유값이다. 즉, 이 한계주파수 이상의 진동수인 광만이 금속표면에서 전자

를 방출시킬 수 있으며 이 최소한의 에너지는 일함수( $h\nu_0$ )이다. 그리고 방출된 전자의 운동에너지는 입사광의 진동수가 클수록 커지며, 빛의 세기에는 관계없다.

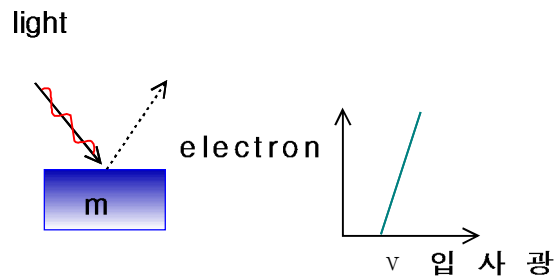


Fig. 8 Photo Electric Effect on Metal.



### 3. 쇼트키 다이오드 특성

금속이나 반도체로부터 전자를 진공준위로 해리시키는 에너지를 일함수라고 이 값은 Fermi 준위로부터 진공 준위까지로부터 전자를 진공 준위까지 측정된 에너지 값이며 정전전위를  $\phi$ 라고 할 때  $q\phi$ 이다. 지금 금속의 일함수  $q\phi_m$ 이 n형 반도체의 일함수  $q\phi_s$ 보다 클 때 두 물체가 접촉하기 전의 에너지 준위는 그림 9와 같다. 그러나 두 물질이 접촉되면 처음에는 반도체의 Fermi 준위가 금속의 Fermi 준위보다 높기 때문에 전자는 반도체로부터 금속 쪽으로 Fermi 준위가 일치될 때까지 흐른다. 그 결과 반도체의 에너지준위는  $q(\phi_m - \phi_s)$ 만큼 낮아진다. 즉 두 물체의 접촉전위차는  $V_0 = \phi_m - \phi_s$ 가 된다.

한편, 금속과 반도체의 경계면에서는 반도체로부터 금속 쪽으로 전자가 확산하면서 그곳에는 보상받지 못한 도너 이온만이 양전하로 남게 되고 금속의 표면에는 음의 영상전하가 유기되어 전계가 형성된다. 이 전계는 더 이상의 전자가 금속 쪽으로 확산되지 못하게 저지시키면서 평형상태를 유지시킴으로 반도체의 표면 부근에 공핍영역이 형성되고 금속과 접촉한 표면에는 전위장벽(potential barrier)  $q(\phi_m - \chi)$ 가 생긴다는 것을 에너지 대역도에서 알 수 있다. 여기서  $q\chi$ 는 반도체 물질내의 원자가 전자를 흡착하는 전자친화력(electron affinity)이다.

금속과 반도체 접촉에 의한 접촉전위차를 쇼트키 장벽(Schottky barrier)라 하고 이는 금속과 반도체의 일함수 관계로부터 얻어질 수 있다. 이 값은 Fermi 준위로부터 진공준위까지로부터 전자를 진공준위까지 측정된 에너지 값이며 정전전위를  $\phi$ 라고 할 때  $q\phi$ 이다.

쇼트키 다이오드에 그림 10과 같이 금속 쪽이 n형 반도체에 대하여 양의 전위가 되도록 순방향 바이어스 전압이 인가되면 접촉전위차는  $V_0$ 에서  $(V_0 - V_f)$ 로 감소되며 에너지 대역은  $qV_f$ 만큼 올라가게 된다. 그 결과 반도체의 전도대역의 전자는 공핍영역을 가로질러서 금속 쪽으로 확산하는 순방향 전류가 흐른다. 반대로 역방향 바이어스에서는 장벽이  $(V_0 + V_f)$ 로 증가되므로 반도체로부터 금속으로 전자의 확산은 저지된다. 한편, 금속으로부터 반도체 쪽으로 전자의 주입은 어떠한

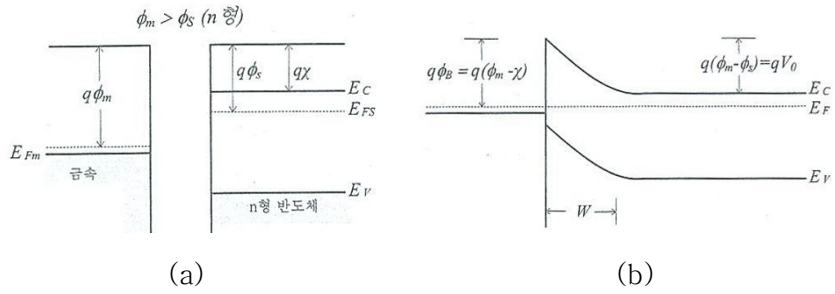
바이어스 상태에서도 장벽 ( $\Phi_m - \chi$ )에 의하여 저지된다. 그래서 쇼트키 다이오드의 순방향 전류는 p-n 접합의 순방향 전류와 같이 다음 식을 이용한다.

$$I = I_0' \left( \frac{qV}{e^{kt}} - 1 \right) \quad (41)$$

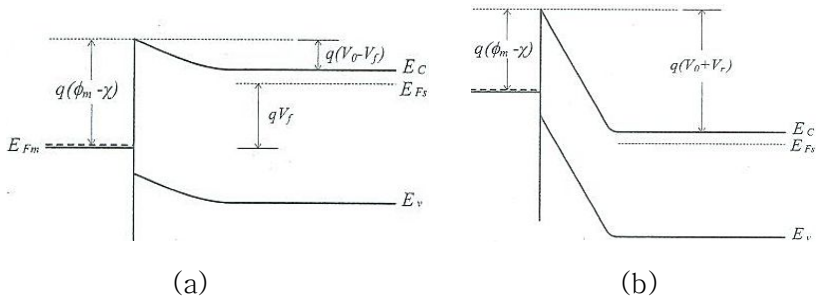
이 식에서  $I_0'$ 는 p-n 접합에서와 같이 간단하게 유도되지 않는다. 그 이유는 역방향 포화전류는 금속으로부터 n형 반도체로 전자주입에 대한 장벽  $\Phi_B$ 의 크기에 의존하기 때문이다. 이 장벽의 높이는 바이어스 전압에 대하여 영향을 받지 않는다. 금속내의 전자가 이 장벽을 넘을 수 있는 확률은 Boltzmann 함수  $\exp(-q\Phi_B/KT)$ 에 비례하므로  $I_0'$ 는 이 인자를 포함하게 된다.  $I_0'$ 는 진공 내에서 열전자 방출에 대한 Richardson의 식과 유사하게 유도된다. 그래서 순방향전류는 단면적을 A라고 할 때 다음 식과 같다.

$$I = ART^2 e^{-q\Phi_B/KT} \left( e^{\frac{qV_f}{KT}} - 1 \right) \quad (42)$$

여기서 R은 Richardson의 상수이다. 이와 같이 금속과 반도체의 정류성 접촉을 이룰 때는 순방향전류는 반도체로부터 금속 쪽으로 캐리어의 주입에 의한 전류이고, p-n 접합에서와 같이 접합부에 소수 캐리어의 주입으로 인한 캐리어의 축적 현상이 없다는 것이다. 그래서 캐리어의 축적과 소거에 소용되는 어떠한 시간지연이 없는 것이 Schottky 다이오드의 특징이다. 따라서 스위칭 속도가 빠르고 고주파의 정류특성이 좋아진다. 특히, Schottky 다이오드는 고밀도의 직접회로 내에서 다이오드를 구성할 때 p-n 접합 다이오드에 비하여 공정이 간편하다는 장점도 있다.



**Fig. 9** Contact of Metal–n Type Semiconductor at  $\Phi_m > \Phi_s$ , (a) Before Contact, (b) After Contact.



**Fig. 10** Schottky Contact of Metal–N Type Semiconductor at (a) Forward Bias, (b) Backward Bias.

### III. 실험 및 측정 방법

#### A. 실리사이드 박막의 제조

##### 1. 스퍼터 장비 및 박막 공정

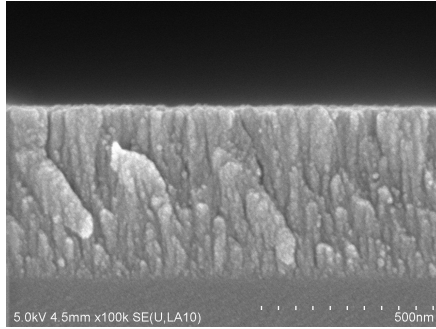
본 연구를 수행하기 위하여 RF 마그네트론 스퍼터링 장치를 이용하여 실리사이드 박막을 증착을 실행하였다. 고주파 RF 마그네트론 스퍼터링 증착 장치는 진공 반응로, 고주파 전원장치 및 가스 공급장치의 세 부분으로 구성되어 있다. 진공 반응로와 RF 전원 발생기(RF power generator)는 Vacuum Science Co.(Korea)의 스퍼터링 장비이며 그림 11에 나타내었다. 반응 챔버는 지름이 250×300mm인 원통형으로 실험 중 내부의 플라즈마 상태를 관찰 하면서 할 수 있도록 되어 있다. 반응로 뚜껑은 몸체와 분리하여 수평으로 회전시켜 이동 할 수 있도록 되어 있으며, 반응로 내 진공을 유지하기 위하여 rubber-ring을 이용하여 기밀을 유지시키고, 타겟과 기판 사이의 높이는 조절이 가능하게 되어 있다. 기판 가열장치는 100℃까지 온도조절이 가능하며, 진공용 배기구와 진공 측정용 게이지 hole, 기판 홀더가 장치되어 있다. 로터리(rotary) 펌프와 터보(turbo) 펌프를 이용하여 초기 압(base pressure)을 충분히 낮춘 후, 고진공 밸브와 유압가스를 조절하여 페닝 진공 게이지로 압력을 측정 할 수 있게 되어 있다. 가스 공급장치는 플라즈마 화학증착에 필요한 기체의 유량을 반응로까지 공급하는 장치이며, 기체 유량은 MFC를 통해 미세한 가스유량까지 조정가능하다. 발생기는 13.56MHz의 일정한 주파수로 고정되며, 0~200W의 출력을 갖는 RF 장치로 임피던스 정합 회로가 부착되어 있다. 임피던스 정합회로는 고주파 발생기에서 발생된 전력이 타겟 가해질 때 입력 및 load tuning을 행하므로 반사 전력이 1% 이하가 되도록 조정할 수 있는 장치이다. RF 전원은 power meter를 통하여 반응로의 음극으로 공급하고 방전을 유지시킬 수 있으며, matching network는 발생기를 보호하면서 반응로 내에서 소모되는 전원의 효율을 극대화 시키고 power meter에서는 실제로 소모된 전력

이 측정된다. 가스배관은 BA 그리드 파이프를 사용하였고 연결부에는 원형 rubber-ring을 설치하여 완전밀봉 시켰다. 반응로 내의 압력은 metering valve를 사용하여 압력을  $10^{-6}$  Torr로 일정하게 유지하였다. 또한, 실리콘 웨이퍼는 대기중에 수분과 공기에 의하여 쉽게 산화되므로 이 때 생성된 산화막과 실리콘 표면의 불순물들을 제거하기 위하여 초음파 세척기(Japan Branson Co., Model 1200)를 이용하여  $100^{\circ}\text{C}$  온도에서  $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_4(4:1)$ 로 불순물을 제거한 후  $\text{HF}:\text{H}_2\text{O}(1:50)$ 를 이용하여 산화막을 제거하였다.

박막의 증착과정은 스퍼터링 전원으로 RF 전원을 사용하여 rotary pump로  $10^{-4}$  Torr까지 배기한 후 diffusion pump를 가동하여  $10^{-7}$  Torr까지 배기 후 반응가스를 주입하여 약  $10^{-4}$  Torr 진공도(vacuum level)에서 RF 전원을 공급하여 방전 플라즈마를 발생시켜 박막을 증착하였다. 한편, 스퍼터링 타겟은 상업용으로 판매된 LTS Chemical Inc.사의 순도 99.999%, 2 inch 지름의  $\text{CoSi}_2$  타겟을 사용하였다.  $\text{CoSi}_2$  실리사이드 박막 증착을 위하여 실리콘 웨이퍼( $10\Omega\cdot\text{cm}$ , n-type Si(100)) 위에 1분 동안 Pre-sputtering을 실행하였으며, 이때  $5\times 10^{-4}$  Torr의 진공도에서 증착 공정 조건을 RF 스퍼터링 전력을 각각 20, 30, 40, 그리고 50watt로 증가시켜 가면서 공정을  $100^{\circ}\text{C}$ 에서 아르곤(Ar) 가스 유량(flux)을 20sccm으로 증착하였으며 그림 12에 제작된 실리사이드 박막의 단면을 나타내었다. 이 때 실리사이드 박막의 두께는 평균 480nm 정도이었다. 한편 박막의 열처리 공정에서는 RF 스퍼터링 전력을 50watt로 증착한 박막을 증착 직후 시료들을 튜브형 세라믹 연구용 전기로에서 10분간 예열하였고, 이후  $500^{\circ}\text{C}$ ,  $700^{\circ}\text{C}$ , 그리고  $900^{\circ}\text{C}$  온도 조건에서 60분 동안 열처리를 진행하였다. 열처리 후에 시료들은 챔버에서 서서히 상온까지 냉각시켰다. 본 연구에서 실험을 행한 조건을 표 1에 요약하여 나타내었다.



Fig. 11 Sputtering Equipment.



**Fig. 12** Cross-sectional SEM Micrograph of the CoSi<sub>2</sub> Thin Film.

**Table 1** Process Parameters of CoSi<sub>2</sub> Sputtering.

Substrate	2×2 cm Si
Pre-sputtering Time	1 minutes
Ar Gas Flow Rate	20 sccm
Sputtering Time	10 minutes
RF Power	20, 30, 40, 50 watts
Vacuum Level	$1.0 \times 10^{-3}$ Torr
Substrate Temperature	100°C
Annealing Temperature	500, 700, 900°C
Annealing Time	60 minutes

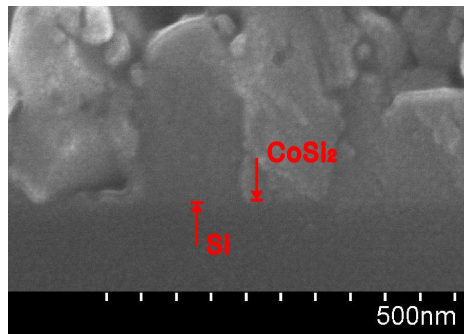
## 2. 쇼트키 다이오드 제작

코발트 실리사이드 박막을  $2 \times 2 \text{ cm}$  n-type Si(100) 기판 위에 RF 스퍼터링 방법으로 증착하였고, 이 때 기판은  $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_4(4:1)$ 로 불순물을 제거한 후  $\text{HF}:\text{H}_2\text{O}(1:50)$ 를 이용하여 산화막을 제거하였다. 코발트 실리사이드 박막의 전기적인 특성을 관찰하기 위하여 본 실험에서는 금속 반도체의 구조인 쇼트키 접합의 다이오드를 제작하였다. 이 때 제작된 다이오드의 면적은 각각  $4 \text{ mm}^2$ ,  $8 \text{ mm}^2$ 로 하였으며, LTS Chemical Inc.사의 순도 99.99%의 2인치  $\text{CoSi}_2$  타겟을 사용하여 RF스퍼터링 전력을 50watt, 아르곤(Ar) 가스 유량(flux) 20sccm, 진공 압력  $5 \times 10^{-4} \text{ Torr}$ 으로 하여 10분 동안  $100^\circ\text{C}$ 에서 증착하여 튜브형 세라믹 연구용 전기로에서 10분간 예열한 후  $900^\circ\text{C}$ 로 열처리한 시료를 이용하여 전류-전압 특성을 관찰 하였다. 증착 직후의  $\text{CoSi}_2$  박막의 두께는 엘립소미터(J. A. Woollam Co., M-2000 V)를 이용하여 측정하였고 평균 두께는 480nm이었다. 위 의 실험 조건을 표 2에 요약하여 나타내었다. 제작된 실리사이드 박막의 단면 사진을 그림 13에 나타내었으며, 실리콘 기판과  $\text{CoSi}_2$  사이의 계면접합에서 약간의 facet가 존재 하였으나 이중층(Co/Ti) 구조 방법으로 형성된 박막에서 나타내는 전이금속으로 인한 void와 같은 결함과 실리사이드의 응집으로 인한 접촉계면의 facet 보다는 고주파 스퍼터링 방식으로 단일층을 형성한  $\text{CoSi}_2$  박막에서는 실리사이드 계면과 접촉 평탄화가 더 양호한 것으로 사료된다[43].



**Table 2** Process Parameters of Sputtered CoSi<sub>2</sub> and Diode Area.

Substrate	N-Type Si(100)
Ar Gas Flow Rate	20 sccm
Sputtering Time	10 minutes
RF Power	50 watts
Vacuum Level	$5 \times 10^{-4}$ Torr
Substrate Temperature	100°C
Electrode Area	4 mm <sup>2</sup> , 8 mm <sup>2</sup>



**Fig. 13** Cross-sectional SEM Micrograph of the CoSi<sub>2</sub> Thin Film in the Interface after Annealing at the Temperature of 900°C.

## B. 측정 및 분석 공정

### 1. 두께 측정

각 공정 조건들의  $\text{CoSi}_2$  박막의 두께를 측정하기 위해서 J. A Woollam 사의 엘립소미터(M-2000V) 장비를 사용하였다. 엘립소미터는 레이저빔을 사용하며 스펙트로미터와는 다른 원리로 측정한다. 레이저빔은 편광(polarization)되어 있는데, 편광된 빔은 박막이 입혀진 웨이퍼에 어떤 각도로 들어오게 되고, 그 빔은 산화막을 통과하여 실리콘과 산화막의 경계에서 반사된다. 박막에 빛이 들어오고 있을 때 빔의 면이 회전하면, 이때 빔이 회전하는 두께와 굴절률을 계산하여 측정하는 장비이다.

하지만 시료 전체의 평균 균일도를 측정하기에 엘립소미터의 박막 표면의 측정 범위가 협소하고 전체적인 평균값을 구할 수 없기 때문에 바둑판 배열 방식으로 시료를 측정함으로써  $\text{CoSi}_2$  박막 표면 평균 두께를 구하고, 그 평균 두께에 따른 표준 편차 값을 구함으로써 박막의 표면 균일도를 구하였다. 즉 6번을 측정 하여 각 부분별 평균값을 이용하여 구한 표준 편차 값이 작을수록 표면 균일도가 우수함을 뜻한다. 그림 14는 본 논문에서 사용한 J. A Woollam 사의 엘립소미터(M-2000V) 장비의 사진 및 측정원리 모식도이다.

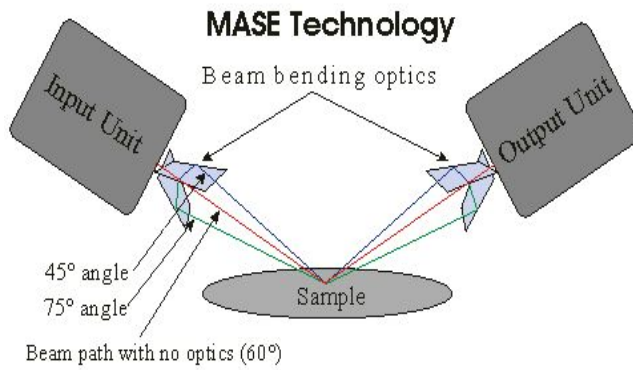
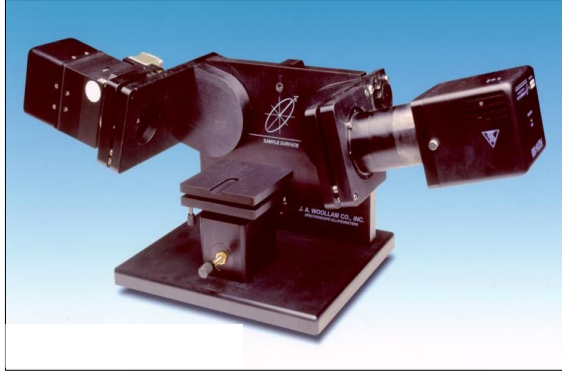


Fig. 14 Photograph and Principle of Ellipsometry Measurement.

## 2. 박막의 표면 형상 특성

박막의 표면 특성을 측정하기 위해서는 AFM(atomic force microscopy)을 사용하여 박막 표면의 RMS Roughness와 Peak-to-Valley 값을 측정하였다. 본 논문에서는 PSIA사의 XE-100 AFM 장비를 이용하여 비접촉방식(non-contact mode)로 측정하였다. 여기서 RMS Roughness란 박막 표면의 거친 정도를 수치로 나타낸 값으로 작을수록 표면 거칠기가 우수함을 나타낸다. 또한 Peak-to-Valley는 박막 표면의 최고점과 최저점간의 차를 나타낸 값으로 역시 작을수록 박막의 표면 상태가 양호함을 의미한다. 그림 15는 본 논문에서 사용한 AFM 장비의 사진이다.



Fig. 15 AFM(Atomic Force Microscopy) Equipment.

### 3. 박막의 결정학적 특성

박막의 결정구조 및 방향성의 특성 변화를 알아보기 위하여 XRD(X-ray Diffractometer) 분석을 실시하였다. XRD는 독일의 물리학자 쾨르겐에 의해 1895년에 발견되었으며, 라우에의 의해 결정에도 이용할 수 있는 X-선의 회절현상이 발견되었다. 이는 계속하여 브래그 부자에 의한 X-선이 원자가 규칙적으로 배열되어 있는 평행면에서 반사된다는 생각에 기인한 유명한 법칙인 브래그 법칙을 축으로 한 지속적인 발전을 거듭하여 오늘날에 이르게 되었다.

X-ray 회절피크들은 Bragg 식  $2d \sin \theta = n\lambda$ 를 만족하며, 여기에서  $d$ 는 두 격자면간의 거리,  $\lambda$ 는 사용된 x-ray의 파장,  $\theta$ 는 x-ray의 반사각,  $n$ 은 정수이다. 단결정의 단위 셀이 단사정계 구조를 가지므로 면간거리  $d$ 와 격자상수  $a$ ,  $b$ , 그리고  $c$ 의 관계식은 다음과 같이 주어진다.

$$\frac{h^2}{a^2 \sin^2 \beta} + \frac{k^2}{b^2} + \frac{l^2}{c^2 \sin^2 \beta} \quad (43)$$

여기에서,  $h, k, l$ 은 Miller 지수이다. Bragg 식의  $d$  값과 각각의 회절 peak에 대응하는 면지수 값을 식 (43)에 대입하여 격자 상수 값을 결정했다.

이 때, 격자상수 값은  $\theta$  값에 따라 보정해야 하며 다음과 같은 방법을 사용했다. 즉, Bragg 식의 양변을 미분하면 다음과 같이 된다.

$$\Delta \lambda = 2\Delta d \sin \theta + 2d \sin \theta \Delta \theta \quad (44)$$

$$\frac{\Delta d}{d} = \frac{\Delta \lambda}{\lambda} - \cot \theta \cdot \Delta \theta \quad (45)$$

사용된 x-ray 파장은 단일 파장이므로  $\Delta \lambda = 0$  이고, 식 (45)은 다음과 같이

된다.

$$\frac{\Delta d}{d} = -\cot \theta \cdot \Delta \theta \quad (46)$$

따라서  $\theta$ 가  $90^\circ$ 에 가까워짐에 따라  $\cot \theta$ 가 0에 가까워지므로  $\Delta d/d$ 가 0에 근사되어  $\theta = 90^\circ$  부근에서의 반사에 의해 얻어진 피크들로부터 격자상수를 계산하면 오차를 줄일 수 있다. 그러나, 실제로는  $\theta = 90^\circ$ 에서는 측정이 불가능하므로  $\theta$ 의 여러 값에 대하여 격자상수 값을 구하고  $\theta = 90^\circ$ 에 접근시키는 방법이 사용된다. J. B. Nelson 과 D. P. Riley [44]는 격자상수 값을  $\theta$ 의 가장 작은 값까지 다음 항에 일차 비례함을 보였다.

$$-\frac{\cos^2 \theta}{2} \left( \frac{1}{\sin \theta} + \frac{1}{\theta} \right) \quad (47)$$

식 (43)을 사용해 구한 격자 상수 값들을 식 (47)의 함수로 그려서 외삽법으로 가장 오차가 적은 격자상수 값을 구한다.

본 논문에서는 그림 16과 같이 Philips사의 X' pert-PRO-MRD XRD 장비를 이용하여, X-ray 파장  $\text{CuK}\alpha = 0.15405 \text{ nm}$ 이며,  $2\theta$ 의 범위는  $10^\circ \sim 65^\circ$  이고, Scan Speed는 약  $3^\circ / \text{min}$ 으로 하였으며, 가속전압과 전류는 40 kV, 30 mA으로 분석하였다.



**Fig. 16** XRD (X-ray Diffractometer) Equipment.

#### 4. 박막의 광학적 특성

CoSi<sub>2</sub> 박막의 광투과도(optical transmittance) 및 광흡수도(absorbance)등을 측정하기 위해서 Varian Techtron사의 Cary500scan UV-Visible spectrophotometer 장비를 이용하여 측정하였다. 측정 파장의 범위는 CoSi<sub>2</sub> 박막의 흡수영역인 900~1400nm 범위영역으로 국한하였다. UV-Visible spectrophotometer 장비는 시료의 흡수도 및 투과도를 측정하는 장비로써 측정 파장의 정확도는 가시광 영역에서 ±0.05nm로 대단히 정확한 계측 장비에 속한다. 또한, 측정 온도는 상온이며 사용 광원은 tungsten-halogen, deuterium lamp 등을 사용하는 장비이다.

광흡수 스펙트럼으로부터 광흡수 계수  $\alpha$ 와 입사광의 에너지  $h\nu$ 와 관계로부터 광학적 에너지 갭을 구할 수 있다. 먼저, 광흡수 계수  $\alpha$ 와 입사광의 에너지  $h\nu$ 와의 관계식인  $(\alpha \cdot h\nu)^2 = A_{10}(h\nu - E_g)$ 로부터 실제측정으로 얻을 수 있는 광학 밀도(O.D.)와  $h\nu$ 와의 관계를 구해보면 식 (48)과 같다.

$$(\alpha \cdot h\nu)^2 = A_{10}(h\nu - E_g) \quad (48)$$

여기에서, 광흡수 계수  $\alpha$ 는 시료에 입사되는 입사광의 강도  $I_0$ 와 투과되어 나오는 투과광의 강도  $I$ 와의 관계식[45]

$$I = I_0 \exp(-\alpha d) \quad (49)$$

로부터 다음과 같이 표현된다. 여기에서  $d$ 는 시료의 두께이다.

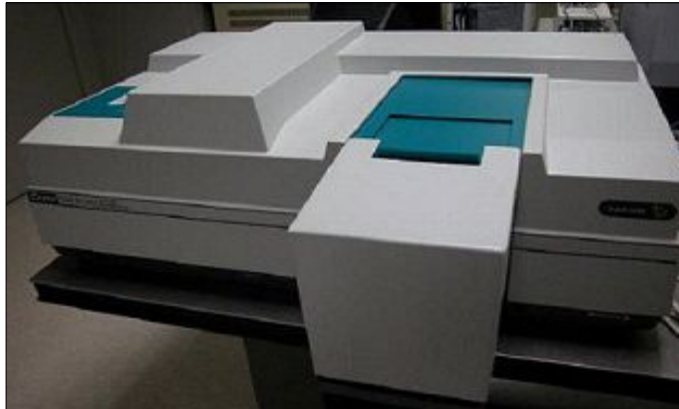


$$\begin{aligned} \alpha &= \frac{2.303}{d(\text{cm})} \log_{10} \frac{I_0}{I} \\ &= \frac{2.303}{d} \times O.D. \end{aligned} \quad (50)$$

식 (50)으로부터 O.D.에 의해 광흡수 계수  $\alpha$ 를 구하면 식 (48)은

$$(\alpha \cdot hv)^2 \sim (hv - E_g) \quad (51)$$

로 된다. 이렇게 구해진 광투과도를 Lambert's law에 적용하여 흡광도를 구하고 평균 흡광도를 산출하였다. 그림 17은 본 논문에서 사용한 UV-Visible spectrophotometer 장비 사진이다.

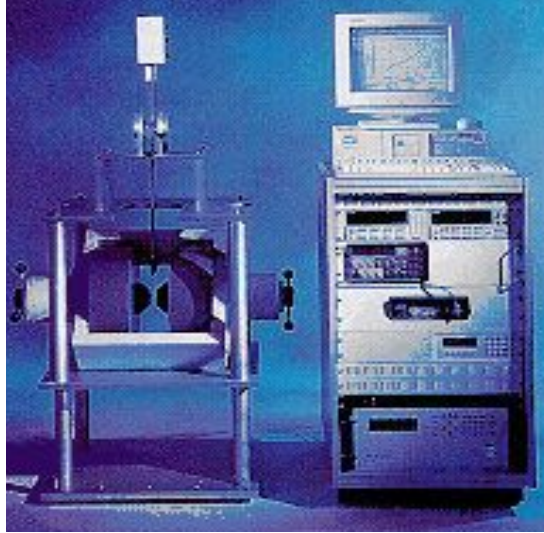


**Fig. 17** UV-Visible Spectrophotometer Equipment.

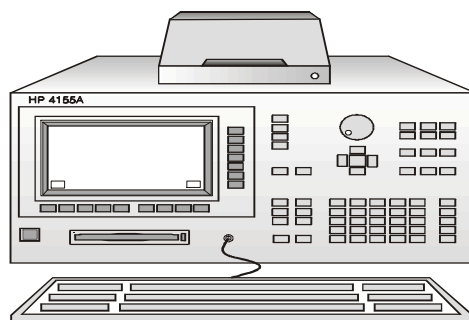
## 5. 박막의 전기 특성

CoSi<sub>2</sub> 박막의 캐리어 이동도(carrier mobility), 비저항(resistivity) 및 캐리어 농도(carrier density)는 HL5500PC Hall 계수 측정기(Bio-Rad)를 사용하여 40K에서 300K까지 온도영역에서 4단자프로브로 측정하였다. Hall effect 측정시스템은 박막의 비저항, 표면 저항, 캐리어 농도, 캐리어 형태, 전하의 이동도 등을 측정할 수 있는 장비로써 측정 온도는 상온이며, 측정 방식은 Van der Pauw, Hall bar로 할 수 있다. 그림 18은 본 논문에서는 CoSi<sub>2</sub> 박막의 표면 저항값과 전하 이동도 등을 측정하는 데에 사용한 Hall effect 측정시스템의 사진이다.

금속과 반도체를 접합할 때 생성되는 전위 장벽을 이용한 것으로 p-n 확산 접합에 비해 소수 캐리어의 축적 효과가 없으며, 역회복 시간이 두드러지게 적기 때문에 고주파 시의 정류 효과가 매우 좋으며, 순방향 전압도 낮아 전력 손실이 적어 고주파 정류 용도로 사용되어지는 쇼트키 다이오드의 전압-전류 특성을 Semiconductor parameter analyzer(HP 4155A)를 사용하여 다이오드의 면적에 따라 측정 하였으며 그림 19는 본 논문에서 사용한 Semiconductor parameter analyzer 장비 그림이다.



**Fig. 18** Photographs Showing the Whole View of Hall Effect Measurement System.



**Fig. 19** Schematic Diagrams of Semiconductor Parameter Analyzer.

## IV. 실험결과 및 분석

### A. 박막의 물성분석

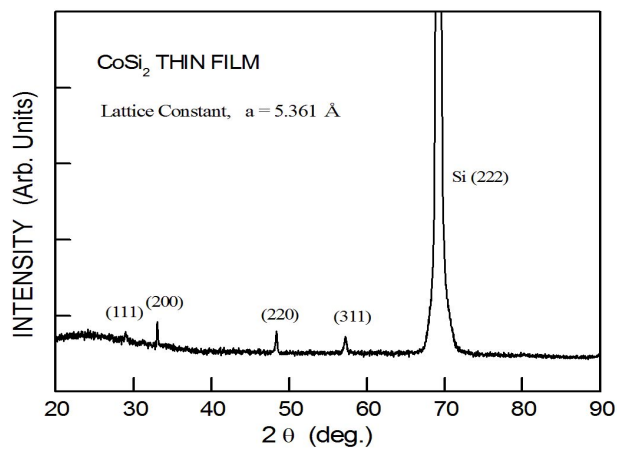
#### 1. X-ray 회절 분석(XRD)

박막 구조 내의 원자배열 즉, 결정구조를 관찰하기 위하여 자외선과 감마선 사이의 전자파로 이루어진 X-ray 회절분석기의 장치를 이용하였다. 시료의 측정은 증착된 박막을 X-ray 회절분석기에 장치하고 파장이 1.5405 Å인 Cu-K $\alpha$  선을 사용하여 측정각( $2\theta$ )은 10°~90° 영역에서 X선 회절피크를 기록하였다. RF 스퍼터링 방법으로 증착된 실리사이드 박막의 결정구조를 규명하기 위하여 50watt 전력으로 60분간 증착하여 시료의 열처리 전, 500°C, 700°C, 그리고 900°C에서 온도를 변화시키며 열처리를 수행한 이후의 CoSi<sub>2</sub> 박막의 XRD 패턴을 그림 20과 그림 21에 각각 나타내었다.

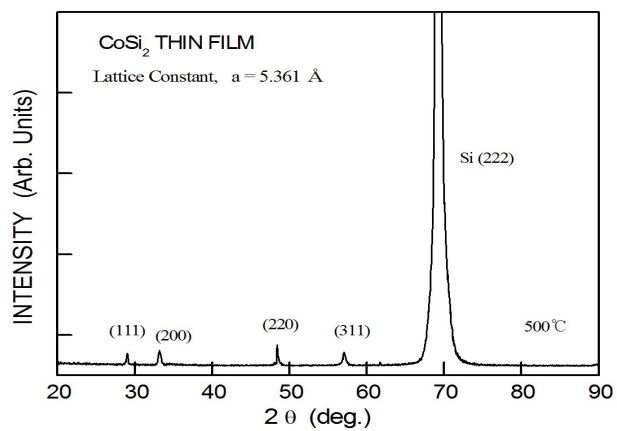
그림 20(a)에서는 박막의 열처리를 행하지 않은 상태로 회절피크는  $2\theta = 28.3^\circ$ 에서 (111),  $33.7^\circ$ 에서 (200),  $48.7^\circ$ 에서 (220), 그리고  $51.6^\circ$ 에서 (311)면에서 회절 피크가 나타나고 있으며, 이 때 결정 박막은 비정질 상태를 나타내었다. 이와 같이 비정질 상의 박막 형성은 증착시 낮은 증착온도에 의한 결정장 배향에 영향이 미치는 것이라고 생각된다. 그림 20(b)에서는 500°C에서 열처리한 실리사이드 박막으로 회절피크는  $2\theta = 28.3^\circ$ 에서 (111),  $33.7^\circ$ 에서 (200),  $48.7^\circ$ 에서 (220), 그리고  $51.6^\circ$ 에서 (311)면에서 회절 피크가 뚜렷이 나타나고 있으며 500°C으로 열처리 후 박막의 결정이 잘 형성되었음을 나타내고 있다.

그림 21(a)과 (b)는 각각 700°C와 900°C에서 열처리한 실리사이드 박막으로 회절피크는  $2\theta = 28.3^\circ$ 에서 (111),  $33.7^\circ$ 에서 (200),  $48.7^\circ$ 에서 (220),  $51.6^\circ$ 에서 (311), 그리고  $89.1^\circ$ 에서 (422)면에서 회절 피크가 뚜렷이 나타나고 있으며 실리사이드 박막은 양질의 박막으로 성장되었음을 알 수 있다. 이때  $2\theta = 70^\circ$  부근에서 나타내어지는 회절피크는 Si 기판의 (222)면에서의 회절 피크를 나타낸

다. 실리사이드  $\text{CoSi}_2$  박막에서 구한 X-선 회절무늬는 cubic(fcc) 구조로 Fd3m 공간구조를 갖고, 이 뚜렷이 나타내었다. 이들 회절무늬의 면간격  $d$ 값과  $2\theta$  간의 관계로부터  $\text{CoSi}_2$  박막의 격자상수는 Nelson-Riley의 방법을 사용하여 외삽법으로 구하면  $a=5.361\text{\AA}$ 로 주어졌으며, 이 값은 JCPDS(65-8980) 카드에서 제시한  $a=5.35\text{\AA}$ 의 값과 비교하여 보면, 본 논문에서 제작한  $\text{CoSi}_2$  박막은 양질의 박막으로 성장되었음을 알 수 있다[46].

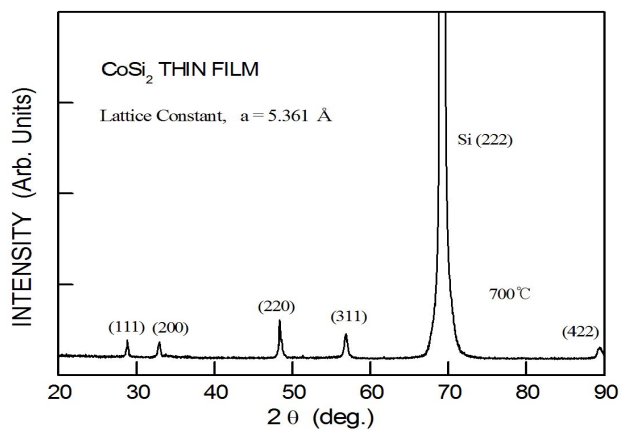


(a)

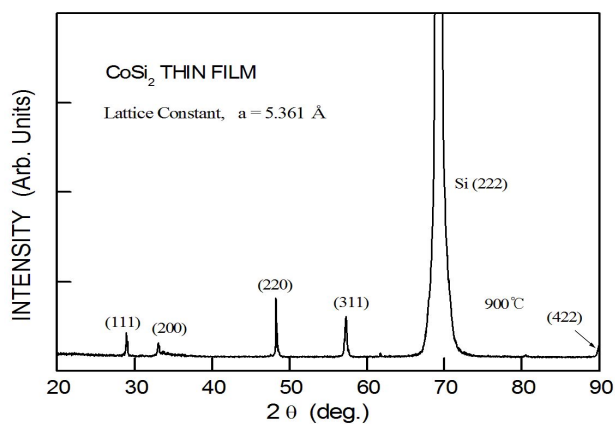


(b)

**Fig. 20** XRD Patterns of the CoSi<sub>2</sub> Thin Films (a) Before and (b) After the Annealing Process at the Annealing Temperatures of 500°C.



(a)



(b)

**Fig. 21** XRD Patterns of the CoSi<sub>2</sub> Thin Films After the Annealing Process at Various Annealing Temperatures: (a) 700°C, and (b) 900°C.

## 2. 박막의 표면형상 분석

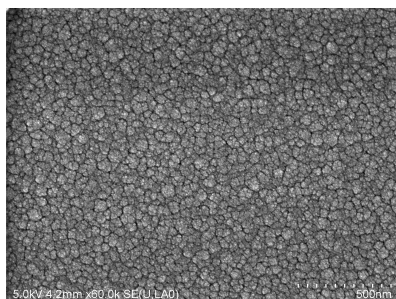
주사전자 현미경(SEM: Scanning Electron Microscope)은 시료 표면상을 주사시킨 전자빔과 시료와의 상호작용에 의하여 생긴 여러 신호를 휘도 변조시켜 CRT상에 나타내어 시료의 표면 혹은 내부의 구조나 결함을 고배율로 관찰 할 수 있는 장치이다. 측정은 전자총에서 발생한 전자빔을 가속후 1~3 단계로 빔을 수축화 시킴으로서 전자프로브를 얻어 이 프로브를 시료표면에 주사시키는 방법을 이용하였으며, 텅스텐 헤어 필라멘트로 허용전류는 약  $10^{-11}$ A로 제한하였고 가속 전압은 20kV로 하였다.

그림 22는 실리콘 기판 위에 실리사이드 박막 SEM 표면 형상으로 스퍼터링 전력을 증착 조건으로 하여 나타낸 사진으로 증착시 조건은 (a) 20W, (b) 30W, (c) 40W, 그리고 (d) 50W로 60분간 증착하였다. 그림 22(a)는 20W 전력에서 증착한 표면형상으로 그림에서 보듯이 박막 형성은 잘 이루어 졌으나 표면 균열이 존재하고 있으나 95Å 정도의 크기로 미세구조에서 전체적으로 박막 균일도는 고르게 분포되어 있음을 알 수 있었으며 낮은 증착 전력으로 인하여 입계의 결정이 작은 것으로 생각된다. 그림 22(b), (c), (d)는 스퍼터링 전력을 30W, 40W, 그리고 50W에서 증착한 표면사진으로 각각 98.4Å, 102Å, 그리고 102.5Å의 결정립의 크기로 박막이 증착되었으며 증착시 RF 전력이 높을수록 박막의 결정립은 크게 나타났으며, 표면의 균일도는 불규칙임을 알 수 있었다.

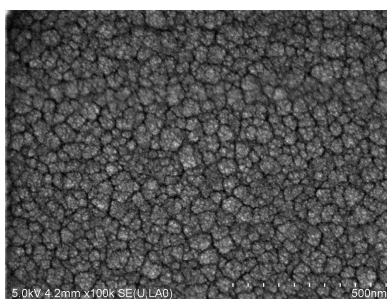
그림 23은 실리콘 기판 위에 실리사이드 박막 SEM 표면 형상으로 박막의 열처리 조건에 따른 사진으로 열처리 조건은 그림 23(a) 0°C, (b) 500°C, (c) 700°C, 그리고 (d) 900°C로 50W 전력으로 증착한 박막을 열처리 하였다. 그림 3(a)는 박막 내에서 Co 결정립이 평균 500nm 정도의 크기로 규칙적인 배열을 이루지는 않았으나 900°C로 열처리한 박막에서 확실히 결정이 성장되었음을 알 수 있었다. 결정립의 형성시 표면에 균열이 나타나고 있다. 이는 열처리 온도를 높게 하고 열처리 시간을 증가함으로써 결정립의 크기가 균일하고 구조적으로 안정된다고 생각된다. 또한, 그림 24는 900°C 박막으로 실리콘 기판과  $\text{CoSi}_2$  사이의 계면을 나타내는 단면 사진으로 실리콘 기판과 계면접합에서 약간의 facet가 있었으



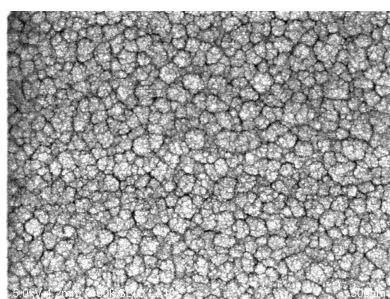
며, 그러나 이중층(Co/Ti) 구조 방법으로 형성된 박막에서 나타내는 전이금속으로 인한 void와 같은 결함발생과 실리사이드의 응집으로 인한 접촉계면의 facet 보다는 고주파 스퍼터링 방식으로 단일층을 형성한  $\text{CoSi}_2$  박막에서는 실리사이드 계면과 접촉 평탄화가 더 양호한 것으로 사료된다[43]. 박막의 증착 여부와 표면 거칠기 측정을 위하여 박막의 AFM 장비를 활용하여  $5 \times 5 \mu\text{m}$  영역에 대해서 비접촉방식으로 3차원 결정립 구조를 측정하였다. 이때의 증착 조건은 스퍼터링 전력과 열처리 온도에 따라 각각 그림 25와 그림 26에 나타내었다. 이들 표면형상에서 Huge spherical 특성을 관찰하여 보면 스퍼터링 전력과 열처리조건에 따른 3차원 결정립은 잘 형성 되었으며[47], 이때 50W로 증착하여  $900^\circ\text{C}$ 에서 열처리를 실행한 박막이  $\text{CoSi}_2$  실리사이드의 상전이 구조에 따라 확실한  $\text{CoSi}_2$  조성의 박막이 형성되었음을 알 수 있었으며, 이는 SEM 표면분석과 X-ray 분석 결과와도 일치함을 알 수 있었다.



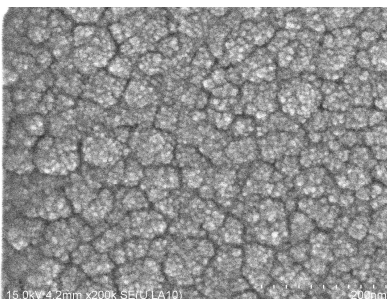
(a)



(b)

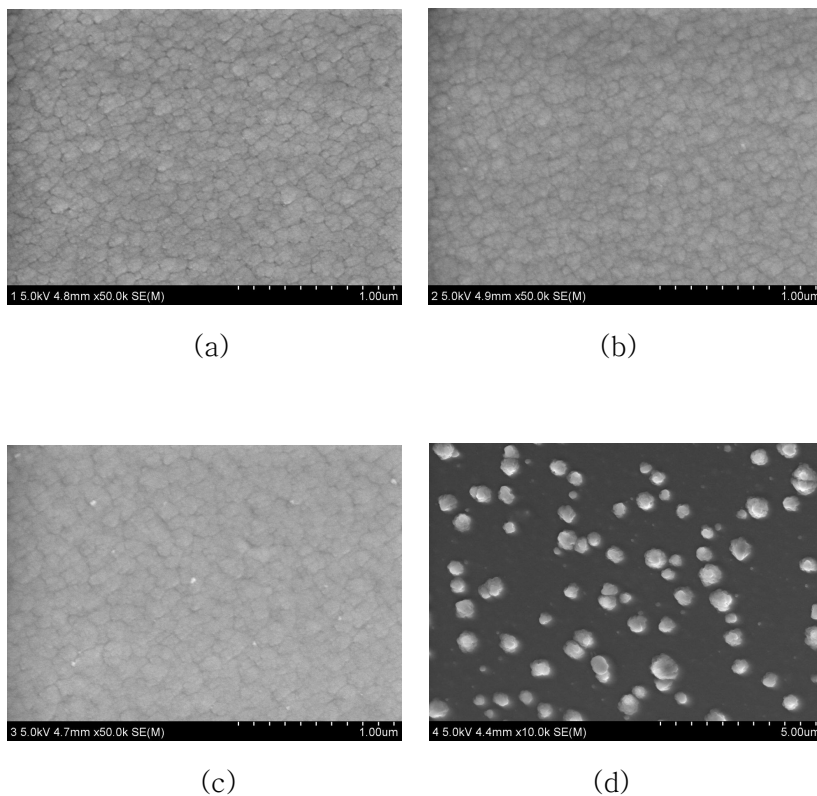


(c)

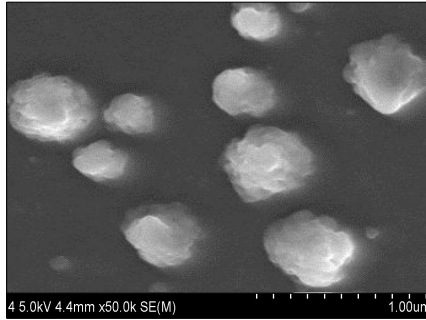


(d)

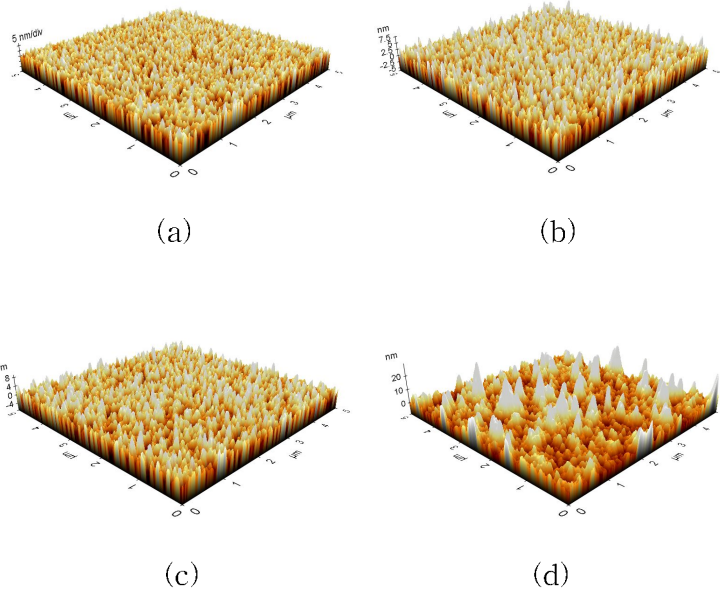
**Fig. 22** SEM Images of  $\text{CoSi}_2$  Thin Films by Using Sputtering Method with a Change of Sputtering Power: (a) 20W (b) 30W, (c) 40W and (d) 50W.



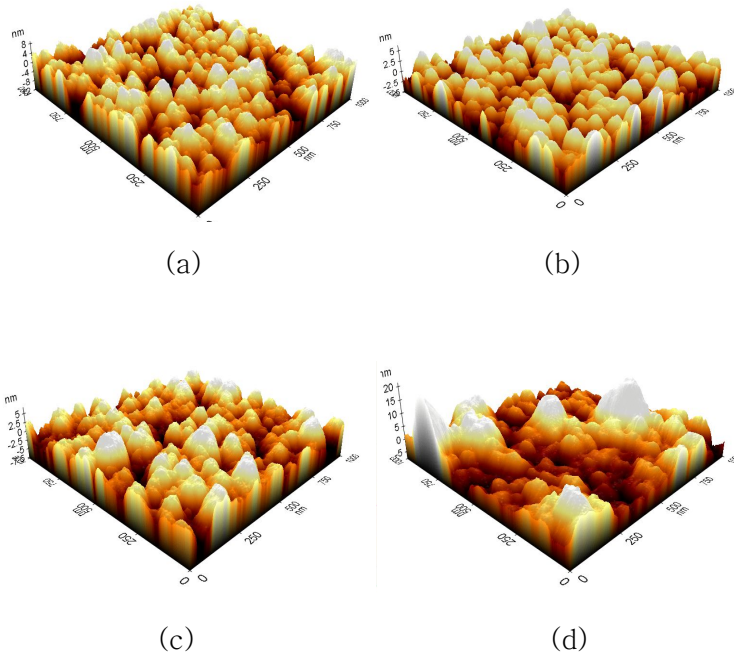
**Fig. 23** SEM Images of the CoSi<sub>2</sub> Thin Films (a) Before and After the Annealing Process at Different Annealing Temperatures: (b) 500°C, (c) 700°C and (d) 900°C.



**Fig. 24** SEM Images of the CoSi<sub>2</sub> Thin Films after the Annealing Process at the Temperatures of 900°C.



**Fig. 25** AFM 3D–Images of  $\text{CoSi}_2$  Thin Films by Using Sputtering Method with a Change of Sputtering Power in the Preparation: (a) 20W (b) 30W, (c) 40W and (d) 50W.



**Fig. 26** AFM 3D–Images of the CoSi<sub>2</sub> Thin Films (a) Before and After the Annealing Process at Different Annealing Temperatures: (b) 500°C, (c) 700°C and (d) 900°C.

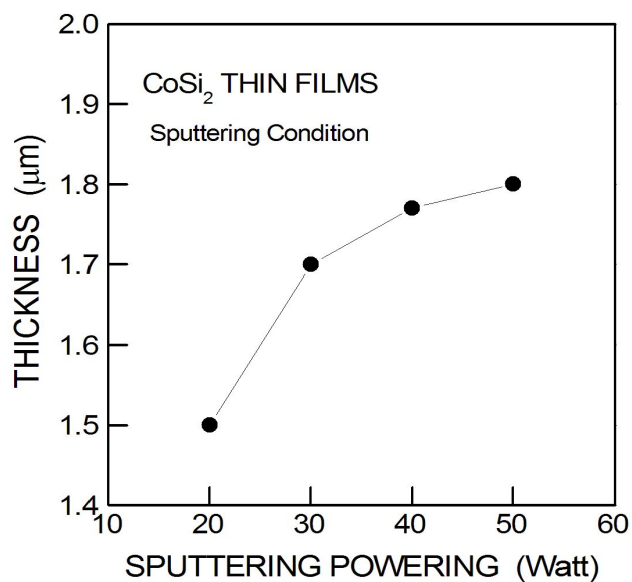
증착된  $\text{CoSi}_2$  박막의 두께 측정은 엘립소미터(J. A. Woollam Co., M-2000 V)를 사용하여 6점에 대해서 두께를 측정하여 평균을 구하였다. 그림 27은 실리콘 기판 위에 실리사이드 박막 증착시 스퍼터링 전력 조건에 따른 박막의 두께를 나타내었다. 스퍼터링 전력이 20W에서 증착한 두께는  $1.5\mu\text{m}$  정도이고, 30W, 40W, 그리고 50W에서 증착한 두께는 각각  $1.7\mu\text{m}$ ,  $1.75\mu\text{m}$ , 그리고  $1.8\mu\text{m}$ 의 두께로 박막이 증착되었으며 증착시 스퍼터링 전력이 증가함에 따라서 그림에서 보는 것과 같이 박막의 평균 두께는 선형적으로 증가하였다. 정규화된 두께의 표준편차는 스퍼터링 전력이 50W 조건에서 1.90%를 확보할 수 있었고, 20W 조건에서 13.17%를 나타내었다.

그림 28은 박막 증착시 스퍼터링 전력 조건에서 박막의 결정립의 크기를 나타내었다. 공정조건들이 박막의 표면 거칠기 미치는 영향을 확보하기 위하여 RMS(root mean square) 거칠기와 최고최저점(peak-to-valley) 거칠기의 정규화된 두께 표준편차는 스퍼터링 전력이 50W 조건에서 1.90%를 확보할 수 있었고, 20W 조건에서 13.17%를 나타내었다. 한편 RMS 거칠기 및 최고최저점 거칠기 모두 그림 29와 그림 30에서 보이듯이 스퍼터링 전력의 증가에 따라서 대체적으로 감소하는 경향성을 보였다. 이때 최대값은 스퍼터링 전력이 20W일 때에 RMS 거칠기 및 최고최저점 거칠기에 대해서 각각 1.2nm을 나타내었고, 50watt에서 1.72nm을 보였다. AFM 장비를 활용하여 결정립(grain) 크기를 측정한 그림 28과 표면 거칠기 거동과 반대되는 경향성을 보였다. 결정립 크기는 스퍼터링 전력의 변화에 따라서 증가하는 경향성을 보였다.

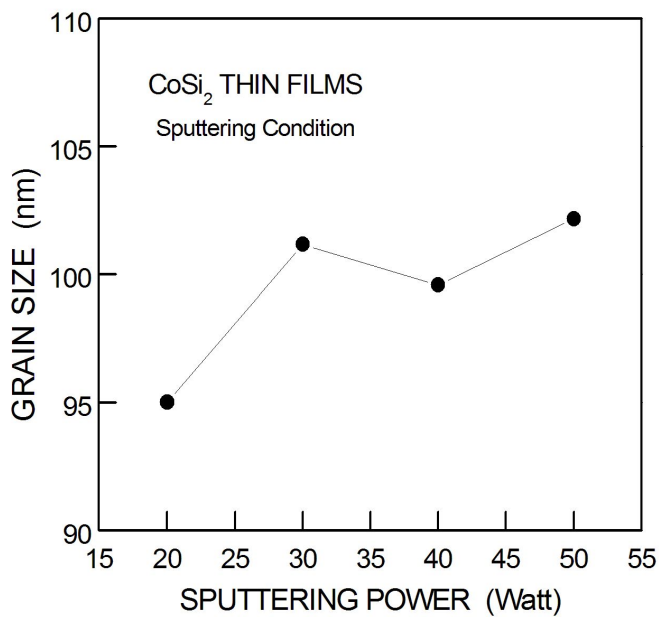
그림 31과 그림 32는 박막의 열처리 온도 조건에 따른 표면형상 Huge spherical 특성을 관찰한 것으로  $500^\circ\text{C}$ 에서 1.57nm,  $700^\circ\text{C}$ 에서는 1.09nm 그리고  $900^\circ\text{C}$ 에서는 3.48nm로 박막이 다소 불균일하게 성장되었으나 원자의 결합력이 치밀성을 나타내었다. 또한, RMS 거칠기[47]는  $500^\circ\text{C}$ 에서 14nm,  $700^\circ\text{C}$ 에서는 21.8nm 그리고  $900^\circ\text{C}$ 에서는 29nm으로 3차원 표면상으로 보아서는 RMS가 가장 높은 이유는 Co가 Si와 결정성장이 잘 형성되어 양질의 박막이 성장되었음을 알 수 있었다. 한편,  $500^\circ\text{C}$ 과  $700^\circ\text{C}$ 에서는 RMS가 낮게 나타났으며 이는 SEM 표면분석 결과와 일치함을 알 수 있었다. 이들 박막은 조성분석의 결과 약

33 at.% Co로 결정립이 성장되어 박막이 형성되었음을 확인하였으며, 스퍼터링 전력을 50W로 증착하여 900℃에서 열처리를 행한 박막의 특성이 가장 좋은 특성을 나타내었다. 이러한 실험결과로부터 박막의 전기적인 I-V 특성은 스퍼터링 전력을 50W로 증착하여 900℃에서 열처리를 한 박막을 이용하여 쇼트키 다이오드 구조로 제작하여 특성을 관찰 하였다.

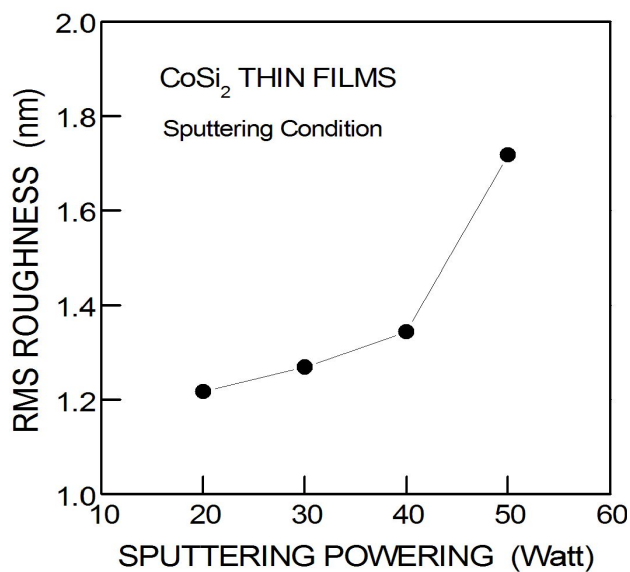




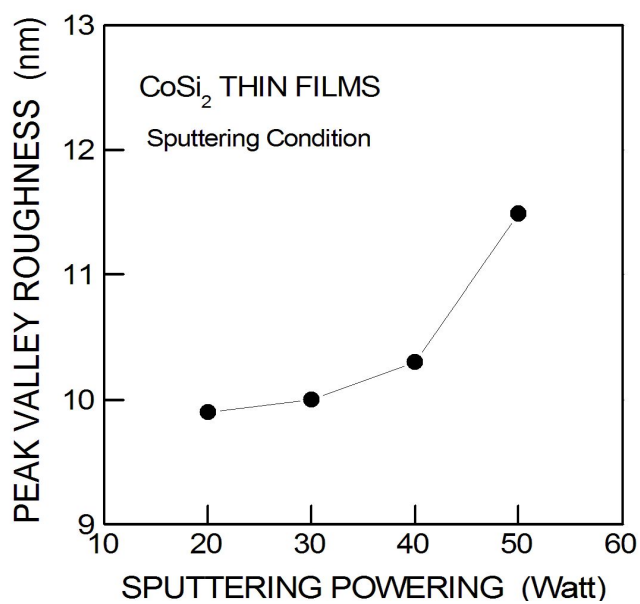
**Fig. 27** Film Thickness of the CoSi<sub>2</sub> Thin Films as a Function of Sputtering Power in the Preparation of CoSi<sub>2</sub> Thin Films by Using Sputtering Method.



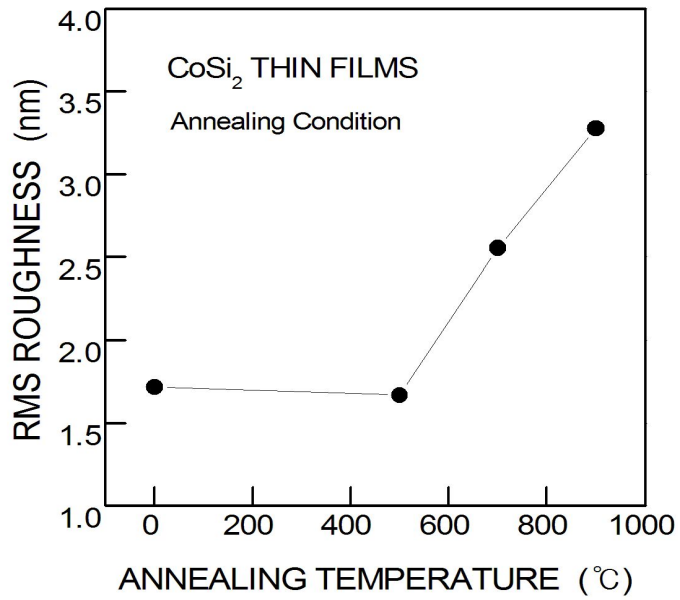
**Fig. 28** Grain Sizes of the CoSi<sub>2</sub> Thin Films at the Various Conditions of Sputtering Power in the Preparation of CoSi<sub>2</sub> Thin Films by Using Sputtering Method.



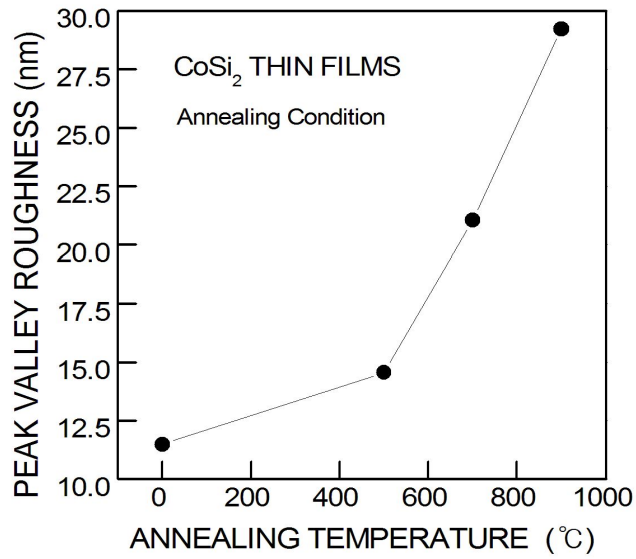
**Fig. 29** RMS Roughness of the CoSi<sub>2</sub> Thin Films with a Change of Sputtering Power in the Preparation of CoSi<sub>2</sub> Thin Films by Using Sputtering Method.



**Fig. 30** Peak-to-Valley Roughness of the CoSi<sub>2</sub> Thin Films with a Change of Sputtering Power in the Preparation of CoSi<sub>2</sub> Thin Films by Using Sputtering Method.



**Fig. 31** RMS Roughness of the CoSi<sub>2</sub> Thin Films After the Annealing Process at the Various Annealing Temperatures.



**Fig. 32** Peak-to-Valley Roughness of the CoSi<sub>2</sub> Thin Films After the Annealing Process at the Various Annealing Temperatures.

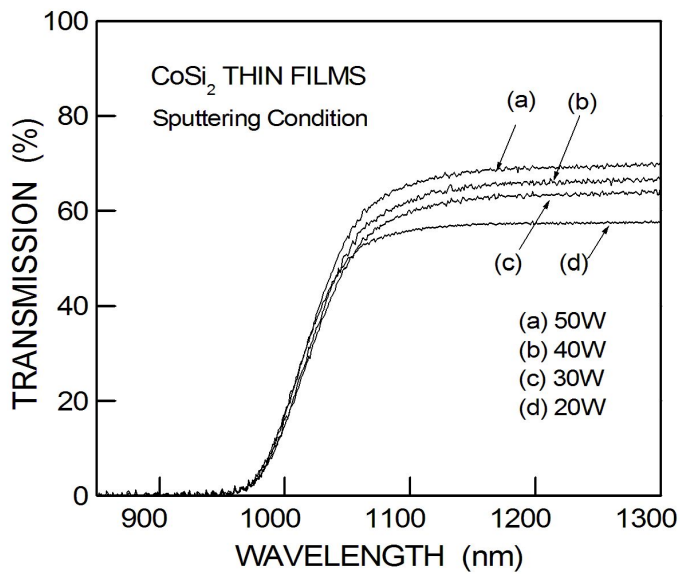
## B. 박막의 광학적 특성 분석

CoSi<sub>2</sub> 박막의 광투과도(optical transmittance) 및 광흡수도(absorbance)는 850~1300nm 범위에서 UV-Visible spectrophotometer(Varian Techtron, Cary500scan)를 이용하여 측정하였다. 그림 33은 CoSi<sub>2</sub> 박막의 850~1300nm 파장(wavelength) 범위에서 광투과도를 실험적으로 측정한 결과로 스퍼터링 전력을 증착 조건으로 60분간 증착한 시료를 이용하여 광 투과도를 나타내었다. 전형적인 간섭 프린지(fringe)가 약 950nm에서 증가가 되어 1100nm에서는 포화가 이루어졌으며 시료의 광 밴드갭 에너지에 해당함을 의미한다. 이는 스퍼터링 방법으로 증착한 박막은 대부분의 공정조건으로 제조한 시료에서 가시광 영역 이상 파장에서 대부분 흡수되는 것을 의미한다. 이때 광투과율은 스퍼터링 전력이 20W에서는 55% 정도이었으며, 스퍼터링 전력이 50W 조건에서는 투과율이 72%로 정도로 나타났다. 그림 34는 어닐링 온도 변화에 따른 CoSi<sub>2</sub> 박막의 광투과율 측정된 결과이다. 측정범위는 850nm에서 1300nm까지 가시광선 이상의 장파장 이상에서 광투과도가 증가됨을 알 수 있었다. 열처리를 달리한 시료 모두 950nm에서 증가가 되어 1100nm에서는 포화가 이루어졌다. 광투과율은 열처리 전에 비해 전반적으로 증가되는 경향을 보였으며 열처리 온도가 높아짐에 따라 광투과율의 변동폭이 커지는 경향을 보였다. 이는 열처리 온도가 높을수록 RMS 값이 증가된 것과 일치하며 열처리 온도가 높을수록 표면이 불균일해져서 광의 상호굴절과 흡수가 증가됨에 기인한 것이다[48].

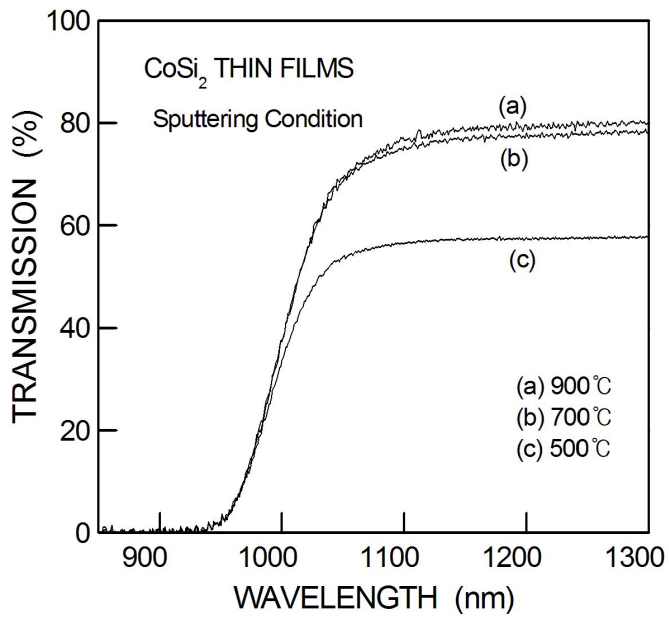
흡수계수 값은 고흡수 영역에서 Beer-Lambert 법칙에 의해 주어진  $\alpha(\nu) = (2.303/d)A$ 와 같은 간단한 관계에 의해서 결정되어진다. 여기에서  $\alpha(\nu)$ , d 및 A는 각각 흡수계수, 막 두께 및 막 흡수력을 의미한다. 본 실험에서의 흡수계수는 그림 35에서와 같이 50W의 스퍼터링 전력 조건에서 최장 파장에 위치했지만 20watt의 스퍼터링 전력 조건에서는 최단 파장에 위치했다. 이러한 스퍼터링 전력 조건에서 최대값을 보였던 결과는 안정상태에서 광기전된 전자들의 재결합(recombination)이 증가함에 기인한 것으로 판단된다. 공정조건 변화에 따라 스퍼터링 방법으로 증착된 CoSi<sub>2</sub> 박막의 흡수력을 측정하였고, 이는 가시광선 영역

이상의 장파장에서 입사(incident) 광자의 99.99% 이상 흡수되었음을 의미한다. 흡수력은 그림에서와 같이 스퍼터링 전력의 변화에 따라서는 광흡수가 증가한 결과는 트랩레벨(trap level)의 생성 또는 시료 표면에서 산란(scattering)의 증가에 기인한 것으로 잘 알려져 있다. 이러한 거동 변화는 진공도에 따라서 결정립 크기가 변화하는 것과 비교 검토해 보았을 때에  $\text{CoSi}_2$  박막의 결정립 크기 변화에 기인한 것으로 판단된다. 하지만 스퍼터링 전력의 변화에 따른 결정립 크기의 변화는 광흡수 거동과 일치하지 않는 결과를 나타내었다. 따라서 광흡수는 결정립 크기의 변화에 기인한 산란의 변화에 의해서 변화하기 보다는 더욱 많은 영향을 미치는 다른 요인이 있을 것이라는 결론에 도달하였고, 두께 균일도와 표면 거칠기와 관련이 있을 것으로 예상하였다. 특히 두께 균일도가 광흡수의 거동과 정확히 반비례하는 결과를 보였음을 알 수 있다. 그림 36은 박막의 열처리 조건에 따른 열처리 조건에 따른 광흡수를 나타내었다. 측정범위는 850nm에서 1300nm까지 장파장 영역인 950nm에서 광흡수가 이루어짐을 알 수 있었다. 열처리를 달리한 시료 흡수율은 열처리 전에 비해 전반적으로 증가되는 경향을 보였으며 열처리 온도가 높아짐에 따라서는 흡수 변동폭이 증가하는 경향을 보였다. 이는 열처리 온도가 높을수록 RMS 값이 증가된 것과 일치하며 열처리 온도가 높을수록 표면이 불균질 해져서 광의 흡수가 증가됨에 기인한 것이다.

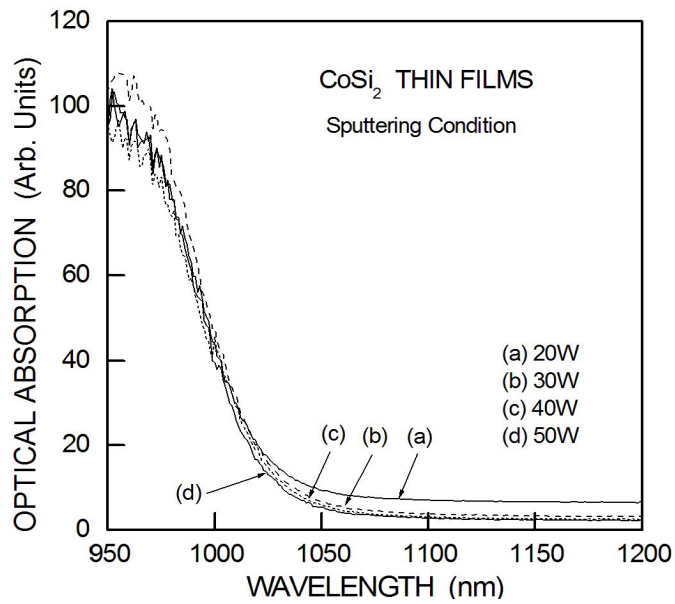




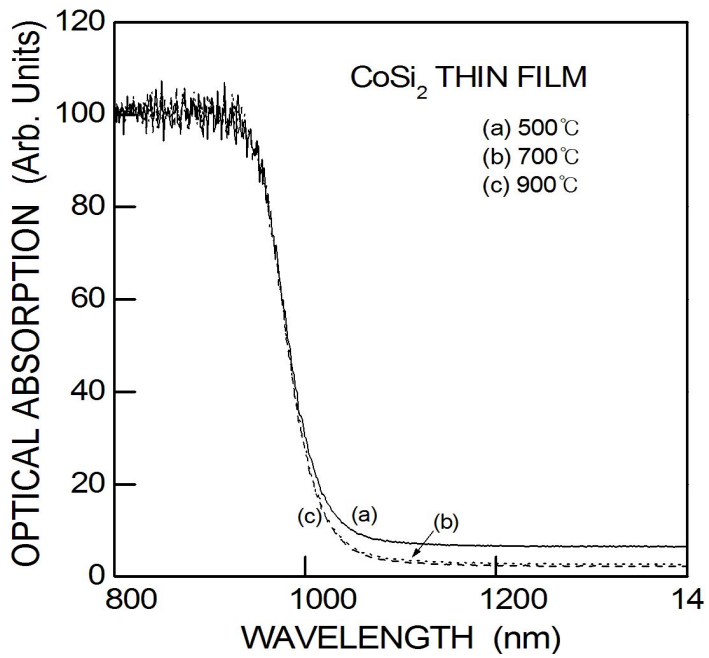
**Fig. 33** Optical Transmittance of the CoSi<sub>2</sub> Thin Films with a Change of Sputtering Power in the Preparation of CoSi<sub>2</sub> Thin Films by Using Sputtering Method.



**Fig. 34** Optical Transmittance of the CoSi<sub>2</sub> Thin Films Before and After the Annealing Process as a Function of the Annealing Temperature.



**Fig. 35** Absorption Coefficient of the CoSi<sub>2</sub> Thin Films with a Change of Sputtering Power in the Preparation of CoSi<sub>2</sub> Thin Films by Using Sputtering Method.



**Fig. 36** Optical Absorption of the CoSi<sub>2</sub> Thin Films After the Annealing Process as a Function of the Annealing Temperature.

## B. 박막의 전기적 특성 분석

박막의 전위(dislocation)나 격자결함(lattice defects)에 의해서 트랩(trap)이나 불순물 준위 형성으로 인하여 에너지 장벽이 형성되고 이들이 전도기구에 관여할 것으로 생각되는 전기전도 특성을 규명하기 위하여 다음과 같이 전기적인 특성을 조사하였다. 그림 37과 38은 4-point 프루브로 측정된 박막의 스퍼터링 전력과 어닐링 조건에 따른 면저항( $R_s$ )을 조사하여 박막성장 특성을 나타내었다. 이때 스퍼터링 전력과 어닐링 온도가 증가함에 따라 면저항 값은 감소하는 경향을 나타내었으며, 스퍼터링 전력을 20W에서는  $80\Omega/\text{sq}$ 로 스퍼터링 전력을 50W에서는  $62\Omega/\text{sq}$ 로 감소하였으며, 또한 열처리를 하지 않은 박막에서는  $63\Omega/\text{sq}$ ,  $500^\circ\text{C}$ 에서  $23.9\Omega/\text{sq}$ ,  $700^\circ\text{C}$ 에서  $3.8\Omega/\text{sq}$ , 그리고  $900^\circ\text{C}$ 에서는  $1.4\Omega/\text{sq}$ 로 나타내었다. 특히,  $700^\circ\text{C}$  근처에서부터는 전자 활성화에 따른 농도 증가로 인한 포화 현상을 나타내었다. 이들 면저항 값은 A. Z. Moshfegh[49] 등이  $800^\circ\text{C}$ 에서 나타내고 있는  $2\Omega/\text{sq}$ 와 거의 일치하였다. 그림 39와 40은 홀효과 측정 결과로 박막의 스퍼터링 전력과 어닐링 조건에 따른 저항율을 조사하여 박막의 전기전도 특성에 관하여 평가하였다. 이때 스퍼터링 전력과 어닐링 온도가 증가함에 따라 저항율은 감소하는 현상을 나타내었으며, 이때 열처리한 박막은 스퍼터링 전력을 50W에서 제작된 시료를 열처리하여 사용하였다. 실리사이드 박막의 저항율은 스퍼터링 전력을 20W에서  $78\mu\Omega\text{-cm}$ 로 나타내었으며, 50W에서는  $56\mu\Omega\text{-cm}$ 로 감소하였으며, 또한 열처리를 하지 않은 박막에서는  $56\mu\Omega\text{-cm}$ 로 나타내었으며 그리고  $900^\circ\text{C}$ 에서는  $32\mu\Omega\text{-cm}$ 로 나타내었다. 특히,  $700^\circ\text{C}$  근처에서부터는 전자 활성화에 따른 농도 증가로 인한 포화 현상을 면저항 결과와 같이 동일한 현상을 나타내었다. 이와 같이 면저항이 낮은 결과로 인하여  $\text{CoSi}_2$  실리사이드 박막은 이중재료간의 접촉저항에 의한 RC delay time 단축시킬 수 있다.

그림 41과 42는 홀효과 측정 결과로 실리사이드 박막의 스퍼터링 전력과 어닐링 조건에 따른 캐리어 농도를 40K와 300K에서 측정하여 나타내었다. 이때 열처리한 박막은 스퍼터링 전력을 50W에서 제작된 시료를 열처리하여 사용하였으며, 스퍼터링 전력과 어닐링 온도가 증가함에 따라 캐리어 농도는 증가하는 현상을 나

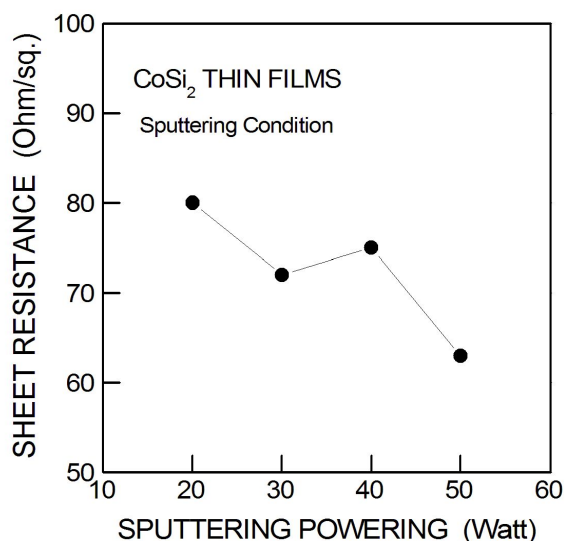
타내었다.  $\text{CoSi}_2$  박막의 캐리어 농도는 스퍼터링 전력을 50W로 증착한 박막에서 40K 일 때  $1.34 \times 10^{22} \text{cm}^2/\text{V}\cdot\text{s}$  이었으며 300K에서는  $1.59 \times 10^{22} \text{cm}^2/\text{V}\cdot\text{s}$  이었으며, 스퍼터링 전력을 20W로 증착한 박막에서 보다 약간 높게 나타내었다. 한편, 어닐링 조건에 따른 캐리어 농도는 어닐링을 실행하지 않은 박막에서는  $1.59 \times 10^{22} \text{cm}^2/\text{V}\cdot\text{s}$ 로 900°C로 어닐한 시료에서는  $1.9 \times 10^{22} \text{cm}^2/\text{V}\cdot\text{s}$ 로 나타내었으며 40K에서 측정된 결과와 300K에서 측정된 결과는 40K에서 약간 낮게 나타났다. 이는 박막에서의 도전현상이 온도영향을 받음을 알 수 있었으며, 전자의 거동이 온도가 상승함으로 저항의 감소로 인하여 전도도가 높아지기 때문으로 생각된다.

그림 43과 44는 홀효과 측정 결과로 실리콘사이드 박막의 스퍼터링 전력과 어닐링 조건에 따른 캐리어 농도와 이동도를 나타내었다. 이때 열처리한 박막은 스퍼터링 전력을 50W에서 제작된 시료를 열처리하여 사용하였으며, 스퍼터링 전력과 어닐링 온도가 증가함에 따라 캐리어 농도와 이동도는 증가하는 현상을 나타내었다.  $\text{CoSi}_2$  박막의 캐리어 이동도는 50W 전력으로 증착한 박막에서 40K 일 때  $1.15 \text{cm}^2/\text{V}\cdot\text{s}$  이었으며 300K에서는  $1.6 \text{cm}^2/\text{V}\cdot\text{s}$  이었으며 스퍼터링 전력을 20W로 증착한 박막에서 보다 약간 높게 나타내었다. 한편, 어닐링 조건에 따른 캐리어 농도는 어닐링을 실행하지 않은 박막에서는  $1.2 \text{cm}^2/\text{V}\cdot\text{s}$ 로 900°C에서 열처리 한 시료에서는  $1.6 \text{cm}^2/\text{V}\cdot\text{s}$ 로 나타났으며 열처리를 함으로 인하여 이동도 역시 증가하는 특성을 나타내었다. 이는 전자 활성화에 따른 농도 증가와 저항의 감소로 인한 현상으로 생각된다.

Hall 효과 측정시 오차를 최소화하기 위해서는 Ohmic 접촉이 형성하여 Hall 효과의 중요한 특성인 이동도, carrier type 그리고 캐리어 농도를 구해본다. 이때  $\text{CoSi}_2$  실리콘사이드 박막 시편은 스퍼터링 전력을 50W로 제작되었으며, 900°C에서 열처리를 행한 박막 시료를 이용하여 Hall 효과 특성을 관측하였다. 측정시 40K에서부터 300K까지의 온도영역에서 측정한 전기저항의 온도의존성은 그림 45에서 300K에서  $32.7 \mu\Omega\text{cm}$  이었고, 측정 온도가 증가함에 따라 전기저항은 증가하였으며, 낮은 온도영역인 40K에서  $29.8 \mu\Omega\text{cm}$ 로 최소값을 나타내었다. 한편, 140K 온도영역에서 상전이 변화를 나타내었으며, 140K 이하에서 온도에 거의

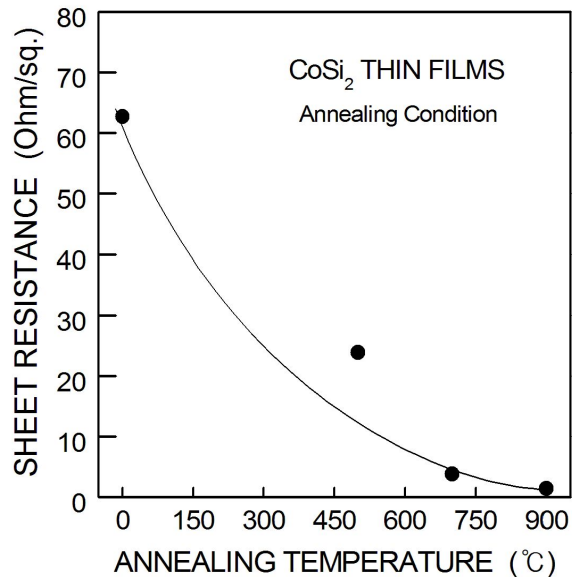
의존하지 않는 포화 현상을 보이고 있다. 위와 같은 온도 의존성은 입계 결함상태 (grain boundary defect states)의 캐리어 트랩에 의한 과도한 전하 발생으로 인한 높은 전위장벽을 넘는 캐리어의 열이온 방출 때문으로 생각된다. CoSi<sub>2</sub> 실리사이드 박막의 활성화 에너지는  $\ln \rho = f(1/T)$ 로 전도 특성을 나타내어진다.

Hall 계수로부터 자유 캐리어 농도  $n=1/(qR_H)$ 은 구할 수 있으며, 여기서  $q$ 는 전자의 전하량,  $R_H$ 는 Hall 계수이다. 40K에서 300K까지 측정 범위에서 자유 캐리어 농도  $n=1/(qR_H)$ 는 Hall 계수로부터 얻을 수 있으며, 여기서  $q$ 는 전자의 전하량이고  $R_H$ 는 Hall 계수이다. 40K에서 300 K까지의 온도영역에서 CoSi<sub>2</sub> 실리사이드 박막의 Hall 효과 ( $R_H$ )로부터 구한 carrier 농도의 온도의존성은 그림 46과 같이 300K 온도에서  $1.9 \times 10^{22} \text{cm}^{-3}$  정도이었으며, 40K에서는  $8.6 \times 10^{21} \text{cm}^{-3}$ 로 주위 온도가 상승함에 따라 전자의 농도는 증가하였으며, 비선형적인 온도의존성을 보였다. 측정온도 영역에서 캐리어 농도는  $n_i = Ce^{\Delta E_g/2kT}$ 을 만족하고 있다 [50].  $C$ 는 상수,  $k$ 는 Boltzman 상수,  $\Delta E_g$ 는 활성화 에너지,  $T$ 는 시편의 온도이다. 이때 선형변화 영역에서는 활성화 에너지를 구할 수 있다. 전기저항 값과 캐리어 농도로부터 홀 이동도  $\mu$ 를 40K에서 300K 온도영역에서 온도의존성에 따른 홀 이동도는 300K인 상온에서  $1.6 \text{cm}^2/\text{V}\cdot\text{s}$  이었고, 주위온도가 감소하면 전자 이동도  $\mu$ 는 감소하여 40K에서  $1.15 \text{cm}^2/\text{V}\cdot\text{s}$ 이었고, 이와 같은 이유는 자유전자의 유효질량이 강하게 결합되어 있기 때문이며, Hall 이동도는  $\mu_n = \sigma/qn_H$ 을 만족한다.  $\sigma$ 는 전기전도도,  $n_H$ 는 전자의 농도이다. 온도계수는 정의 특성을 보이고 있고, 이동도는  $\mu \propto aT^{3/2}$  관계를 나타냈고, 이는 산란과 이온화 불순물에 의하여 나타난다고 생각된다. CoSi<sub>2</sub> 실리사이드 박막 시편을 스퍼터링 전력을 50W로 제작하여 900℃에서 열처리를 행한 박막 시료를 이용하여 40K에서부터 300K까지의 온도영역에서 측정한 홀 계수 특성의 온도의존성을 그림 47에 나타내었다. 이때 홀 계수는 300K에서  $2.6 \text{cm}^3/\text{C}$  이었고, 측정 온도가 증가함에 따라 홀 계수는 증가하였으며, 낮은 온도영역인 40K에서  $0.9 \text{cm}^3/\text{C}$ 로 최소값을 나타내었다. 이와 같이 온도가 증가함에 따라서 홀 계수가 증가하는 것은 이동도와 동일하게 나타내었다.

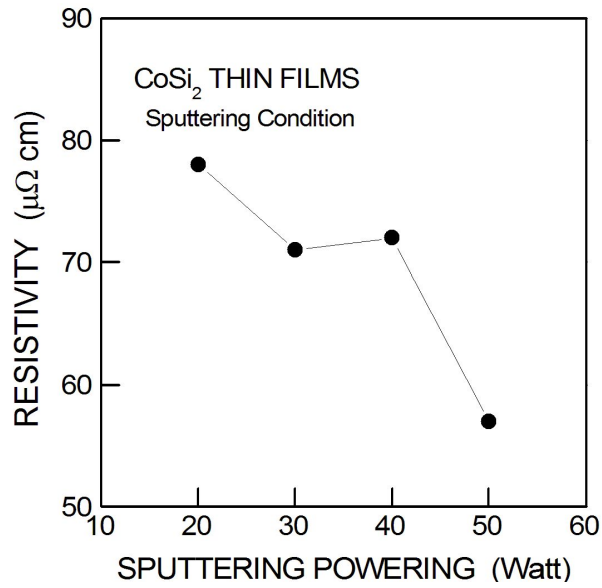


**Fig. 37** Sheet Resistance of the CoSi<sub>2</sub> Thin Films as a Function of Sputtering Power in the Preparation of CoSi<sub>2</sub> Thin Films by Using Sputtering Method.

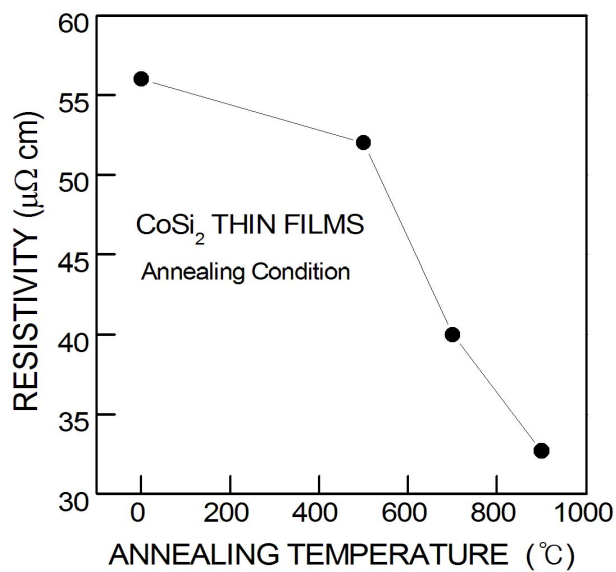




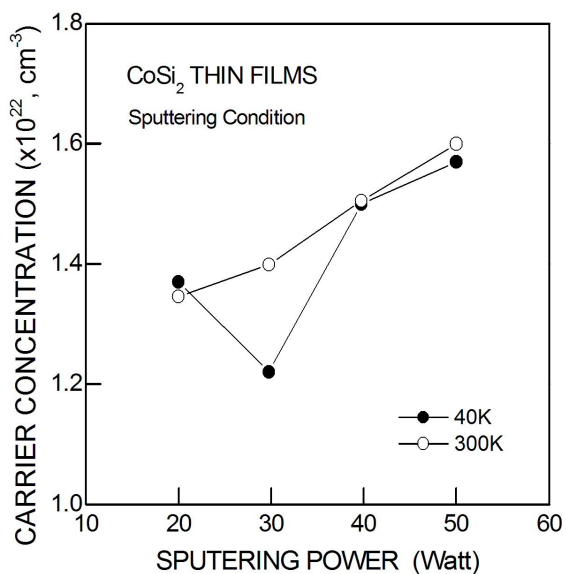
**Fig. 38** Sheet Resistance of the CoSi<sub>2</sub> Thin Films Before and After the Annealing Process with a Change of the Annealing Temperature.



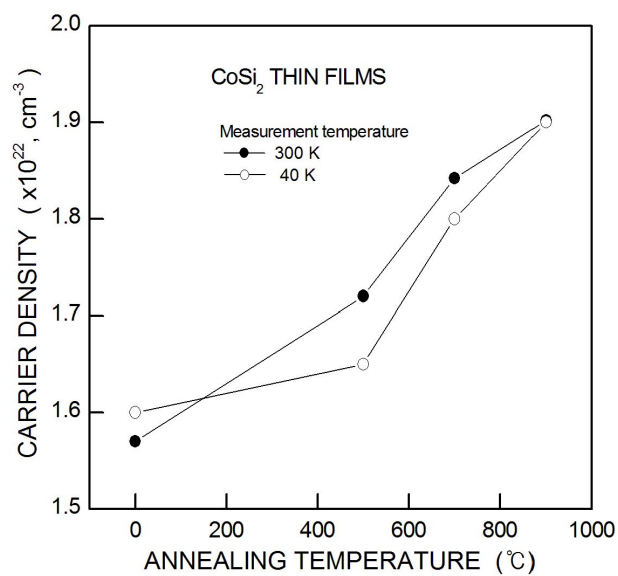
**Fig. 39** Resistivity of the CoSi<sub>2</sub> Thin Films as a Function of Sputtering Power in the Preparation of CoSi<sub>2</sub> Thin Films by Using Sputtering Method.



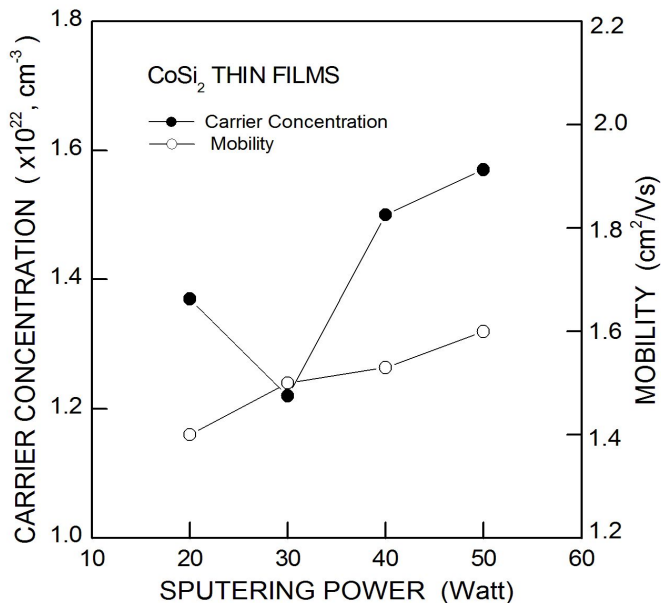
**Fig. 40** Resistivity of the  $\text{CoSi}_2$  Thin Films Before and After the Annealing Process with a Change of the Annealing Temperature.



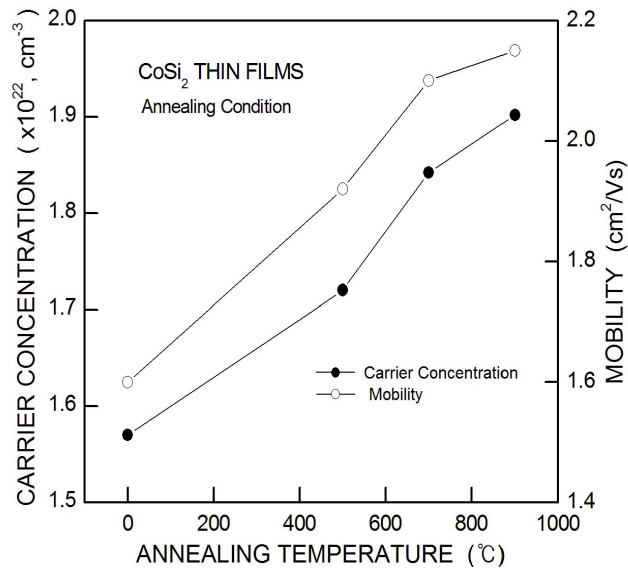
**Fig. 41** Carrier Concentration of the CoSi<sub>2</sub> Thin Films at the Specific Conditions of Sputtering Power in the Preparation of CoSi<sub>2</sub> Thin Films by Using the Sputtering Method.



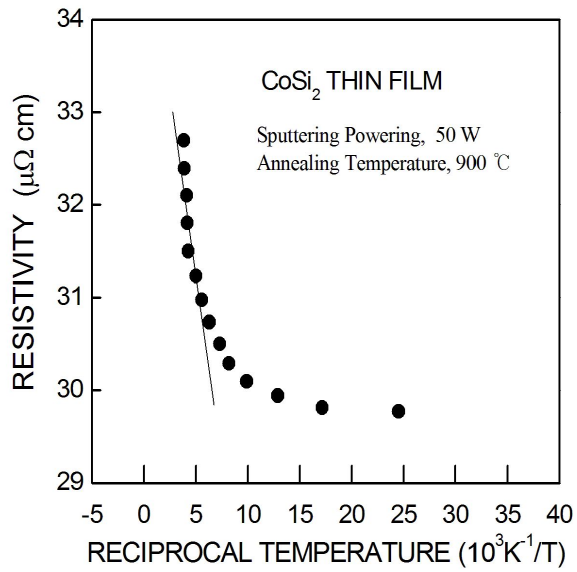
**Fig. 42** Carrier Concentration of the CoSi<sub>2</sub> Thin Films Before and After the Annealing Process with a Change of the Annealing Temperature.



**Fig. 43** Carrier Concentration and mobility of the CoSi<sub>2</sub> Thin Films at the Specific Conditions of Sputtering Power in the Preparation of CoSi<sub>2</sub> Thin Films by Using the Sputtering Method.

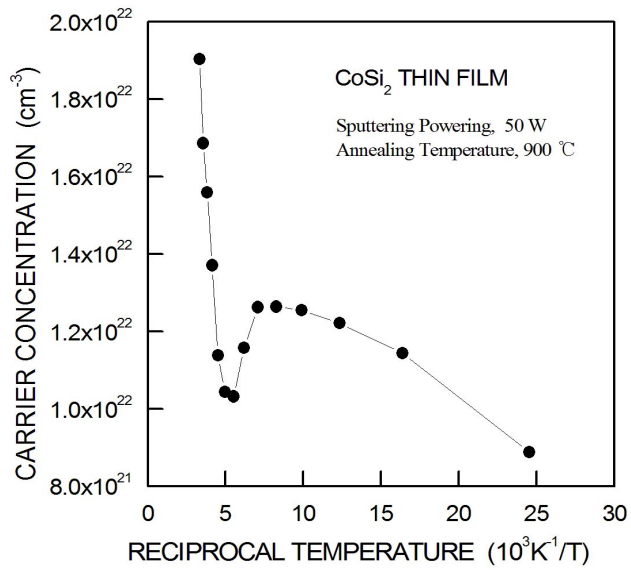


**Fig. 44** Carrier Concentration and Mobility of the CoSi<sub>2</sub> Thin Films Before and After the Annealing Process with a Change of the Annealing Temperature.

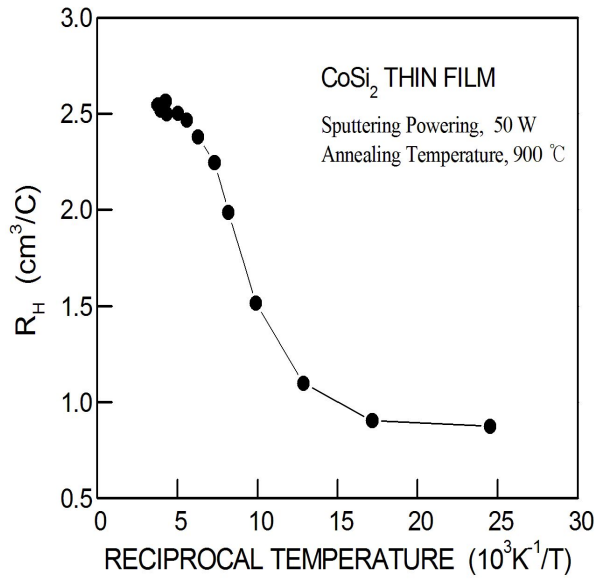


**Fig. 45** Resistivity of CoSi<sub>2</sub> Thin Film According to the Reciprocal Temperature (Annealed at 900°C).





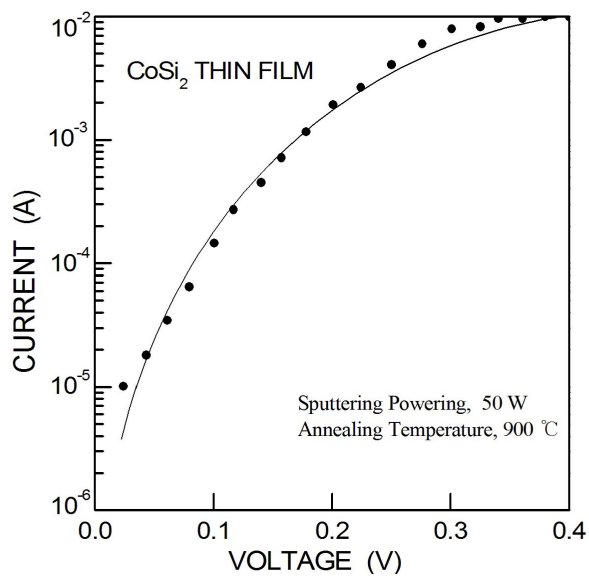
**Fig. 46** Carrier concentration of CoSi<sub>2</sub> Thin Film According to the Reciprocal Temperature (Annealed at 900°C).



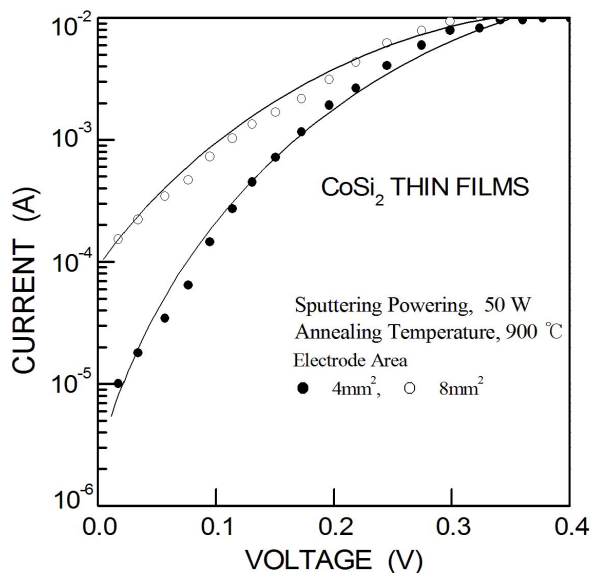
**Fig. 47** Hall Coefficient of CoSi<sub>2</sub> Thin Film According to the Reciprocal Temperature (Annealed at 900°C).

## C. 박막의 다이오드 특성 분석

실리사이드 박막을 VLSI gate 전극으로 적용 여부를 고찰하기 위하여 스퍼터링 전력을 50W로 단일막 구조의 실리사이드 박막을 쇼트키 다이오드 구조(MS구조)로 제작하였다. 그림 48은  $\text{CoSi}_2/\text{Si}(n\text{-type})$  다이오드의 순방향 전압-전류 특성을 나타내었다. 이때  $\text{CoSi}_2$  실리사이드 박막은 스퍼터링 전력을 50W로 900°C에서 열처리를 행한 박막이다. 전류밀도가  $10^{-5}\text{A}$ 에서부터  $10^{-2}\text{A}$ 까지 지수 함수적으로 높은 준위에서 형성되었으며 이는 단일막으로 형성되어 입자의 확산속도가 매우 빠르기 때문이며, 이 결과는 쇼트키 접합이 형성되어진 결과로 생각되어진다. 그림 49는  $\text{CoSi}_2/\text{Si}(n\text{-type})$  다이오드의 순방향 전압-전류 특성으로  $\text{CoSi}_2$  실리사이드 박막을 스퍼터링 전력을 50W로 900°C에서 열처리하여 제작하고 다이오드의 면적을  $4\text{mm}^2$ 와  $8\text{mm}^2$ 로 하였을 때 실리사이드 박막의 전압-전류 특성을 나타내었다. 순방향 전압과 전류는  $I = I_0 \exp(q(V - IR_s)/nkT)$ 로 주어지며 여기서  $I_0 = AA^* T^2 \exp(-q\Phi^{I-V}/kT)$ 이고  $R_s$ 는 Richardson 상수이다. 그림에서 보여지는 실험값은 전압 바이어스에 따른 전류밀도가  $10^{-5}\text{A}$ 에서부터  $10^{-2}\text{A}$ 까지 지수 함수적으로 curves fitting과 거의 일치함을 보이고 있으며 다이오드의 면적이 넓은 것이 더 높은 준위를 형성하고 있음을 알 수 있었으며 이는 S. Zhu 등이[51] 보고한 전압-전류 특성보다는 약간 높은 전류밀도를 나타내었다. 이는 박막의 캐리어의 농도가 높기 때문으로 생각되며, 각각의 파라미터 함수에 대한 논의는 차차 연구하여야 할 과제로 생각된다.



**Fig. 48** Forward I–V Characteristics of CoSi<sub>2</sub>/Si Diodes After the Annealing Process at the Annealing Temperature of 900°C.



**Fig. 49** Forward I–V Characteristics of CoSi<sub>2</sub>/Si Diodes with Different Areas After Annealing at Temperature of 900°C.

## V. 결 론

본 논문은 VLSI gate 전극으로 적용을 목적으로  $\text{CoSi}_2$  실리사이드 박막의 특성을 향상시키기 위하여 이중층 막이 아닌 RF 스퍼터링 단일막을 증착하여 제작하였다. 제작된  $\text{CoSi}_2$  실리사이드 단일층 박막과  $\text{CoSi}_2/\text{Si}$  다이오드의 광학적 및 전기적 특성과 박막의 형상학적 및 결정학적 특성 분석을 통한 메커니즘을 규명하기 위해 최적 공정을 개발하였으며, 본 연구를 통하여 다음과 같은 최종적인 결론을 얻을 수 있었다.

1. 최적의  $\text{CoSi}_2$  실리사이드 박막 스퍼터링 증착 공정 조건을 확보하기 위하여, 스퍼터링 공정 조건에 따른 박막의 증착 특성 및 표면 형태학적 특성을 분석하였다. 결과적으로 스퍼터링 박막 증착 공정에서 스퍼터링 전력 50watt 및  $900^\circ\text{C}$ 로 열처리를 한 조건에서  $\text{CoSi}_2$  실리사이드 박막의 두께 균일도가 우수함을 알 수 있었다.
2. 단일층으로 제작한  $\text{CoSi}_2$  실리사이드 박막을 스퍼터링법으로 증착하여, 박막의 스퍼터링 전력과 열처리 온도에 따른 박막의 표면 형태학적 특성 및 결정학적 특성을 조사하였다. 박막의 두께 균일도는 스퍼터링 전력과 열처리 공정에 의해서 영향을 받았으며, 열처리 온도가 증가함에 따라서 결정립이 전 영역에 걸쳐서 크기가 커지고 표면 거칠기도 증가하였다.
4. 박막의 광학적 특성에 미치는 영향에 대해서 분석한 결과, 박막의 광투과도와 광흡수는 스퍼터링 전력과 열처리 온도에 따라 증가하는 경향성을 보였다.
5. 박막의 비저항 및 저항율은 스퍼터링 전력과 열처리 온도에 따라 증가 하였으며, 캐리어 농도 또한 증가하였다.
6. Hall 효과 특성은 40K에서 300K까지 측정 범위에서 캐리어 농도, 이동도, 그리고 저항율은 측정온도가 상승함에 따라 증가하는 온도의존성을 나타내었으며, 이는 금속 실리사이드에 나타내는 전형적인 특성을 보였다.
7.  $\text{CoSi}_2/\text{Si}$ (n-type) 다이오드의 순방향 전압-전류 특성은 스퍼터링 전력

(50W)으로 900℃에서 열처리하여 제작하여 실리사이드 박막의 전압-전류 특성은 전압 바이어스에 따른 전류밀도가  $10^{-5}$ A에서부터  $10^{-2}$ A까지 지수 함수적으로 증가함을 보였으며 이 결과는 쇼트키 접합이 형성되었음을 알 수 있었다.

본 연구를 통해서  $\text{CoSi}_2$  실리사이드 박막 증착에 직접적인 영향을 미치는 요인이 두께 균일도에 있음을 새롭게 규명하였고, 스퍼터링 전력이 50W와 최적 열처리 조건 역시 800℃ 이상에서 가장 우수한 특성을 보였음을 새롭게 확인하였다. 위와 같은 결론을 통해  $\text{CoSi}_2$  실리사이드 소자의 광학적 및 전기적 특성을 고려한 최적의 증착, 열처리 공정 조건을 도출하였으며 다이오드 특성을 관찰함으로써  $\text{CoSi}_2$  실리사이드는 이종 재료간의 접촉저항에 의한 RC delay time 단축으로 인한 VLSI 소자의 gate 전극으로 적용여부를 박막 특성 개선과 최적화에 기여할 것으로 기대된다.

## 참 고 문 헌

- [1] S. Zhu, C. Detavernier, R. L. Van Meirhaeghe, F. Cardon, G. P. Ru, X. P. Qu and B. Z. Li, "Electrical characteristics of  $\text{CoSi}_2/n\text{-Si}(100)$  Schottky barrier contacts formed by solid state reaction", Sol. Sta. Elec. 44, pp. 1807–1818, 2000.
- [2] S. L. Cheng and H. Y. Chen, "Enhanced growth of  $\text{CoSi}_2$  thin film on(100)Si with Co/Au/Co sandwich structures", J. Phys. and Chem. Sol. 69, pp. 441–445, 2008.
- [3] H. Jeon, C. A. Sukow, J. W. Honeycutt, G. A. Rozgonyi, and R. J. Nemanich, J. Appl. Phys. p.71, 1992.
- [4] Z. Ma, and L. H. Allen, Phys. Rev. B 49, 1994.
- [5] Ed. by Karen Maex and Marc Van Rossum, Properties of Metal Silicides, Inspec Publication.
- [6] F. Hong, G. A. Rozgonyi, and B. K. Patnsik, Appl. Phys. Let., 64(17), p.2241, 1994.
- [7] A. V. Vantomme, M. Nicolet, G. Bai, and D. B. Fraser, Appl. Phys. Let., 62(3), p.243, 1993.
- [8] K. N. Tu, and J. W. Mayer, Thin film interdiffusion and reaction, Wiley–Interscience, New York, U. S. A., p. 359, 1978.
- [9] F. M. d'Heurle, Formation of thin films of  $\text{CoSi}_2$  : Nucleation and diffusion mechanisms, Thin Solid Films, 128, p. 283, 1985.
- [10] H. C. Swart, G. L. P. Berning and J. Du Plessis, The influence of oxygen on cobalt silicide formation, Thin Solid Films, 189, p. 321, 1990.
- [11] L. Van den Hove, R. Wolster, K. Maex, R. F. De Keersmaecker and G. J. Declerck, IEEe Trans. Electron Devices. ED–34, P. 554, 1987.



- [12] B. C. Koo, S. J. Kim, J. Y. Kim and K. S. Bae, I-V characteristics of epitaxial  $\text{CoSi}_2$ -contacted p+/n junctions, J. KIEEM, Vol.13, pp. 908-913, 2000.
- [13] K.S. Baea, J.R. Kima, S.Y. Hongb, Y.B. Parkb and Y.S. Chob, "Formation of ultra-shallow junctions using epitaxial  $\text{CoSi}_2$  thin film as diffusion sources", Thin Solid Films, 302, pp. 260-265, 1997,
- [14] L. V. D. Hove, K. Maex, R. F. de Keersmaecker, and G. J. Declerck, "A Self-Aligned  $\text{CoSi}_2$  interconnection and contact technology for VLSI application", IEEE Trans. Elec. Device, ED-34, p. 554, 1987.
- [15] S. S. Lau et al., Sepennce of phase formation in planar metal-silicon reaction couples, Appl. Phys. Lett., 38, p. 922, 1986.
- [16] Chih-Shih Wei et al., Comparison of cobalt and titanium silicides for silicide process and shallow junction formation, VMIC Conference, 1989.
- [17] R. T. Tung, and F. Schery, Appl. Phys. Lett., 67, p.15, 1995
- [18] M. L. A. Dass, D. B. Fraser, and C. S. Wei, Appl. Phys. Lett., 58, p. 1308, 1983.
- [19] K. Maex, Mater.Sci. Eng., R 11, 53, 1993.
- [20] 이재상, 한양대학교, 석사학위 논문.
- [21] J. A. Kittl, A. Lauwers, O. Chamirian, M. Van Dal, A. Akheyar, M. De. Potter, R. Lindsay, and K. Maex, Microelectron. Eng., 70, p. 158, 2003.
- [22] J. S. Byun, D. H. Kim, and W. S. Kim, "Epitaxial growth of  $\text{CoSi}_2$  layer on (100)Si and facet formation at the  $\text{CoSi}_2/\text{Si}$  interface", J. Appl. Phys., 78(3), pp. 1725-1730, 1995.
- [23] L. J. Vand der pauw, "Philips Research Reports" 13, p. 1, 1958.
- [24] R. K. Chong, M. Yeadon, W. Yeadon, W. K. Choi, E. A. Stach, C. B. Boothroyd, Appl. Phys. Lett., 82, p. 1833, 2003.

- [25] R. T. Tung, *Appl. Phys. Lett.*, 68, p. 3461, 1996.
- [26] A. H. Reader, A. H. van Ommen, P. J. W. Weijs, R. A. M. Wolters, and D. J. Oostra, Printed in the UK, *Rep. Prog. Phys.*, 56, pp. 1397–1467, 1992.
- [27] S. P. Murarka, *Silicides for VLSI Application*, Academic Press, New York, 1983.
- [28] 홍정의, 한국과학기술원, 박사학위논문, 2005.
- [29] C. D. Lien, M. Finetti, and M. A. Nicolet, *Jour. Elect. Mat.*, 13, p. 96, 1984.
- [30] A. Appelbaum, R. V. Knoel, and S. P. Murarka, *J. Appl. Phys.*, 57, 1985.
- [31] R. T. Tung, and F. Schery, *Appl. Phys. Lett.*, 67, 1995.
- [32] K. Maex, *Mater, Sci. Eng.*, R 11, p. 53, 1993.
- [33] W. W. Mullins, *Trans, Metall, Soc.*, AImE, 218, p. 354, 1960.
- [34] J. Amano, K. Nauka, M. P. Scott, and J. E. Turner, *Appl. Phys. Lett.*, 49, p. 737, 1986.
- [35] D. M. Manous and D. L. Flamm, *Plasma etching*, Academic Press, 1989.
- [36] L. I. Maissel, and P. M. Schaible, *J. Appl.*, 36, p.237, 1956.
- [37] S. Berg and I. V. Katardjiev, *Surf. Coat. Technol.*, 68, p.325, 1994.
- [38] 정진중, 인하대학교, 석사학위 논문.
- [39] D. N. Ruzic, *Handbook of Plasma Processing Technology: Fundamentals, Etching, Deposition and Surface Interaction*, Ch. 3, Noyes Publications, 1990.
- [40] J. Comas, and E. A. Wolicki, *J. Electronchem, Soc.*, 117, p. 1198, 1970.
- [41] W. Bauer, G. Betz, H. Bangert, A. Bergauer, and C. Eisenmenger-Sittner, *J. Vac. Sci. Technol. A*, 12(6), p. 3157, 1994.

- [42] D. W. Hoffman, *J. Vac. Sci. Technol. A*, 8(5), p. 3707, 1994.
- [43] B. C. Koo, Y. S. Joung and H. S. Sim, Electrical characteristics of Ultra-Shallow n+/p junctions formed by using CoSi<sub>2</sub> as diffusion source of as, *J. J. KIEEM*, 춘계학술대회, pp. 242–245, 1997.
- [44] J. B. Nelson and D. P. Riley, *Proc. Phys. Soc. London* 57, p. 160, 1945.
- [45] 今村, 傳田, 山香, “半導體 物性特性 測定法”, Ohm社, 東京, p. 239, 1965.
- [46] P. Tiwari, Mary Longo, G. Matera, S. Sharan, P. L. Smith, and J. Narayan, *J. Elec. Mater.*, 20(10), p. 776, 1991.
- [47] S. Zimmermann, Q. T. Zhao, H. Höhnemann, M. Wiemer, C. Kaufmann, S. Mantl, V. Dudek, and T. Gessner, *Micro. Eng.* 84 pp. 2537–2541, 2007.
- [48] M. Wölfel, M. Schulz, J. Ionally, and P. J. Grunthaner, *Appl. Phys. A*, 50, p. 177–181, 1990.
- [49] A. Z. Moshfegh, S. J. Hashemifar, and O. Akhavan, *Solid Stat. Communication*, 128, pp. 239–244, 2003.
- [50] M. O. Aboelfotoh, A. D. Marwick, and J. L. Freeouf, *American Phy. Rev. B*, 49(15), pp. 753–756, 1994.
- [51] Shiyang Zhu, C. Detavernier, R. L. Van Meirhaeghe, F. Cardon, Guo Ping Ru, Xin Ping Qu, and Bing Zong Li, *Solid State Elect.*, 44, pp. 1807–1818, 2000.

## 감사의 글

이 논문 한편이 완성되기까지 많은 분들로부터 조언과 지도를 받았습니다.

특히 학업에서부터 논문이 완성되기까지 많은 가르침과 큰 사랑으로 이끌어주신 백형래 지도교수님께 깊은 감사를 드립니다.

그 동안 학업을 계속할 수 있도록 저에게 베풀어주신 교수님들의 사랑과 배려는 결코 잊지 못할 것입니다.

전기공학과 오금곤 교수님, 이우선 교수님, 최효상 교수님께도 감사를 드립니다. 늦은 나이에 학문을 연마할 수 있도록 동기부여와 격려를 해주신 공과대학 학장이신 조금배 교수님께 감사를 드립니다.

부족한 논문을 다듬어주신 김용재 교수님, 김남훈 교수님과 연구실의 최연옥, 김덕구, 박형민, 정병익, 박주선, 류승한, 하경훈, 최수근 그리고 밤 늦도록 힘든 내색 없이 묵묵히 도와준 조용선에게 특히 고맙다는 말을 전합니다.

힘겨워 할 때 물심양면으로 도와준 김세동 교수님, 이현화 박사, 이태우 박사, 이호용 박사, 강응수 박사, 강문식 사장에게 감사드리며, 좋은 결실 있기를 기원해주신 여러분에게 감사드립니다.

오늘에 있기까지 사랑과 정성으로 보살펴 주시고 어려운 환경 속에서도 3남매를 뒷바라지 하시고 자식걱정 노심초사 하시다 지금은 이 세상을 떠나셔서 하늘나라에 계시면서 우리 가족의 건강과 행복을 지켜주시는 수호자이신 아버님 요셉과 어머니 마리아, 그리고 장인, 장모님께 머리 숙여 깊은 감사를 드립니다.

뒤늦은 학업에 집안 살림의 어려움도 있었지만 항상 건강을 염려하여 주고 지원과 용기를 준 아내 김춘희 사비나에게 고맙고, 항상 자기 일에 충실한 아들 신주욱 펠렉스, 큰 딸 신재경 그리스티나, 막내 딸 신재민, 큰 사위 임도형, 외손녀 임소비와 함께 이 결실의 기쁨을 함께하고 싶습니다.

감사합니다.

2010년 12월

신 화 영 드림

## 저작물 이용 허락서

학 과	전기공학과	학 번	20097604	과 정	박사
성 명	한글 신화영      한문 辛 華 詠      영문 Hwa-Young Shin				
주 소	서울 마포구 상수동 333-23 22/2				
연락처	E-mail : shin@keea.or.kr				
논문제목	한글 : 광소자 적용을 위한 코발트 실리사이드의 전기적 특성				
	영문 : Electrical Characteristics of Cobalt Silicide for Application Optical Device				

본인이 저작한 위의 저작물에 대하여 다음과 같은 조건 아래 -  
 조선대학교가 저작물을 이용할 수 있도록 허락하고 동의합니다.

- 다            음 -

1. 저작물의 DB구축 및 인터넷을 포함한 정보통신망에의 공개를 위한 저작물의 복제, 기억장치에의 저장, 전송 등을 허락함.
2. 위의 목적을 위하여 필요한 범위 내에서의 편집과 형식상의 변경을 허락함. 다만, 저작물의 내용변경은 금지함.
3. 배포·전송된 저작물의 영리적 목적을 위한 복제, 저장, 전송 등은 금지함.
4. 저작물에 대한 이용기간은 5년으로 하고, 기간종료 3개월 이내에 별도의 의사 표시가 없을 경우에는 저작물의 이용기간을 계속 연장함.
5. 해당 저작물의 저작권을 타인에게 양도하거나 출판을 허락을 하였을 경우에는 1개월 이내에 대학에 이를 통보함.
6. 조선대학교는 저작물 이용의 허락 이후 해당 저작물로 인하여 발생하는 타인에 의한 권리 침해에 대하여 일체의 법적 책임을 지지 않음.
7. 소속 대학의 협정기관에 저작물의 제공 및 인터넷 등 정보통신망을 이용한 저작물의 전송·출력을 허락함.

동의여부 : 동의( ○ )    반대(       )

2010년 10월 일

저작자: 신화영 (인)

**조선대학교 총장 귀하**