

2008년 2월
석사학위논문

CMP 압력변화에 의한 BLT Capacitor의 전기적 특성

Effects of CMP Pressure on Electrical Properties
of BLT Capacitors

조선대학교 대학원

전기공학과

정판검

2008년 2월 석사학위논문 CMP 압력 변화에 의한 BLT Capacitor의 전기적 특성 정판검

CMP 압력변화에 의한 BLT Capacitor의 전기적 특성

Effects of CMP Pressure on Electrical Properties
of BLT Capacitors

2008년 2월

조선대학교 대학원

전기공학과

정판검

CMP 압력변화에 의한 BLT Capacitor의 전기적 특성

Effects of CMP Pressure on Electrical Properties
of BLT Capacitors

지도교수 이 우 선

이 논문을 공학석사학위 신청논문으로 제출함.

2007년 10월

조선대학교 대학원

전 기 공 학 과

정 판 검

정판검의 석사학위 논문을 인준함.

위원장 조선대학교 교수 오 금 곤 印

위 원 조선대학교 교수 백 형 래 印

위 원 조선대학교 교수 이 우 선 印

2007년 11월

조선대학교 대학원

목 차

ABSTRACT

| | |
|---------------------------------------|----|
| I . 서 론 | 1 |
| II . 이론적 배경 | 4 |
| A. CMP 공정의 원리 | 4 |
| B. 강유전체의 특성 | 8 |
| C. 강유전체 BLT | 11 |
| III . 실험 | 15 |
| A. 제작과정 | 15 |
| B. 박막 및 전기특성 측정방법 | 21 |
| C. 실험결과 | 25 |
| 1. BLT 박막의 FE-SEM 표면형상 및 EDS 분석 | 25 |
| 2. BLT 박막의 XPS를 이용한 표면분석 | 29 |
| 3. BLT 박막의 XRD 분석 | 32 |
| 4. BLT 박막의 이력특성 곡선 분석 | 33 |
| 5. BLT 박막의 누설전류 특성 분석 | 35 |
| IV . 결론 | 37 |

참고문헌

List of table

| | |
|--------------------------------------|----|
| Table 1 CMP Process conditions | 20 |
|--------------------------------------|----|

List of figures

| | |
|---|----|
| Fig. 1 Schematic diagram of CMP equipment | 7 |
| Fig. 2 Comparison of subtractive-Al process and damascen-Cu process | 7 |
| Fig. 3 Polarization states in a ferroelectric ABO_3 perovskite structure | 10 |
| Fig. 4 Schematic digram of a hysteresis curve for a ferroelectric material | 10 |
| Fig. 5 Typical Perovskite structure ($Bi_{3.25}La_{0.75}Ti_3O_{12}$) | 14 |
| Fig. 6 The stage of the spin-coating process | 17 |
| Fig. 7 MFM Substrate | 18 |
| Fig. 8 MFM Substrate (FE-SEM image of BLT thin film capacitor) | 18 |
| Fig. 9 Fabrication process of BLT thin film | 19 |
| Fig. 10 CMP equipment(POLI-450) | 22 |
| Fig. 11 FE-SEM equipment | 22 |

| | |
|---|----|
| Fig. 12 XRD equipment | 23 |
| Fig. 13 XPS equipment | 23 |
| Fig. 14 RT-66A equipment | 24 |
| Fig. 15 Standard ferroelectric test RT66A system | 24 |
| Fig. 16 FE-SEM images of BLT thin film by CMP process pressure | 27 |
| Fig. 17 EDS analysis by pressure | 28 |
| Fig. 18 XPS wide scan of BLT thin film by CMP process pressure change | 31 |
| Fig. 19 Elements present of BLT thin film surface after CMP process by pressure change | 31 |
| Fig. 20 X-Ray diffraction of BLT thin film by CMP process pressure | 32 |
| Fig. 21 P-V characteristics analysis | 34 |
| Fig. 22 I-V characteristics analysis | 36 |

ABSTRACT

Effects of CMP Pressure on Electrical Properties of BLT Capacitors

Jung, Pan - Gum

Advisor : Prof. Lee, Woo-Sun , Ph. D.

Department of Electrical Engineering,

Graduate School of Chosun University

BLT thin films have many advantages such as highly fatigue resistance, low processing temperature, and large remanent polarization for high-density ferroelectric memories. However, the problems by plasma etching in patterning process of BLT thin films such as the angled sidewall preventing the densification of ferroelectric memory and being apt to receive the plasma damage were reported.

Chemical mechanical polishing process was proposed to fabricate the ferroelectric capacitor instead of plasma etching process for the vertical profile without plasma damage.

CMP characteristics such as the removal rate and WIWNU% were improved by the increase of CMP pressure; however, the electrical properties including polarization-voltage (P-V) characteristics of BLT capacitor fabricated by CMP process with the high CMP pressure

condition were degraded.

The relative Bi content of BLT thin film increased and the relative La content of BLT thin film decreased as the increase of CMP pressure in damascene process by the X-ray photoelectron spectroscopy (XPS) analysis. This means that La was easily removed in high CMP pressure by physical(mechanical) mechanism.

X-ray diffraction (XRD) analysis confirmed that the structural change was observed in the sample polished by the high CMP pressure.

The excellent polarization-voltage (P-V) characteristics with the high remanent polarization and low coercive voltage could be obtained in the metal-ferroelectric(BLT)-metal capacitor polished by the low CMP pressure in CMP damascene process; the good leakage current characteristic was obtained in this condition.

Therefore, the lower CMP pressure must be selected in CMP damascene process for BLT thin film capacitor although the removal rate of BLT thin film was lower.

1. 서 론

강유전체 메모리 FRAM(ferroelectric random access memory)는 DRAM(dynamic random access memory)과 유사한 구조와 동작원리를 가진 기억소자이며, 강유전체라는 재료를 캐패시터 재료로 사용하여 전원 없이도 data를 유지할 수 있는 비휘발성 메모리이다. 휘발성 메모리인 RAM(random access memory)과 읽기 쓰기가 모두 가능한 비휘발성 메모리인 ROM(read only memory)의 두 가지 특성을 모두 지니고 있다. 강유전체는 무한한 성장 가능성을 가지고 있으며, 전원의 지속적인 공급이 없이도 저장된 기억이 지워지지 않는 비휘발성 특성과 함께 저전압 동작 등이 큰 장점이다. 동작 속도 측면에서도 기존의 DRAM에 필적하기 때문에 차세대 메모리 소자로 각광받고 있다. 특히 저소비 전력과 소형화 실현이 최대 과제인 차세대 휴대 정보통신기기의 메모리로서 급속하게 부상하고 있다.^[1-3]

이와 같이, 반도체 소자에서 SBT, PZT, BLT 등의 강유전체 재료를 캐패시터에 적용함으로써 기존 DRAM 소자의 한계를 극복하고 대용량의 메모리를 이용할 수 있는 소자의 개발이 진행되어왔다. 강유전체 재료로는 PZT($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)와 SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)가 주로 사용되었으나, 최근 BLT에 연구가 집중되고 있다. PZT 박막은 결정화 온도가 낮고 큰 잔류분극을 가지는 반면에 Platinum, Iridium 등의 금속 전극을 사용하였을 때 매우 심각한 피로현상을 보이며, 저전압 동작 요소인 임계 전계(critical electric field)가 큰 단점이 있고, SBT 박막은 PZT보다 피로현상에는 강하지만 결정화 공정이 높은 온도에서 이루어지는 단점을 가지고 있다.^[4-6] 피로현상이란 반복적인 분극 반전(switching)을 통해 잔류분극 값과 최대분극 값이 감소하는 현상을 말한다.

메모리 특성의 향상을 위해서는 PZT 및 SBT의 장점을 갖춘 재료를 필요로 하게 되었으며, BLT가 새로운 재료로 주목을 받고 있는 이유도 여기에 있다. 즉, 이러한 단점들을 보완할 수 있는 여러 가지 강유전체 물질 중에서 BLT 박

막은 PZT 박막의 피로현상과 SBT 박막의 낮은 잔류분극 값, 높은 결정화 온도 등의 문제점을 동시에 해결할 수 있는 소재로 인식되어 많은 가능성을 받고 있다.^[7-11]

강유전체 박막을 제조하는 데에는 물리적 증착방법인 RF magnetron sputtering, PLD(pulsed laser deposition)등과 화학적 증착 방법인 MOD, sol-gel법, MOCVD(metal organic chemical vapor deposition) 등을 포함하는 여러 가지 방법들이 있으며 본 실험에서는 sol-gel법을 이용하여 BLT 박막을 제조하였다.^[12-15] 이 방법은 액체상의 원료를 웨이퍼 상에 코팅하여 열처리하여 소성하는 방법이다. 이 방법은 주로 금속 산화물의 형성에 알맞은 방법이다. 다양한 박막 제조 기술 중에서 sol-gel법은 조성비와 dopant의 제어가 용이한 외에 웨이퍼 내의 균일성도 얻어지기가 비교적 쉽고 양질의 박막을 값싸고, 쉽게 제작할 수 있을 뿐만 아니라, 많은 반도체 제작 기술에도 응용되어지고 있다.^[16-17]

강유전체 물질들을 소자로 적용하기 위해서는 patterning 공정이 필요한데, plasma etching 방법에 의해 강유전체 물질들이 쉽게 patterning 되어지지 않는 문제점이 보고되고 있다. 패턴된 slope가 angle을 가지기 때문에 측벽이 plasma에 의해 대전되어 나타나는 damage와 소자 집적화의 제한 등이 문제점으로 보고되고 있다. 따라서 본 논문에서는 강유전체 capacitor 제작에 있어 CMP(chemical mechanical polishing)공정을 적용하여 patterning을 하는 기술을 최초로 도입하였다.^[18-19]

1980년대 말 미국 IBM은 기계적 제거가공과 화학적인 제거가공을 하나의 가공 방법으로 혼합한 CMP라는 새로운 연마공정을 개발하였다. CMP는 PECVD와 RIE 공정과 함께 submicron scale의 칩 제조에 있어서 반드시 필요한 공정이다. ILD(inter layer dielectric; 층간절연막) CMP와 metal CMP는 디바이스 층의 모든 표면에서 계속적으로 적용이 되어져야 하며 3차원의 형상정도를 얻기 위해서 각 층을 광역적인 평탄화를 형성하는 것이 CMP의 주된 역

할이다. CMP 공정이란 웨이퍼와 패드 사이에 슬러리를 공급한 상태에서 압력을 가하여 서로 상호작용을 일으키는 연마공정을 말한다. 연마공정은 슬러리의 내부에 있는 연마입자와 웨이퍼와 패드의 표면돌기들에 의해 기계적인 제거작용이 이루어지고 슬러리 내의 화학성분에 의해서는 화학적인 제거작용이 이루어진다. 이러한 CMP는 기계적인 작용과 화학적인 작용이 동시에 이루어져 서로 상호작용을 일으키는 연마공정이다.^[20-23]

한편 강유전체 물질을 CMP 공정을 통해서 patterning하는 연구는 새롭게 적용되는 분야이며, 본 연구 그룹에 의해서 그 가능성을 입증하였다. 특히 BLT 강유전체의 CMP 공정 적용 시에 공정 압력(down force) 및 테이블 속도가 증가할수록 높은 연마율(removal rate) 등을 확보할 수 있다는 연구 결과를 얻었다. 그러나 실제 CMP 공정 적용에 의한 BLT 강유전 소자는 제작되어지지 못하였으며, CMP 공정 시에 높은 압력이 BLT 강유전 소자의 전기적 특성에 미치는 영향에 대해서는 보고된 바가 없다.

따라서 본 연구에서는 sol-gel법을 이용하여 Pt/Ti/Si 기판 위에 BLT 박막을 증착한 뒤 CMP 공정에 있어서 압력의 변화에 따른 BLT capacitor의 전기적 특성을 연구함으로써, CMP 공정 중 압력이 capacitor 제작시 미치는 영향을 연구하였다.

II . 이론적 배경

A. CMP 공정의 원리

CMP의 기본 원리는 화학적인 요소로써 슬러리(slurry) 내에 함유되어 있는 화학적인 요소들과 연마하고자 하는 웨이퍼 표면과의 반응에 의해 웨이퍼 표면의 물질이 제거되는 것이고, 기계적인 요소로는 웨이퍼가 부착된 헤드와 패드가 부착된 테이블이 회전운동을 하고 액상속의 슬러리 입자(abrasives)들이 웨이퍼와 패드가 접촉한 부분에서 웨이퍼 표면에 대해 압력을 가함으로써 연마가 되는 것이다.^[24] 이와 같이 CMP는 주로 슬러리 입자들에 의한 화학적인 요소와 패드 및 입자의 재료에 의한 기계적인 요소에 의해 연마하는 기술이다.

CMP 공정기술은 장비, 소모재(consumable), metrology tool 등의 기술이 결합되어 이루어지며, 화학적 반응과 기계적 반응이 결합되어 일어난다. 화학적 반응은 슬러리 내에 함유되어 있는 chemical들과 연마하고자 하는 웨이퍼 표면간의 반응을 의미하며, 기계적 반응은 연마 장비에서 가해진 힘이 슬러리내의 입자에 전달되고, 이미 화학적 반응을 받은 웨이퍼 표면이 입자에 의해 기계적으로 제거된다.^[25-28]

그림 1에 CMP 장비의 개략도를 나타내었다. CMP 공정에서 웨이퍼는 패드와 슬러리에 의해서 연마되어지며, 패드가 부착되어진 연마 테이블은 단순한 회전운동을 하고 헤드부는 회전운동과 요동운동을 동시에 행하며 일정한 압력을 가한다. 웨이퍼는 표면 장력 또는 진공에 의해서 헤드부에 장착되어진다. 헤드부의 자체 하중과 인가되는 가압력에 의해 웨이퍼 표면과 패드는 접촉하게 되고 이접촉면 사이의 미세한 틈(패드의 기공부분)사이로 가공액인 슬러리가 유동하여 슬러리 내부에 있는 연마입자와 패드의 표면 돌기들에 의해 기계적인 제거작용이 이루어지고, 슬러리 내의 화학성분에 의해서는 화학적인 제거작용이 이루어진다.

CMP 공정에서 패드와 웨이퍼간의 가압력에 의해 디바이스 돌출부의 상부에서부터 접촉이 이루어지고, 이 부분에 압력이 집중되어 상대적으로 좁은 표면 제거 속도를 가지게 되며, 가공이 진행되어 갈수록 이러한 돌출부는 줄어들어 전 영역에 걸쳐 균일하게 제거된다. CMP는 높은 제거속도를 가지면서 안정도와 균일도를 얻기 위하여 패드 및 슬러리의 선택뿐만 아니라 캐리어 암과 테이블의 속도, 테이블의 온도, 연마하는 동안의 압력, 그리고 패드 컨디셔닝하는 방법 등과 같은 공정 조건들을 고려하여야 한다.^[29-30]

CMP 공정의 가장 중요한 장점은 다층 구조의 내부 연결 물질(multi-level interconnection)을 만드는데 필수적인 광역 평탄화(global planarization)를 실현할 수 있는 장점이 있다.^[31] 현재 반도체 제조 칩의 집적도가 증가함에 따라 다층 구조 내부 연결 물질의 층수 또한 갈수록 증가하고 있는 추세에 있다. 즉, 반도체 소자가 고집적화 되고 고속화를 필요로 하게 됨에 따라 패턴이 더욱 미세화 되고 내부 연결 물질의 금속 층수도 계속 증가할 전망이다. 그러나 다층화로 인하여 최저층에서 부터 고층으로 올라 갈수록 단차가 점점 커지게 되어 미세 패턴 형성이 어려워 집적회로의 제조가 어려워지는 결과를 갖는다. 평탄화 되지 않은 단차들은 반복된 식각(etching)에 의해 형성된 패턴 위에 반복된 필름을 증착한 결과로 발생된다.

이러한 문제점을 해결하기 위해 단차를 없애고 표면을 평탄화 시키는 공정이 필요하게 되었다. CMP는 단차가 큰 표면을 광역 평탄화하게 한다. 반도체 소자 제조 공정에서 단차의 향상과 국부적 또는 광역적 평탄화 구조를 얻기 위해서는 적절한 공정을 수행해야 하며, 현재에는 광역 평탄화 공정으로 CMP 공정이 유일한 대안으로 평가 되고 있다. CMP 공정은 메모리 분야뿐만 아니라 비메모리 분야에서 더욱 활발히 사용되고 있고 공정수가 증가하고 다양한 막을 평탄화 하는데 사용된다.

CMP는 PECVD와 식각공정과 함께 나노 스케일의 칩 제조에 있어서 반드시 필요한 공정이다. ILD CMP와 금속 CMP는 디바이스 층의 모든 표면에서 계속적으

로 적용이 되어져야 하며, 3차원의 형상을 얻기 위해서 각층을 광역적인 평탄화를 형성하는 것이 CMP의 주된 장점이다. 이러한 CMP는 기계적인 작용과 화학적인 작용이 동시에 작용하여 서로 상호작용을 일으키는 연마공정이다. CMP는 다른 평탄화 공정에 비해 100 ~ 1000배의 평탄화 범위를 갖는 것으로 보고되고 있다. 현재 소자의 고속화를 실현하기 위해 다층 배선이 요구되는 논리형 소자에서 많이 적용하고 있다. 기억형 소자에서도 다층화 되어감에 따라 점차적으로 적용을 하고 있는 추세이다. 또한 CMP공정은 소자 집적화, 금속배선, 복잡한 논리회로, 층간 절연 평탄화 등 많은 응용 분야에 사용되고 있고 그 사용은 증가 할 전망이다.

damascene 공정은 고대의 상감기법을 응용한 기술로 현재의 집적회로 공정에 있어 금속배선에 주된 핵심공정으로 주목받고 있다. damascene은 우리나라 말로는 상감이라고 한다. 이는 중세 시리아의 수도 damascene의 금속기술가와 그들에 의해 이루어진 상감세공기술을 일컫는 말에서 유래한 것이다. 이 기술은 글자 그대로 어떤 재료의 한 부분을 파낸 후 그 곳에 다른 재료를 채워 넣는 기술을 말한다. 실제로 반도체 기술에서 적용되는 damascene 공정은 SiO₂ 같은 절연체에 배선이 형성될 부분을 에칭하고 배선 금속을 채운 다음 CMP 등을 통해 불필요한 금속을 제거하는 순서로 이루어진다. 그림 2에서 알루미늄의 plug and patten 공정과 구리의 이중 상감 공정(dual damascene) 을 비교해 놓았다.^[32]

damascene 공정은 구리전기도금을 위해서 개발된 공정이 아니라 원래는 미세한 패턴형성을 위해 개발된 공정이었으나 구리의 경우 에칭의 기술개발이 제대로 이루어지지 않았기 때문에 알루미늄에 쓰이던 기존의 plug and patten 공정이 어렵다. 따라서 damascene 공정을 구리의 배선공정에 적용하게 되었다. 구리의 경우는 직접 상감공정을 쓰기보다는 이를 응용한 이중 damascene 공정을 이용하고 있다.^[33-34]

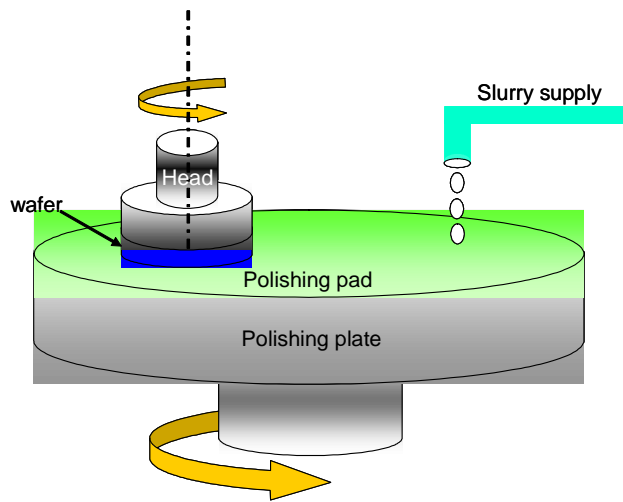


Fig. 1 Schematic diagram of CMP equipment.

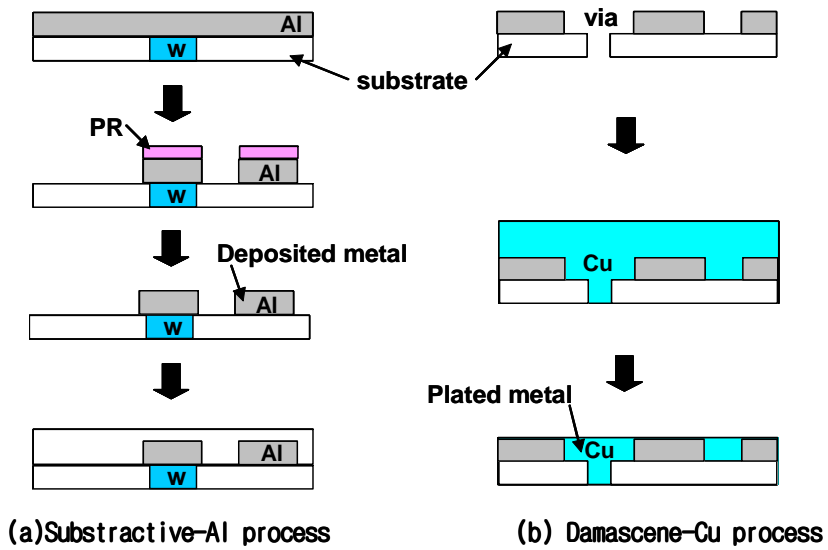


Fig. 2 Comparison of subtractive-Al process and damascene-Cu process.

B. 강유전체의 특성

강유전체(ferroelectric)란 “자발분극”을 가지고 있으며, 외부 전기장에 의하여 분극반전을 일으킬 수 있는 물질로서 외부에서 전기장을 가해주지 않더라도 가역적인(reversible) 자발 분극을 갖는다는 특징이 있다.^[35] 강유전성은 결정내부에 존재하는 전기쌍극자가 상호작용에 의하여 자발적으로 일정한 방향으로 배열하는 성질을 말하며, 극성결정의 일부가 이 성질을 가진다. 이러한 성질을 가지는 유전체를 강유전체라고 부른다. 대부분의 강유전체는 고유전율을 나타내며, 큐리온도(curie temperature) 이상에서는 비극성(non-polar)인 상유전상(paraelectric phase)을 가지고, 그 이하에서는 강유전상(ferroelectric phase)으로 존재한다.

콘덴서 소자와 반도체 소자에 가장 많이 사용되는 강유전체 재료는 페로브스카이트(perovskite) 구조를 가지며, 그림 3에 단위정의 격자구조와 외부 전기장에 의한 분극 특성을 나타내었다.^[36]

강유전체는 1920년 로셀염에서 처음 그 성질이 발견되어 알려지게 된 물질로서, 1935년에서 1938년 사이에 KDP계열의 단결정들이 성장되면서 많은 연구가 시작되었다. 이들 물질의 특징적인 물성은 외부전계를 가해주었다 제거하면 일정한 분극값을 가지며 전계가 없을 경우의 분극은 이전에 가해 주었던 전계의 극성에 의존하므로 외부 전계에 대한 분극의 응답이 그림 4와 같이 이력곡선의 형태를 가지게 된다.^[37]

강유전성 결정은 도메인이라고 불리는 일정한 방향으로 분극이 되어 있는 여러 개의 영역으로 구성되어 있고 전계가 가해지지 않은 상태로 있다고 가정하면, 그 결정은 분극이 무질서하게 분포되어 있으므로 전체적인 분극(netpolarization)은 없다. 이때 항전계 값(coercive field)보다 더 큰 전계가 가해지면 분극이 전계 방향으로 바뀐다.

강유전체 시편에 처음으로 전기장을 가하면 그림 4의 OABC의 곡선을 따라

분극이 증가한다. 분극이 포화된 이후 전계가 줄어들면, 결정의 분극은 초기의 변화곡선보다는 CBD 곡선을 따라 바뀌며 전계가 0에 이르면 몇몇 도메인은 순방향으로 배열된 상태로 남아 잔류분극(remanent polarization: Pr) 값을 보인다. 이력곡선에서 주요 인자는 자발분극인 Ps, 잔류분극인 Pr, 그리고 항전계인 Ec이다. 전계가 감소할 때 도메인 완화(domain relaxation)에 의해 잔류분극인 Pr 값이 얻어진다. 이러한 이력곡선에서 전계가 없을 경우에 안정한 두 상태가 “0” 과 “1” 의 상태로 정의되며 디바이스의 전계가 사라지더라도 저장된 데이터가 사라지지 않으므로 비휘발성 메모리로 응용된다.

이러한 강유전체가 실제 비휘발성 메모리에 이용되기 위해서는 다음과 같은 특성이 요구된다.^[38-39] 요구 특성으로는 잔류분극 값이 크고 항전계, 유전 상수, 누설 전류 밀도는 적으며 피로현상이 없고 낮은 공정온도를 갖으며 주위 온도변화에도 소자동작특성을 안정화하기 위해서 큐리온도가 높아야 한다. 현재 이런 점들을 개선하기 위해 많은 연구가 진행되고 있으며 개선을 위해 혹은 메모리의 고집적화를 위해 nanoscale의 연구가 요구 되고 있다. FRAM의 소재로서 현재 연구되고 있는 물질들은 $(\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ (PZT), $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT), $\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$ (BLT) 등이 있다.^[40-42]

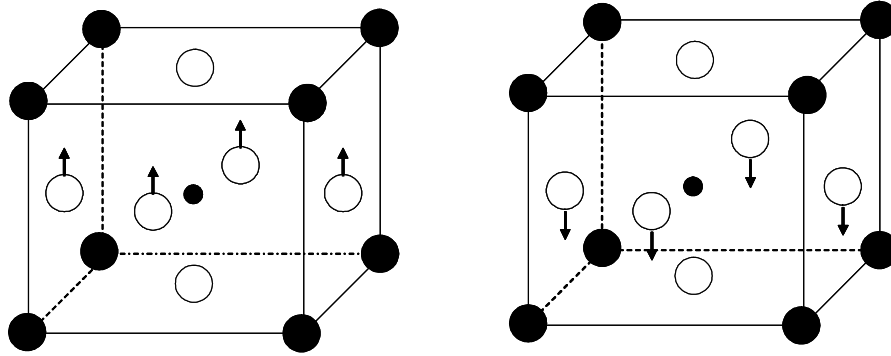


Fig. 3 Polarization states in a ferroelectric ABO_3 perovskite structure.

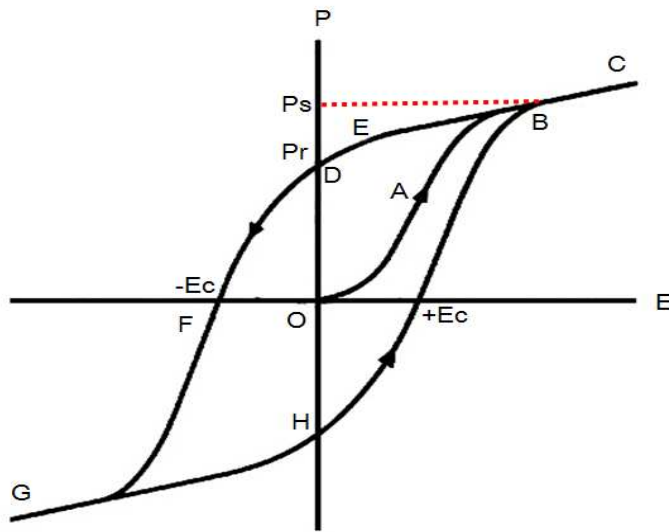


Fig. 4 Schematic diagram of a hysteresis curve for a ferroelectric material.

C. 강유전체 BLT

$\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$ (BLT)를 고찰하기 전에 BLT의 모체인 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BT0)에 대해 알아보기로 하겠다. BT0는 1949년 B. Aurivillius 에 의해 처음 발견되었고, 675°C의 큐리 온도에서 상전이를 하는 널리 알려진 강유전체이다.^[43]

BT0는 bismuth titanate family 중의 하나로서, 그 일반형은 $(\text{Bi}_2\text{O}_2)M_{n-1}R_n\text{O}_{3n+1}$ 이고, BT0 의 경우는 $n=3$ 에 해당하고 SBT의 경우는 $n=2$ 에 해당한다. M의 자리를 차지하는 원소들은 Bi, Ba, Sr, K, Ca, Na, Pb 등의 희토류(rare earth) 원소들이고, R의 자리를 차지하는 원소들은 크기가 좀 더 작은 Ti, Nb, Ta, Fe, W, Mo, Ga, Cr 등의 원소들이다.^[44] BT0 는 a-축의 길이가 5.448Å, b-축의 길이가 5.411Å, 그리고 c-축의 길이는 32.83Å인 orthorhombic 구조를 가지고 있으며, $(\text{Bi}_2\text{O}_2)^{2+}$ 비스무스 산화물층과 $(\text{Bi}_2\text{Ti}_3\text{O}_{12})^{2-}$ 페롭스카이트층으로 이루어져 있고, $(\text{Bi}_2\text{O}_2)^{2+}$ 비스무스 산화물층들 사이에 세 층으로 이루어진 $(\text{Bi}_2\text{Ti}_3\text{O}_{12})^{2-}$ 페롭스카이트층들이 샌드위치된 형태로 존재한다.^[43-44]

BT0의 자발 분극은 페롭스카이트층에 위치하고 있는 Ti 이온의 이동에 의해 발생하고, 자발 분극의 방향은 b-c 면 상에서 b-축 방향으로 4.5°의 각도를 이루고 있으며, 자발 분극의 크기는 b-축 방향으로 $50\mu\text{C}/\text{cm}^2$, c-축 방향으로 $4\mu\text{C}/\text{cm}^2$ 의 값을 갖는다. 항전계의 경우도 역시 방향성을 가져서 b-축 방향으로 $50\text{kV}/\text{cm}$, c-축 방향으로 $3.5\text{kV}/\text{cm}$ 의 값을 갖는다. 그리고 BT0도 PZT와 마찬가지로 일정 횟수 이상의 분극 반전 이후에 잔류 분극의 값이 감소하는 전기적 피로 현상을 보인다.^[45-46]

그러나 전기적 피로가 없는 SBT와 유사한 구조를 가지기 때문에, SBT의 전기적 피로 기구를 BT0에 적절히 적용시켜 BT0의 전기적 피로 문제를 해결하기 위한 많은 연구가 진행되어왔다. BT0가 높은 자발 분극의 값을 갖는다는

장점 때문에 FRAM용 강유전체로서 각광을 받아왔지만 항전계 역시 커서 분극화시키는데 많은 전압을 필요로 하기 때문에 이러한 높은 항전계를 낮추기 위한 연구가 진행되었다. 일반적으로 상전이 온도가 낮아지면, 항전계 값도 작아진다.

1969년 R. W. Wolfe 등은 BT0의 격자내에 있는 Bi 이온을 희토류 원소로 치환하는 방법을 통해서 BT0의 상전이 온도를 낮추는 연구 결과를 보고하였다.^[47] 그들은 BT0 에서의 Bi 이온을 치환할 수 있는 희토류 원소들에 대해서 이온 반경에 따른 용해도의 관계를 도식화하였고, 이들 희토류 원소들 중 가장 큰 이온 반경을 가진 La이 가장 높은 용해도 (70%)를 갖는다는 연구 결과를 보고하였다.^[46] 이와 더불어 La에 대해서는 X-선 강도 계산으로부터 La 이온이 50%의 Bi 이온을 치환하기까지 모두 페롭스카이트층에 위치하고 있는 Bi 이온을 치환한다고 보고하였다.

R. W. Wolfe 등에 의한, BT0에서의 La 이온의 용해도에 대한 연구를 바탕으로 1981년에 T. Takenaka 등은 여러 조성의 La이 치환된 bismuth titanate($\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$, BLT)를 제조하여 La의 치환량에 따른 BLT의 강유전 특성을 조사하였다. 일축 방향으로 압력을 가하면서 소결한 BLT와 압력을 가하지 않고 대기압 상태에서 소결한 BLT 시편의 강유전 특성을 비교하였다. 특히 일축 가압 소결한 BLT 시편의 경우는 가해진 압력의 방향과 수직한 방향과 평행한 방향에 대하여 각각 강유전 특성을 조사하였다.

BLT grain 은 얇은 판 모양으로 결정화가 일어나고 얇은 판에 수직한 방향이 c-축 방향이 된다. 이로 인해 BLT를 가압 소결할 경우, 가해진 압력 방향에 대하여 c-축 방향으로 정렬하는 경향이 있다. 따라서 BT0는 자발 분극의 c-축 성분이 거의 없기 때문에 가압 방향과 수직한 방향에 대해서는 대기압 상태에서 소결한 BLT 시편보다 높은 잔류 분극의 값을 갖고, 평행한 방향의 BLT 시편에 대해서는 대기압 상태에서 소결한 시편 보다 더 낮은 잔류 분극의 값을 갖는다는 연구 결과를 보고하였다. 그리고, 가장 높은 잔류 분극의

값을 갖는 BLT에서의 La의 $x=0.75$ 라는 연구결과를 보고하였다.^[48]

1999년 B. H. Park 등은 XPS(X-ray photoelectron spectroscopy) 분석을 통해 BT0의 비스무스 산화물층에서보다 페롭스카이트층에서 더 많은 산소 공공(vacancy)을 관찰하면서, BT0가 전기적 피로 현상을 보이는 원인은 페롭스카이트층에 있는 산소 이온이 불안정하기 때문이라고 보고하였다.^[49]

같은 해 B. S. Kang 등은 전기적 피로가 관찰되지 않는 SBT의 전기적 피로 기구 연구에서, Sr 이온을 휘발성이 강한 Bi 이온으로 치환할 경우 전기적 피로 현상이 관찰됨을 확인하였고, SBT에서 전기적 피로가 없는 원인은 BT0의 경우와는 반대로 페롭스카이트 층에 있는 산소 이온이 안정하기 때문이라고 보고하였다.^[50]

이러한 연구 결과들을 바탕으로 1999년 B. H. Park 등은 휘발성이 강한 Bi 이온을 일정량의 La 이온으로 치환할 경우 페롭스카이트 층에 있는 산소 이온의 안정화로 인하여 전기적 피로 현상이 관찰되지 않음을 보고하였다. 즉, 이들은 자발 분극의 값이 SBT보다 크고, 결정화 온도도 SBT보다 낮으며, PZT와 BT0에서 관찰되는 전기적 피로가 없는 $\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$ 박막을 최초로 제조하는데 성공하였다.^[51] 그림 5는 $\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$ 의 결정 구조를 나타내고 있다.

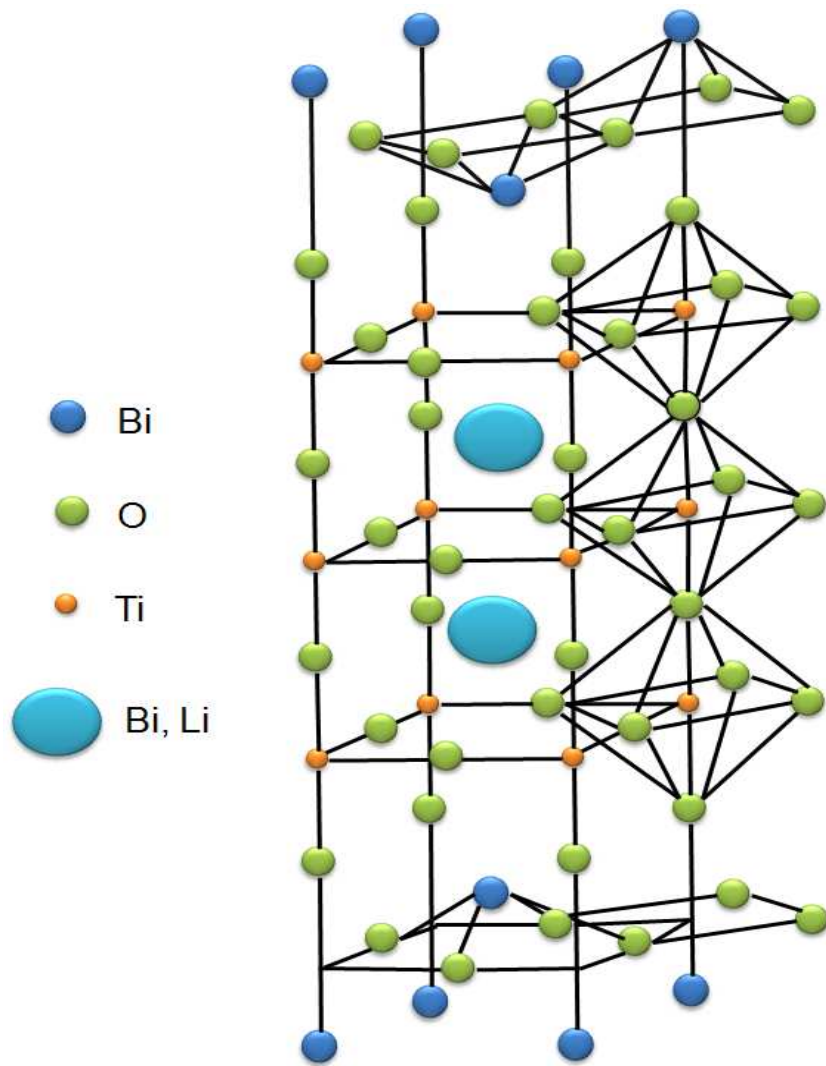


Fig. 5 Typical perovskite structure ($\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$).

III. 실험

A. 제작과정

본 연구에서는 BLT 박막의 제조를 위해 스피ن코팅(spin coating)법을 사용하였으며, 스피ن코팅법의 순서를 그림 6에 나타내었다. 일반적으로 스피ن코팅법은 deposition, spin-up, spin-off, evaporation의 4단계로 나타낼 수 있다. 코팅 용액이 Newtonian 거동을 한다면 기판 전체에 균일한 박막을 얻을 수 있으며, 코팅 용액의 농도 및 점도, deposition시 사용되는 코팅 용액의 양 및 spinner의 회전속도(rpm) 등에 의하여 박막의 두께 조절이 용이한 장점이 있다.^[52]

본 실험에서는 6-inch 웨이퍼로 Pt(120nm)/Ti(30nm)/Si 기판 위에 졸-겔(sol-gel)을 이용하여 BLT 박막을 증착시켰다. BLT 박막을 제조하기 위하여 용액의 전구체로서 bismuth(III)-acetate $[Bi(CH_3CO_2)_3]$, lanthanum-acetate hydrate $[(CH_3CO_2)_3La \cdot H_2O]$, titanium(IV) iso-propoxide $\{Ti[OCH(CH_3)_2]_4\}$ 을 사용하였다. 용매로는 2-메톡시에타놀(2-methoxyethanol) $[CH_3OCH_2CH_2OH]$ 을 사용하고 아세트산(acetic acid) $[CH_3CO_2H]$ 을 촉매로 사용하였다. BLT 졸-겔을 스피ن코팅법에서 3000rpm에서 20초 동안 증착되었으며, 박막 내에 존재하는 유기물을 제거하기 위해 250°C로 유지된 hot plate를 사용하여 공기 중에서 5분 동안 건조하였다. 이러한 과정을 5회 반복하여 두께를 조절하였다. 건조된 시편을 결정성장을 위해 다시 퍼니스(furnace)에서 650°C로 1시간 동안 열처리 하였다.

BLT 박막의 증착 조건을 표 1에 나타내었다. Damascene 공정을 통한 BLT capacitor 패터닝을 위해 연마 패드는 Rodel 사의 IC-1400 패드를 사용하였으며, 테이블의 회전속도는 50rpm 및 헤드의 회전속도 역시 50rpm으로 일정하게 설정하였고, 헤드압력은 4.9, 29.4kPa로 달리하여 CMP 공정을 수행 하

였다. 슬러리의 유량은 90ml/min으로 설정하였고, 헤드압력을 4.9, 29.4kPa와 같이 달리하여 연마를 진행 하였다. 연마 후 박막 두께를 동일하게 하기 위해 연마시간을 각각 30초 및 10초로 수행하였다. 또한 패드 컨디셔닝(pad conditioning) 압력은 2kgf/cm²으로 고정하였고, 연마 패드는 교체 없이 사용하였다. 슬러리의 에이징(aging) 현상을 방지하기 위하여 연마 전에 Sonic Tech사의 초음파 교반기로 충분히 교반시켜 주었다. CMP 공정 후 웨이퍼 세정은 2분 동안 NH₄OH:H₂O₂:H₂O를 1:2:7의 비율로 제조된 SC-1 용액에서 2분간, 1:10(HF:DIW)의 DHF 용액에서 5초, 마지막으로 초음파 세척기를 이용하여 3분 동안 세척하였다. 슬러리 조성은 silica pH(10.3)로 조성하였다. 모든 연마 공정은 G&P Technology사의 POLI-450 장비로 진행 하였다. 증착된 박막의 결정구조를 XRD(X-ray diffraction)를 이용하여 분석하였고, 박막의 표면과 내부의 특성 및 박막의 두께는 FE-SEM(field emission scanning election microscope)을 이용하여 관찰하였다. 강유전체 박막의 전기적인 특성을 조사하기 위하여 BLT 박막 위에 스퍼터링 방법에 의하여 shadow mask를 사용하여 0.5x0.5mm 크기를 갖는 Au 전극을 증착하였으며, 이렇게 제조된 Au/BLT/Pt capacitor의 P-V 특성은 RT-66A(Radiant Technologies Co.)를 이용하여 관찰하였다. 그림 7과 8에 BLT 박막의 MFM 구조를 나타내었다.

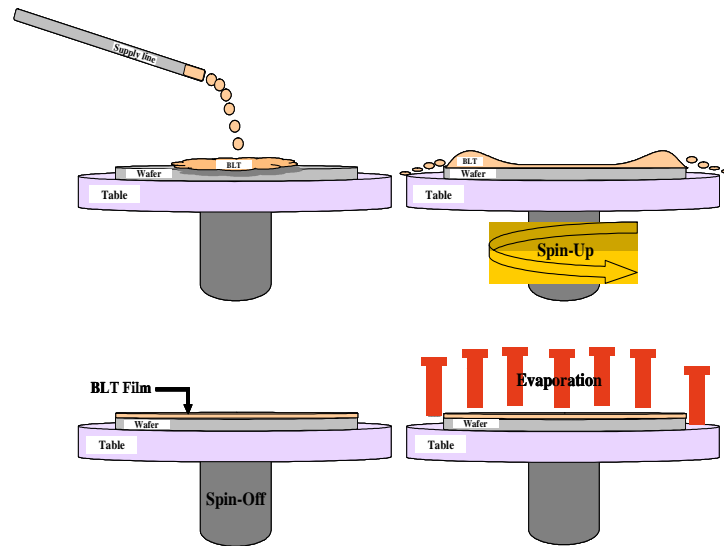


Fig. 6 The stage of the spin-coating process.

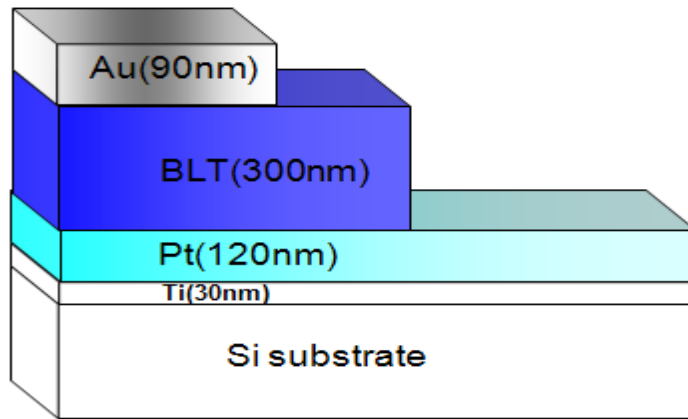


Fig. 7 MFM Substrate.

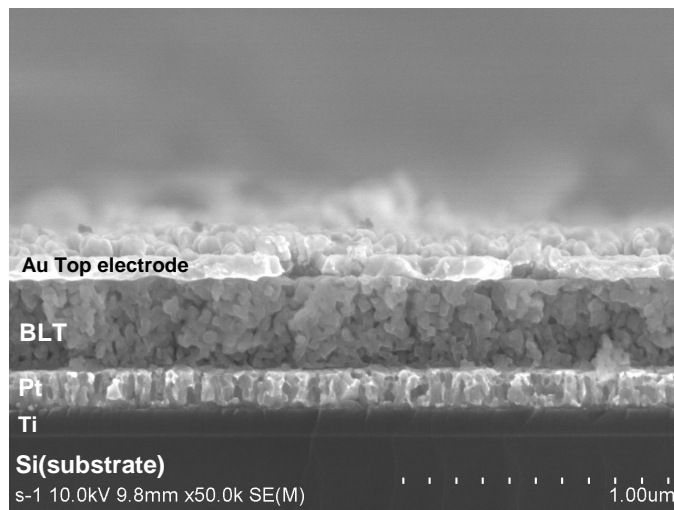


Fig. 8 MFM Substrate (FE-SEM image of BLT thin film capacitor).

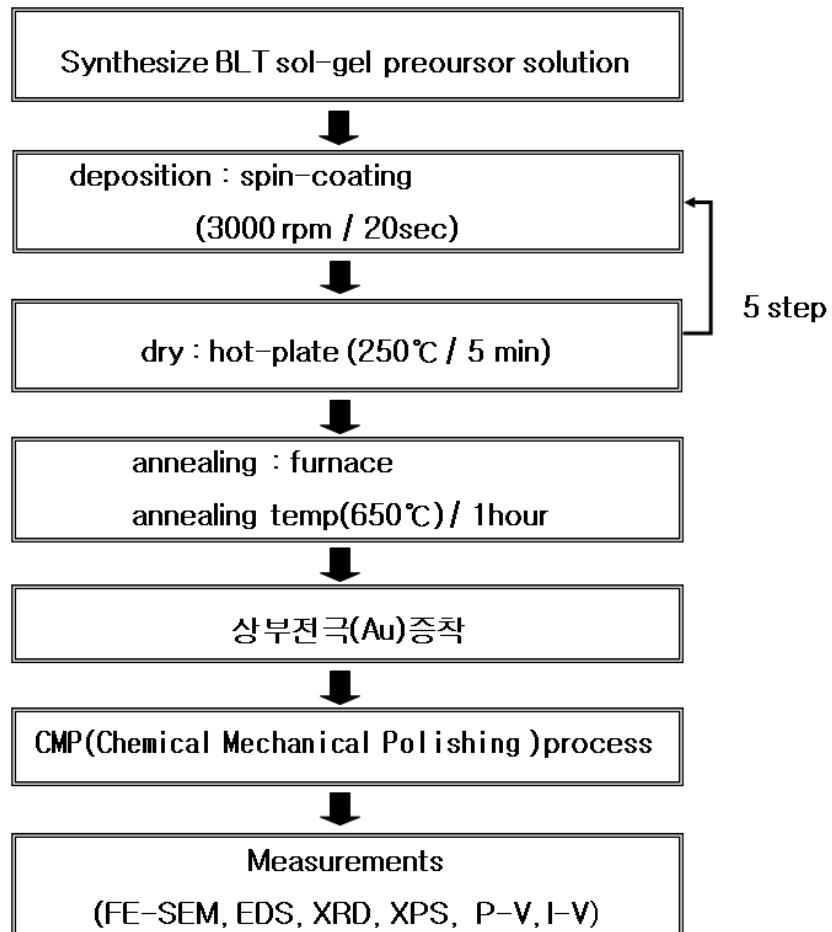


Fig. 9 Fabrication process of BLT thin film.

Table. 1 CMP Process conditions.

| CMP Process | |
|------------------|--|
| wafer | 6" BLT/Pt/Ti/Si |
| Pad | IC- 1400(Rohm & Hass Electric Materials Co.) |
| Slurry | Silica slurry pH(10.3) |
| Slurry Flow Rate | 90 ml/min |
| Head Speed | 50 rpm |
| Down Force | 4.9, 29.4kPa |
| Table Speed | 60 rpm |
| Polishing Time | 30sec(4.9kPa), 10sec(29.4kPa) |

B. 박막 및 전기특성 측정방법

졸겔법으로 BLT 박막을 형성시킨 후 패턴 형성을 위해 공정 압력을 조절해 가면서 CMP 공정을 진행하였다. 결정성의 변화를 알아보기 위하여 XRD(PANalytical, X'pert-PRO-MPD)를 이용하여 결정 배향성과 결정 성장 정도를 분석하였다. 이때 가속 전압은 40kv, 전류는 30mA, X-ray는 Cu-K α radiation=0.15405nm 이며, 산란각은 10° ~ 65°의 회절각(2 θ)범위에서 X-선 회절 분석을 하였다.

압력변화에 따른 BLT 박막의 미세구조를 관찰하기 위해 Hitachi사의 S-4800 FE-SEM을 이용하여 시료의 표면 상태를 관찰 하였으며, FE-SEM에 부착되어 있는 EDS(energy dispersive spectroscopy, Horiba)를 통하여 시료의 원소 성분을 분석하였다. 또한 BLT 박막의 화학적 조성 및 결합상태를 관찰하기 위해 XPS(MultiLab 2000, Thermo electron corporation)를 이용하여 분석하였다. BLT 박막의 P-V 이력곡선 및 누설전류를 조사하기 위하여 측정 장비인 RT-66A(Standardized ferroelectric test system, Radiant Technologies, USA)를 이용해서 측정하였다.



Fig. 10 CMP equipment (POLI-450).



Fig. 11 FE-SEM equipment.



Fig.12 XRD equipment .



Fig.13 XPS equipment .



Fig.14 RT-66A equipment.

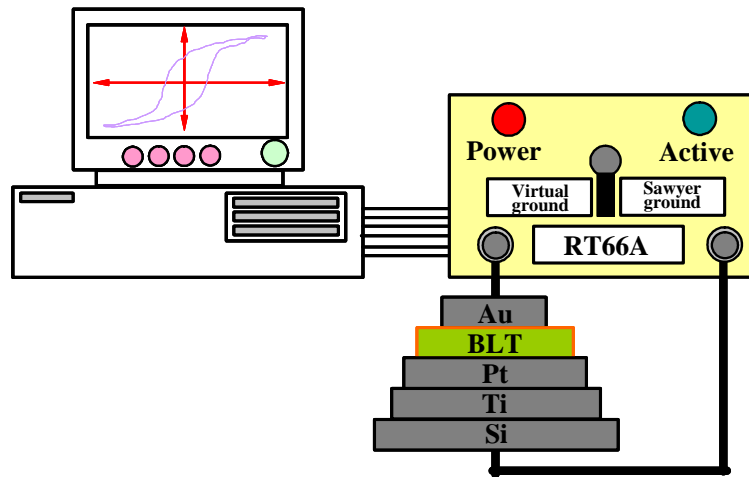


Fig.15 Standard ferroelectric test RT66A system.

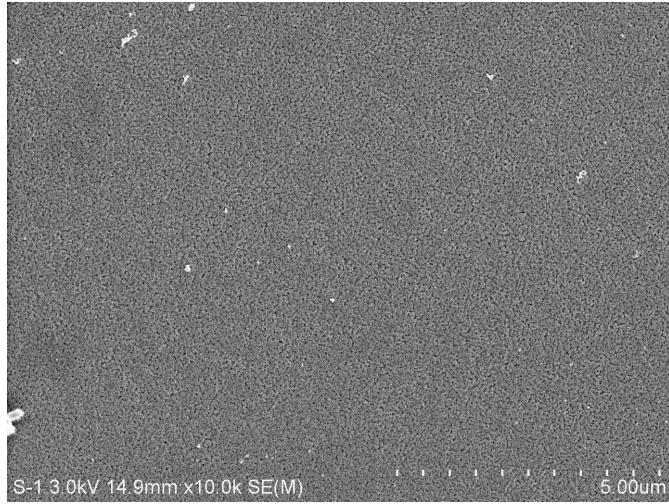
C. 실험결과

1. BLT 박막의 FE-SEM 표면형상 및 EDS 분석

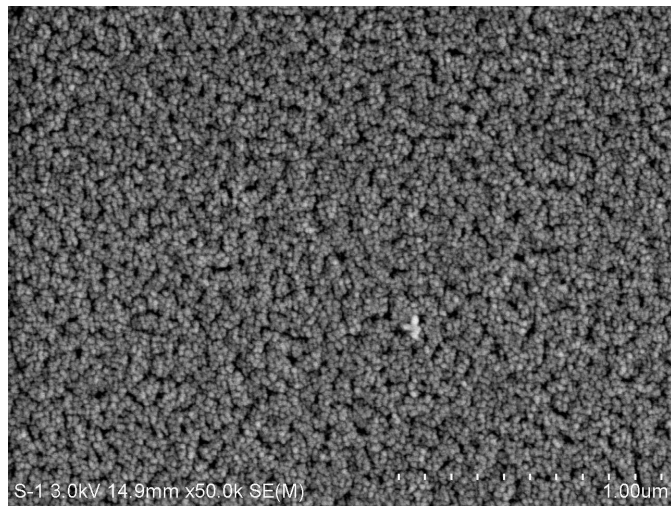
시편의 방전효과를 피하기 위해 시료표면에 Pt를 코팅하여 상분해를 증가시켰다. 준비된 시료는 FE-SEM을 이용하여 1만배, 5만배의 고배율로 관찰하였다.

그림 16는 BLT 박막으로 Pt/Ti/Si기판위에 졸-겔 상태의 BLT 용액을 증착한 후 hot plate에서 250℃로 5분 동안 건조 한 후, 건조된 시편을 전기로에서 650℃로 1시간 동안 열처리 한 후 CMP 공정을 수행한 시료의 FE-SEM 표면사진을 나타내었다. CMP 공정변수를 동일하게 하고 압력만 4.9kPa에서 29.4kPa로 증가시켰다. 압력이 증가할수록 표면에 흰색으로 보이는 것들이 증가하는 것을 볼 수 있다.

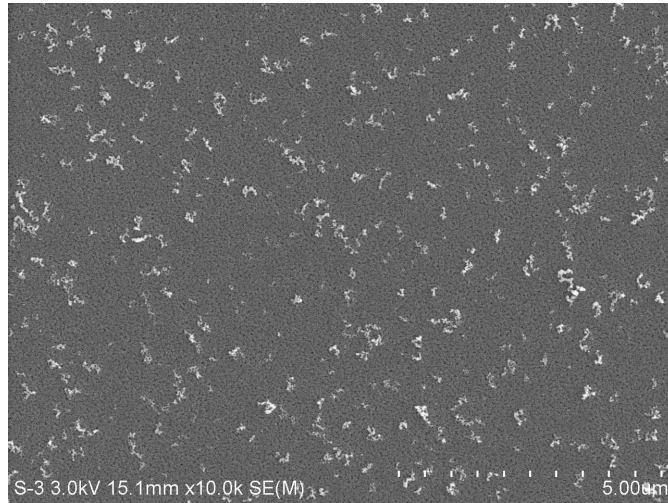
그림 17의 EDS 분석결과에서 압력이 증가할수록 표면의 Si, Bi의 상대적 비율이 증가하는 것을 볼 수 있었다. 또한 La는 압력이 증가할수록 상대적 비율이 감소하는 경향을 보이고 있는데, 이는 BLT 박막이 CMP 공정 중 압력의 영향에 따라 특정 원소가 보다 쉽게 제거되어지는 것으로 판단된다.



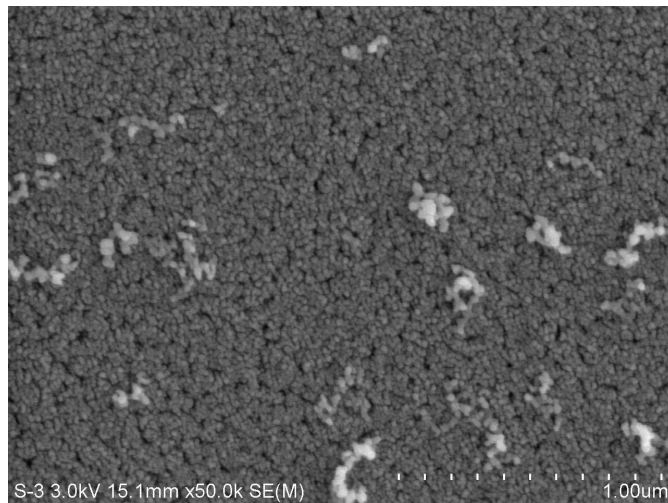
(a) 4.9kPa (10000 Times)



(b) 4.9kPa (50000 Times)

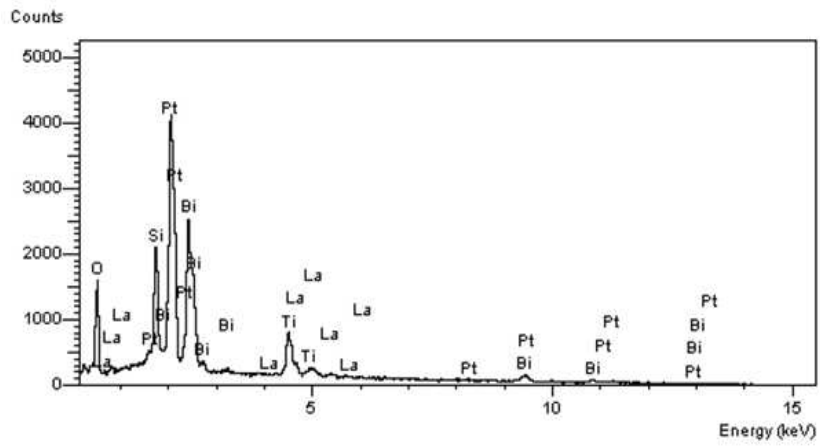


(c) 29.4kPa (10000 Times)

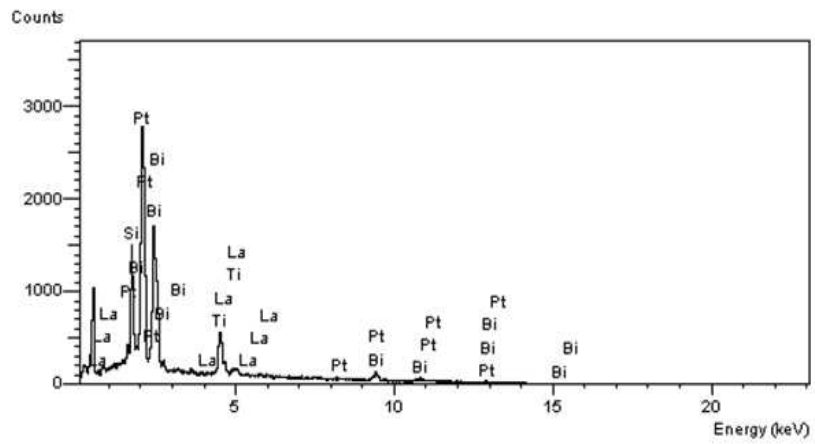


(d) 29.4kPa (50000 Times)

Fig. 16 FE-SEM images of BLT thin film by CMP process pressure.



(a) 4.9kPa



(b) 29.4kPa

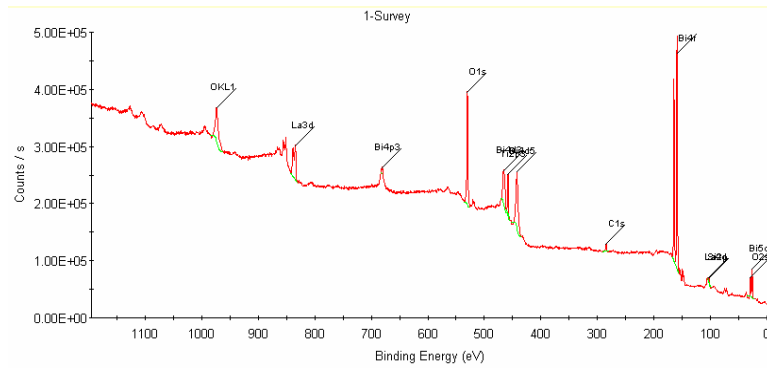
Fig. 17 EDS analysis by pressure.

2. BLT 박막의 XPS를 이용한 표면분석

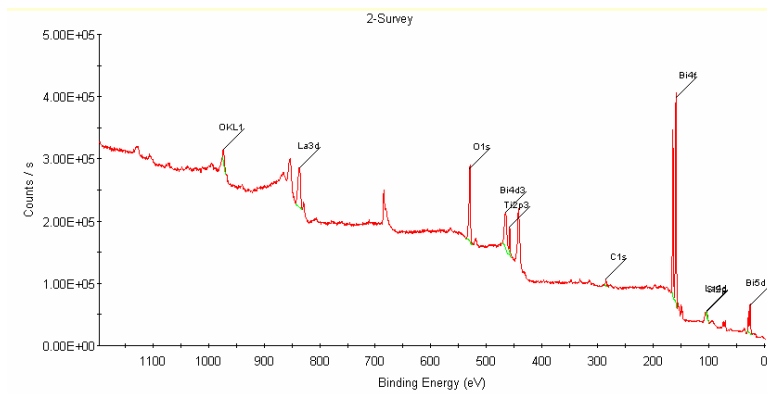
XPS는 시료표면으로부터 10nm의 깊이에 관한 정보를 얻을 수 있는 표면 분석 장비로 시료 표면에 X-선 및 전자빔을 입사하여, 방출하는 광전자들의 운동에너지를 측정함으로써 시료표면의 화학적 조성 및 결합상태에 대한 정보를 분석하는 기기이다. X-선이 에너지원으로 사용되므로 도체 및 반도체 절연박막의 분석이 가능하며, 이온빔으로 표면을 식각하여 깊이에 대한 분포도 측정이 가능하다. XPS의 원리는 전자의 결합에너지보다 큰 X-선을 입사할 때 방출되는 광전자(photoelectron)의 운동에너지를 측정하여 원자 내의 핵과 전자간의 결합에너지로부터 구성 원소의 결합 상태 및 농도를 분석하는 방법이다. 따라서 CMP 공정시 압력 증가에 따른 보다 면밀한 BLT 표면의 화학조성거동을 조사하기 위해 XPS 분석을 수행하였다.

압력변화에 따라 증착된 $\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$ 박막의 XPS wide scan 분석 결과는 그림 18 및 19와 같다. 압력변화에 따른 Bi, La, Ti, Si, C, O의 각각의 성분비는 atomic %로 나타내었다. CMP 전 샘플은 Bi 18.53, La 2.74, Ti 8.23, Si 3.52, C 8.89, O 58.08%를 보였으며, 4.9kPa 샘플은 Bi 17.47, La 3.37, Ti 5.35, Si 14.28, C 8.56, O 50.96%를 보였으며, 29.4kPa는 Bi 18.29, La 2.81, Ti 7.02, Si 3.76, C 10.91, O 57.20%를 보였다. 압력이 증가 할수록 Bi, Si의 함량은 증가하였으며, La의 함량은 감소하고 있다. 이는 앞의 EDS의 결과와 동일한 결과임을 확인할 수 있었다.

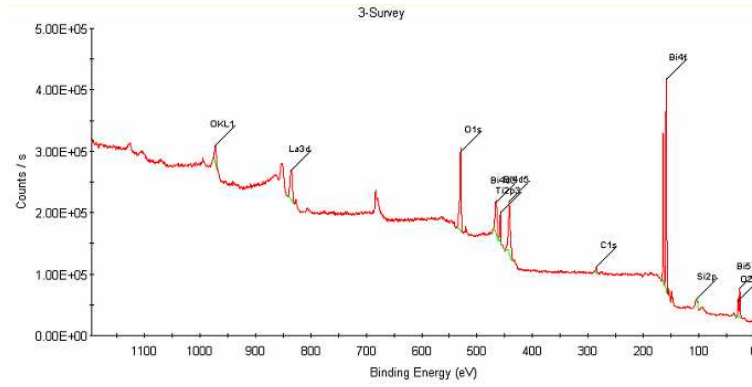
XPS 분석결과, CMP 공정 압력의 변화에 따라서 BLT 표면에서 각각의 원소들이 동일한 비율로 제거되어지지 않고 CMP 공정 압력에 의한 물리적 제거 방식에 민감한 원소가 보다 쉽게 제거되어지는 것을 확인할 수 있었다. 해당 원소들이 동일하지 않은 비율로 제거되어짐에 따라서 BLT 박막의 결정성과 소자 특성에 미치는 영향에 대한 조사가 필요하다.



(a) Before CMP



(b) CMP with 4.9kPa



(c) CMP with 29.4kPa

Fig. 18 XPS wide scan of BLT thin film by CMP process pressure change.

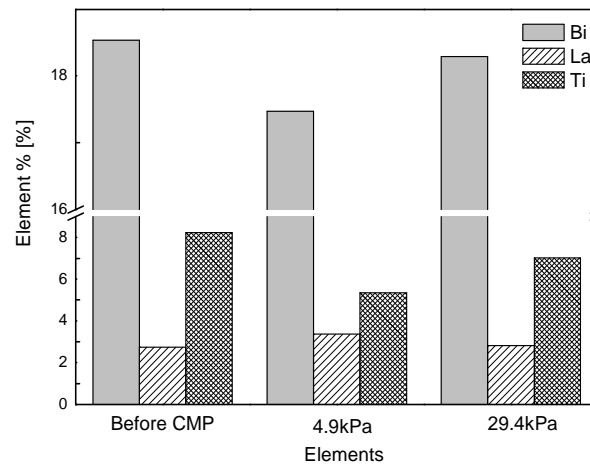


Fig. 19 Elements present of BLT thin film surface after CMP process by pressure change.

3. BLT 박막의 XRD 분석

시편의 결정성과 배향성을 알아보기 위해 X-선 회절 분석을 하였다. 조건은 가속전압과 전류값이 각각 40kV, 30mA, 2θ 는 $10^\circ \sim 65^\circ$ 로 하였다. 그림 20의 (a)는 CMP전, (b)는 4.9kPa, (c)는 29.4kPa 압력으로 CMP 공정 수행 후 박막 결정성을 나타내고 있으며, 모든 조건에서 BLT의 전형적인 페로브스카이트 구조를 보여주고 있다. 그림에서 (0016) 피크 값이 압력이 높아질수록 급격히 감소하는 것을 볼 수 있다.

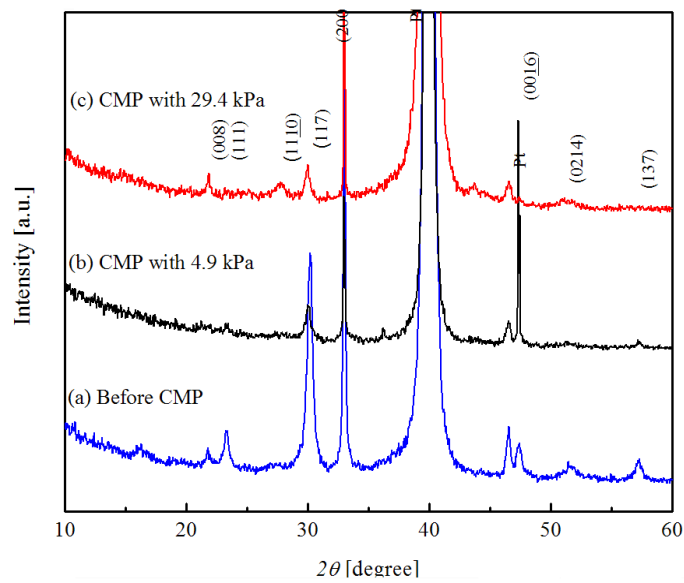


Fig. 20 X-Ray diffraction of BLT thin film by CMP process pressure.

4. BLT 박막의 이력특성 곡선 분석

Pt/Ti/Si 기판위에 BLT 박막을 증착시킨 후, 상부전극은 스퍼터링 방법에 의하여 shadow mask를 사용하여 0.5x0.5mm 크기를 갖는 Au 전극을 증착하며, 하부전극은 Pt를 증착하여 MFM capacitor 구조를 형성하였다. 이는 강유전체 BLT의 CMP 공정 압력에 따른 BLT 박막의 P-V 이력특성을 알아보기 위한 것으로 그림 21에서 확인할 수 있다. P-V 이력특성 곡선은 -20v ~ +20v까지 전압을 변화시켜가며 1kHz에서 각 각 측정하였다. 4.9kPa에서는 Pr값은 $5.57 \mu\text{c}/\text{cm}^2$, Vc값은 2.96V를 나타내고 있으며 29.4kPa에서는 Pr값은 $1.77 \mu\text{c}/\text{cm}^2$, Vc값은 7.12V를 나타내고 있다. P-V 특성은 CMP 공정 중 압력이 증가할수록 Pr값이 감소하는 형태를 보여주고 있다. 4.9kPa의 자기이력곡선은 BLT 박막의 전형적인 이력곡선의 형태를 보이고 있다. 그러나 29.4kPa의 이력곡선은 CMP 공정 중 압력이 높아지면서 XRD 및 XPS 결과를 통해서 확인하였던 구조적 또는 화학적인 변화로 인하여 P-V 이력특성이 감소한 것으로 판단된다. 또한 4.9kPa에서 CMP 공정을 수행한 시료의 P-V 특성은 close-shape을 보이지만 29.4kPa로 수행한 시료의 P-V 특성은 open-shape을 보이며 포화되지 않았는데, 이는 구조적, 화학적 결함에 의해 누설전류가 증가함에 기인한 것으로 판단된다.

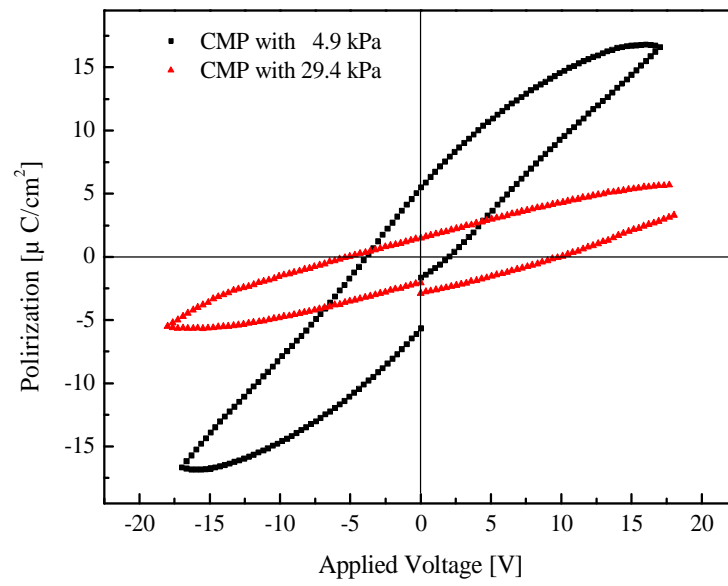


Fig. 21 P-V characteristics analysis.

5. BLT 박막의 누설전류 특성 분석

누설전류란 박막의 단위면적당 누설되는 전류의 양으로 정의되며, 물질의 고유한 전도특성과 제조된 박막의 균일성에 관련된 특성이다. 두 전극 사이에 전압을 걸어줄 때 누설전류는 작을수록 바람직하다.

그림 22은 BLT 박막을 공정 압력의 변화에 따라서 CMP 공정을 수행한 이후에 제작한 MFM 구조 소자의 current-voltage 특성을 나타내고 있다. 4.9kPa의 경우 전형적인 I-V 특성을 보이며, 인가전압 +3v에서의 누설전류는 1×10^{-6} A/cm²이었다. 절연파괴(dielectric breakdown)는 측정범위인 -10v ~ +10v 영역에서 발생하지 않았으며, 측정범위 내에서 누설전류는 10^{-8} ~ 10^{-5} A/cm² 범위에 있었다.

29.4kPa의 경우 인가전압 +3v에서의 누설전류는 5×10^{-7} A/cm²이었으나, 인가전압 +4v부터 누설전류는 급격하게 증가하고 있다. 또한 I-V 특성은 전압 극성에 따라 negative bias에서의 누설전류는 측정범위 내에서 10^{-8} ~ 10^{-3} A/cm² 범위에 있으나, positive bias에서는 10^{-8} ~ 10^{-4} A/cm² 범위에 있었다. 누설전류의 발생 원인은 CMP 공정 후 BLT 박막의 구조상 또는 화학적 손상으로 인한 것으로 판단된다.

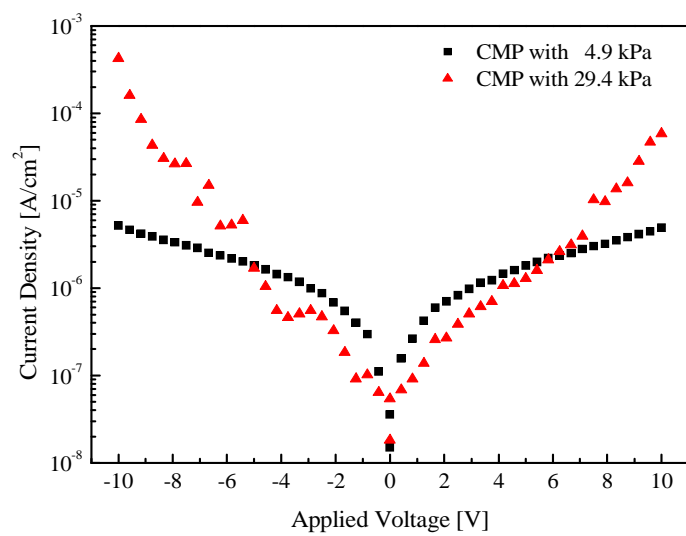


Fig. 22 I-V characteristics analysis.

IV. 결론

본 논문에서는 CMP 공정 압력 변화가 BLT capacitor의 전기 특성에 미치는 영향에 대해 연구하였으며, 본 연구 그룹이 기존에 연구 결과를 보고한 플라즈마 damage가 없이 수직형상을 실현할 수 있는 BLT-CMP 방법에 대하여 연구를 수행하였다. 본 연구 그룹에서 보고한 기존의 논문에 의하면 CMP 공정 압력이 증가할수록 높은 연마율과 비균일도를 확보할 수 있었으나, 강유전체 CMP를 통해서 소자를 제작하지 못하였기 때문에 제작되어진 소자의 CMP 공정 조건에 따른 영향을 파악할 수 없었다.

본 연구에서는 CMP 공정 압력을 변화시키면서 BLT 박막의 표면 형상, 표면 조성 거동, 구조적 변화 및 제작된 MFM형 capacitor의 P-V, I-V 특성 분석을 수행하였다.

CMP 공정 압력이 증가할수록 BLT 박막의 표면에 돌기와 같은 형상이 생성되어짐을 확인하였다. EDS 및 XPS 표면 조성 분석 결과 CMP 공정 압력이 증가할수록 Bi는 상대적인 비율이 증가하고, La는 상대적인 비율이 감소함을 알 수 있었다. 이는 CMP 공정 압력이 증가함에 따라 기계적(물리적) 제거 메커니즘의 영향을 더욱 많이 받는 원소들이 비교적 쉽게 제거되어지는 이유에 기인한 것으로 판단된다. 이렇게 CMP 공정 압력의 변화에 따라서 BLT 박막의 화학적 조성에 변화가 발생하였고, XRD 분석 결과 모든 조건에서 페롭스카이트 구조를 보여주고 있지만 CMP 공정 압력이 증가함에 따라서 구조적 변화도 역시 발생함을 확인하였다. 이와 같이 CMP 공정 압력이 변화함에 따라서 BLT 박막의 화학적/구조적 변화가 발생함을 발견하였다.

상기 조건에서 제조된 BLT 박막에 상부 전극을 증착하여 P-V 및 I-V 특성을 관찰하였을 때, 29.4kPa의 높은 공정 압력으로 제작한 capacitor의 경우에는 불완전한 shape뿐만 아니라 낮은 잔류분극값과 높은 항전계값을 보이는 반면에 4.9kPa의 낮은 공정 압력으로 제작한 capacitor의 경우에는 완전한

shape 및 높은 잔류분극값과 낮은 항전계값을 보이는 우수한 특성을 확보할 수 있었다. 또한 29.4kPa로 제작한 capacitor의 경우에는 높은 누설전류 특성을 보였으나, 4.9kPa로 제작한 capacitor의 경우에는 낮고 안정적인 누설전류 특성을 확보할 수 있었다. 따라서 이전 연구에서 우수한 수율을 확보할 수 있는 높은 연마율과 낮은 비균일도를 갖는 BLT-CMP 공정 조건인 높은 공정 압력이 CMP damascene 공정을 활용한 BLT 강유전체 소자 제작 시에는 화학적/구조적 결함을 발생시킴에 따라서 실제 소자 제작에는 적용할 수 없음을 밝혀냈다. 반면에 낮은 공정 압력에서는 비교적 제작 수율은 떨어질 수 있으나, 안정적이고 우수한 소자 특성을 확보할 수 있었다.

본 연구를 통해서 플라즈마 damage 없고 수직 형상의 구현이 가능하며, 우수한 잔류분극 및 항전계 특성을 확보하였고, 낮고 안정적인 누설전류 특성을 가지며, CMP 공정 damage를 제거할 수 있는 최적의 공정 조건을 확보할 수 있었다.

참고 문헌

- [1] Y.J. Song, H.J. Joo, S.K. Kang, H.H. Kim, J.H. Park, Y.M. Kang, E.Y.Kang, S.Y.Lee, K. Kim, *Microelectron. Reliab.* 45, pp.1150-1153 (2005).
- [2] D.Bondurant, F. Gnadinger, *IEEE Spectrum* 26, 30 (1989).
- [3] J.F Scott and C. A. Paz de Araujo, "Ferro-electric memories", *Science* 246, 1400 (1989).
- [4] C. A. Araujo, L. D. McMillan, B. M. Melnick, J. D. Cuchjaro and J. F. Scott, *Ferroelectrics* 104, 241(1990).
- [5] D. Wu, A. Li, T. Zhu, Z. Liu, and N. Ming, Effect of Processing on The Characteristics of SrBi₂Ta₂O₉ Films Prepared by Metalorganic Decomposition, *J. Appl. Phys.*, 88, 5941 (2000).
- [6] 김혜인, 윤진구, 정지원, "강유전체 Bi_{3.25}La_{0.75}Ti₃O₁₂ 박막의 증착에 대한 결정화 공정의 영향", *J.Korean Ind. Eng. Chem.*, Vol. 14, No. 3, pp. 287-290. (2003).
- [7] Di Wu, Aidong Li, and Tao Zhu "Ferroelectric properties of Bi_{3.25}La_{0.75}Ti₃O₁₂ thin films prepared by chemical solution deposition", *J. Appl. Phys.*, Vol. 88, pp. 5941, (2001).
- [8] K. Amanuma, T. Hase, and Y. Miyasaka, "Preparation and ferroelectric properties of SrBi₂Ta₂O₉ thin films", *Appl. Phys. Lett.*, Vol. 66, pp. 221, (1995).

- [9] 이재형, 문병무, 고종혁, 구상모, "PLD 기법에 의한 강유전체 SBT/YBO/LaAlO₃ 헤테로 박막의 제작 및 특성", 전기전자재료학회논문지, 12권, 2호, pp. 165, (1999).
- [10] B. H. Park, S. J. Hyun, C. R. Moon, B. D. Choe, J. Lee, C. Y. Kim, W. Jo, and T. W. Noh, "Imprint failures and asymmetric electrical properties induced by thermal processes in epitaxial Bi₄Ti₃O₁₂ thin films", J. Appl. Phys., Vol. 84, pp. 4428, (1998).
- [11] 김태훈, 김병호, 송석표, "MOD 법으로 제조한 강유전성 SBT 박막에서 하부전극이 유전 및 전기적특성에 미치는 영향", 전기전자재료학회 논문지, 13권, 8호, pp. 694, (2000).
- [12] S. E. Yun, S. G. Lee, S. M. Park, Y. H. Lee, "Structural properties of PZT multilayer thick films of improved densification" Proceeding of the 37th the KIEE Summer Annual Conference, Vol. pp. 1705-1706(2006).
- [13] M. Node, H. Sugiyama and M. Okuyama, Jpn. Phys. 38, 5432(1999).
- [14] N. H. Kim, Y. J. Seo, P. J. Ko, W. S. Lee, "Polishing Mechanism of TEOS- CMP with High-temperature Slurry by Surface Analysis" Transactions on Electrical and Electronic Materials, Vol. 6, No. 4, August (2005).
- [15] S. H. Shin, P. J. Ko, N. H. Kim, W. S. Lee, "A Study on CMP Mechanism of Bi_{3.25}La_{0.75}Ti₃O₁₂(BLT) Thin Films" Proceeding of the 37th the KIEE Summer Annual Conference, Vol. pp. 1450-1451 (2006).
- [16] C.J. Brinker and G.W. Scherer, "Sol-gel Science," Wiley, New-York, (1990).

- [17] I.I. Hench and D.R. Ulrich, "Science of Ceramic Chemical Processing," Wiley, New-York, pp. 52-64 (1990).
- [18] Y. Igarashi, K. Tani, M. Kasai, K. Ashikaga, T. Ito, Jpn.J.Appl.Phys.39. 2083 (2000).
- [19] N.H. Kim, P.J. Ko, Y.J. Soo, W.S. Lee, Thin Solid Films 504. 261(2006).
- [20] Nam-Hoon Kim, Pil-Ju Ko, Gwon-Woo Choi, Yong-Jin Seo, "Chemical Mechanical Polishing (CMP) Mechanisms of Thermal SiO₂ Film after High-Temperature Pad Conditioning" Thin Solid Films , Vol. 1, pp 166-169 (2006).
- [21] P. Singer, Semiconductor International, Vol. 6, pp. 90, (1998).
- [22] 박기현, 박범영, 김형재, 정해도, "연마불균일도에 영향을 미치는 패드 표면특성에 관한 연구" Journal of the Korea Institute of Electrical and Electronic Material Engineers, Vol. 19, No. 4, pp.309,(2006).
- [23] S. H. Li, "Chemical Mechanical Polishing in Silicon Processing", Academic Press, pp. 186, (2000).
- [24] Yong-Jin Seo, Woo-Sun Lee, Sang-Yong Kim, Jin-Sung Park, Eui-Goo Chang, J. Mater. Sci.-Mater. El. 12, 411 (2001).
- [25] Y. J. Seo, W. S. Lee, J. S. Park and S. Y. Kim, Jpn. J. Appl. Phys. 42, 6396 (2002).

- [26] Chul-Bok Kim, Sang-Youg Kim, So-Young Jeong and Yong-Jin Seo, "Global Planarization of Direct STI-CMP Process using High Selectivity Slurry", 2001 Proceedings 18th International VLSI Multilevel Interconnection Conference (VMIC), September 24-27, 2001, Santa Clara, CA, USA. pp. 230-224, (2001).
- [27] K Kikuta et al, "Aluminum-Germanium-copper Multi level Damascene Process using Low Temperature Reflow sputtering and Chemical Mechanical Polishing," IEDM, pp.101, (1994).
- [28] S. Kishii, R. Suzuki, A. Ohishi and Y. Arimoto : IEDM Technical Digest, pp.465, (1995).
- [29] P. Singer, Semiconductor International 17, 48 (1994).
- [30] I. Kim, K. Murella, and J. Schlueter, Proceedings of the 2nd International CMP-MIC Conference, 335 (1997).
- [31] I. All, and S. R. Roy, Solid State Technology 40, 185 (1997).
- [32] M. E. Gross, C. Link, W. L. Brown, R. Drese, Solid State Tech., 42, 8, 47(1999).
- [33] M. M. Chow, J. E. Cronin, W. L. Guthrie, W. Kaanta, B. Luther, W. J. Patrick, K. A. Perry, and C. L. Standley, US Patent, No.4, 789, 648 (6 Dec.1988).
- [34] C. K. Hu and J. M. E. Harper, Mater. Chem. Phys., 52, 5 (1998).

- [35] 권솔일, 김종진, 장민수 “강유전체의 입문” (2000)
- [36] N. Setter and E. L. Colla, *Ferroelectrics Ceramics*, Berlin, Birkhauser, 53, 189 (1993).
- [37] M. E. Lines and A. M. Glass, "Principle and Application of Ferroelectrics and Related Materials" Oxford University Press, 28, (1982).
- [38] B. Easterp, J. MacWilliams-Brooks, J. Humes and S. Mitra, "A demonstration of low voltage performance, from scaled PLZT films on a fully integrated 64k FRAM," *Integrated Ferroelectrics*, 27, pp. 315-324 (1999).
- [39] R. E. Jones, JR P. Zurcher, P. Chu, D. J. Taylor, S. Zafar, B. Jiang and S. J. Gillespie, "Performance of SrBi₂Ta₂O₉ thin for low-voltage, non-volatile memory application," *Integrated Ferroelectrics*, 15, pp. 199-210 (1997).
- [40] K. Amanuma, T. Kunio and Joe Cuchiario, "SrBi₂Ta₂O₉ Capacitors for Mega-bit Ferroelectric Non-volatile Memory," *Mat. Res. Soc. Symp. Proc.*, 433, pp. 85-89 (1996).
- [41] K. N. Kim, "Technology perspective for 1T/1C FRAM," *Integrated Ferroelectrics*, 25, pp. 149-167 (1999).
- [42] C. D. Gutleben, "The Evaluation of SrBi₂Ta₂O₉ Films for Ferroelectric Memories," *Mat. Res. Soc. Symp. Proc.*, 433, pp. 109-118 (1996).

- [43] B. Aurivillius, *Arkiv Kemi.*, 1, pp. 499 (1949).
- [44] R. E. Newnham, R. W. Wolfe and J. F. Dorrian, "Structural basis of ferroelectricity in the bismuth titanate family," *Mater. Res. Bull.*, 6(10), pp. 1029 (1971).
- [45] D. Dimos, P. Claudhari, J. Mannhart and F. K. Legoues, "Orientation dependence of grain-boundary critical currents in $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$ bicrystals," *Phys. Rev. Lett.*, 61, pp. 219 (1988).
- [46] H. Buhay, S. Sinharoy, W. H. Kasner and M. H. Francombe "Pulsed laser deposition and ferroelectric characterization of bismuth titanate films", *Appl. Phys. Lett.*, 58, pp.1470 (1991)
- [47] R. W. Wolfe and R. E. Newnham, "Lanthanum doped calcium titanates: synthesis, crystal structure, thermal expansion and transport properties," *J. Electrochem. Soc.*, 116, pp. 832 (1969).
- [48] T. Takenaka and K. Sakata, *Inte. Ferroelec.*, 38, pp. 769-771 (1981).
- [49] B. H. Park, S. J. Hyun, S. D. Bu and T. W. Noh, "Effect of La doping on structural and electrical properties of ferroelectric $\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$ thin films prepared by chemical solution deposition," *Appl. Phys. Lett.*, 74, pp. 1907-1909 (1999).
- [50] B. S. Kang, B. H. Park, S. D. Bu, S. H. Kang and T. W. Noh, "Dielectric and ferroelectric properties of in-plane lead lanthanum titanate thin films," *Appl. Phys. Lett.* 75, pp. 2644 (1999).

[51] B. H. Park, B. S. Kang, S. D. Bu, T. W. Noh, J. Lee and W. Jo,
"Lanthanum-substituted bismuth titanate for use in non-volatile
memories," *Nature*, 401, pp. 682 (1999).

[52] 문종수, 경남대학교출판부, “졸겔법의 과학” (1998)

감사의 글

2년간의 대학원 생활은 저에게 무척이나 많은 것을 남겨주었습니다. 그렇지만 막상 논문을 쓰고, 수정을 하고, 논문 심사를 하는 동안 모자란 것만 자꾸 눈에 보이고 조금만 더 했으면 하는 생각을 계속 하게 됩니다.

그 동안 부족했던 저를 옆에서 지켜보고 지도해주신 많은 분들께 감사의 말씀을 드립니다.

우선 이 논문을 쓰기까지 지도와 관심을 아끼지 않으신 이우선 교수님께 먼저 감사의 말씀을 드립니다. 논문 심사를 위해 수고해 주신 오금곤, 백형래 교수님 및 전기공학과 모든 교수님들께 감사드립니다.

대학원 생활동안 옆에서 많은 조언을 해주신 물성실험실의 최권우 선배님, 고필주 선배님께 감사드리며, 논문을 마무리하기까지 항상 작은 부분까지 도와주신 김남훈 박사님께 감사드리며, 지난 2년 동안 희노애락을 같이하면서 저에게 많은 도움을 주신 물성실험실, 전력전자실험실, 전력계통실험실의 선배님 및 후배들에게 감사드립니다. 그리고 저를 위해 자신의 일처럼 도와준 한상준, 이영균에게도 고마운 마음을 전합니다.

마지막으로 철없는 아들을 아낌없이 지원해주시고 언제나 믿어주시며 사랑해주신 부모님. 아직 사랑한다고 감사하다고 제대로 이야기도 못 드렸지만 깊은 감사를 드립니다. 언제나 옆에서 힘이 되어주신 모든 분께 감사드리며 앞으로 더 열심히 살겠습니다.

2007. 12. 정 판 검 올림

저작물 이용 허락서

| | | | | | |
|------|--|-----|----------|-----|----|
| 학 과 | 전기공학과 | 학 번 | 20067070 | 과 정 | 석사 |
| 성 명 | 한글: 정 판 검 한문: 鄭 判 儉 영문: JUNG, PAN-GUM | | | | |
| 주 소 | 광주광역시 북구 오치동 1032-7번지 | | | | |
| 연락처 | E-MAIL : my_jung@naver.com | | | | |
| 논문제목 | 한글 : CMP 압력 변화에 의한 BLT capacitor의 전기적 특성 영어 : Effects of CMP Pressure on Electrical Properties of BLT capacitors | | | | |

본인이 저작한 위의 저작물에 대하여 다음과 같은 조건아래 조선대학교가 저작물을 이용할 수 있도록 허락하고 동의합니다.

- 다 음 -

1. 저작물의 DB구축 및 인터넷을 포함한 정보통신망에의 공개를 위한 저작물의 복제, 기억장치에의 저장, 전송 등을 허락함
2. 위의 목적을 위하여 필요한 범위 내에서의 편집·형식상의 변경을 허락함. 다만, 저작물의 내용변경은 금지함.
3. 배포·전송된 저작물의 영리적 목적을 위한 복제, 저장, 전송 등은 금지함.
4. 저작물에 대한 이용기간은 5년으로 하고, 기간종료 3개월 이내에 별도의 의사 표시가 없을 경우에는 저작물의 이용기간을 계속 연장함.
5. 해당 저작물의 저작권을 타인에게 양도하거나 또는 출판을 허락을 하였을 경우에는 1개월 이내에 대학에 이를 통보함.
6. 조선대학교는 저작물의 이용허락 이후 해당 저작물로 인하여 발생하는 타인에 의한 권리 침해에 대하여 일체의 법적 책임을 지지 않음
7. 소속대학의 협정기관에 저작물의 제공 및 인터넷 등 정보통신망을 이용한 저작물의 전송·출력을 허락함.

동의여부 : 동의(O) 반대()

2007년 2월 25일

저작자: 정 판 검 (서명 또는 인)

조선대학교 총장 귀하