

2008년 2월
석사학위논문

CMP 세정공정에 의한 PZT 박막 캐패시터의 전기적 특성 연구

A Study on Electrical Characteristics by PZT Thin
Film Capacitor of CMP Cleaning Process

조선대학교 대학원

전기공학과

전영길

CMP 세정공정에 의한 PZT 박막 캐패시터의 전기적 특성 연구

A Study on Electrical Characteristics by PZT Thin
Film Capacitor of CMP Cleaning Process

2008 년 2 월

조선대학교 대학원

전기공학과

전영길

CMP 세정공정에 의한 PZT 박막 캐패시터의 전기적 특성 연구

지도교수 이우선

이 논문을 공학 석사학위신청 논문으로 제출함.

2007년 10월

조선대학교 대학원

전기공학과

전영길

전영길의 석사학위 논문을 인준함.

위원장 조선대학교 교수 _____ 印

위 원 조선대학교 교수 _____ 印

위 원 조선대학교 교수 _____ 印

2007 년 11 월

조선대학교 대학원

목 차

ABSTRACT

I . 서 론	1
II . 이론적 배경	3
A. 강유전체 특성	3
B. 강유전체 재료	5
1. SBT	5
2. BLT	6
3. PZT	7
C. 강유전체 박막 제조기술	9
D. CMP 공정의 원리	11
E. CMP 세정공정	14
F. CMP 세정공정 후 박막 및 소자 특성 평가 방법	16
1. SEM	16
2. EDX	17
3. XPS	18

III. 실험 방법	20
A. PZT 제조	20
B. CMP 공정	21
C. 세정공정	22
IV. 결과 및 고찰	23
A. 표면현상 분석	23
B. 표면조성 분석	26
1. EDX 분석	26
2. XPS 분석	28
C. 박막 및 소자 특성 분석	32
1. I-V 특성곡선 분석	32
2. P-V 특성곡선 분석	35
V. 결론	38

참고 문헌

List of table

table 1. list of cleaning process 22

List of figures

fig. 1 P-V hysteresis loop of ferroelectric	4
fig. 2 perovskite structure of ABO_3 type	8
fig. 3 structure of CMP equipment	13
fig. 4 FE-SEM equipment image	16
fig. 5 EDX equipment image	17
fig. 6 X-ray Photoelectron Spectroscopy(XPS)	19
fig. 7 experiment process flowchart	20
fig. 8 structure images on the section of PZT thin films	21
fig. 9 FESEM images on the section of PZT thin films	21
fig. 10 FESEM images on the surface of PZT thin films after a CMP process.	25
fig. 11 Surface analysis of PZT thin films and element percent of Si after CMP cleaning process through EDX analysis	27

fig. 12 XPS analysis on the surface of PZT thin films after CMP cleaning process conditions	28
fig. 13 XPS narrow scan analysis on the surface of PZT thin films after a CMP process with each cleaning process conditions. ..	31
fig. 14 An XPS atomic percentage of Si on the surface of the PZT thin films as a function of the post-CMP cleaning process. ..	31
fig. 15 Current-voltage (I-V) characteristics of PZT thin film capacitors fabricated by the damascene process without the post-CMP cleaning process.	32
fig. 16 Current-voltage (I-V) characteristics of PZT thin film capacitors fabricated by the damascene process with SC-1 and ultrasonic cleaning	33
fig. 17 Current-voltage (I-V) characteristics of PZT thin film capacitors fabricated by the damascene process with SC-1, DHF, and ultrasonic cleaning.	34
fig. 18 Ferroelectric hysteresis loops of PZT thin film capacitors fabricated by the damascene process without the post-CMP cleaning process	35
fig. 19 Ferroelectric hysteresis loops for PZT thin film capacitors fabricated by the damascene process with SC-1 and ultrasonic cleaning.	36
fig. 20 Ferroelectric hysteresis loops for PZT thin film capacitors fabricated by the damascene process with SC-1, DHF, and ultrasonic cleaning.	37

ABSTRACT

A Study on Electrical Characteristics by PZT Thin Film Capacitor of CMP Cleaning Process

Jun, Young - Kil

Advisor : Prof. Lee, Woo-Sun , Ph. D.

Department of Electrical Engineering,

Graduate School of Chosun University

This paper, applied a chemical mechanical polishing (CMP) process to fabricate a ferroelectric $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ (PZT) capacitor instead of using a plasma etching process for the vertical profile without plasma damage. The post-CMP cleaning process was very important in this CMP process. In this study, I investigated the effects of the post-CMP cleaning process on the ferroelectric properties of a PZT thin film capacitor. I proposed an optimized post-CMP cleaning process using a SC-1 chemical, DHF treatment, and an ultrasonic cleaning process. The slurry residues on the surface of the PZT thin films were removed. The polarization-voltage (P - V) characteristics showed the typical hysteresis loop of PZT thin films after a post-CMP cleaning process with the optimized conditions while the ferroelectric characteristics could not be observed in the specimen without the post-CMP cleaning process. The remanent polarization (P_r) and coercive voltage (V_c) of the PZT thin films after the post-CMP process with the optimized condition were $17.092 \mu\text{C}/\text{cm}^2$ and 3.252 V , respectively.

1. 서론

세계 반도체 산업은 급속도로 발전해왔으며, 각종 분야에 걸쳐 대용량화뿐만 아니라 다기능화, 고속화하는 시스템의 요구에 부합하기 위한 제품들이 개발되고 있다. 이에 따라 소형화, 집적화, 고속화 및 고신뢰성이 요구되는 새로운 특성의 강유전소자에 대한 관심이 집중되고 있다.

강유전소자의 제작을 위해서는 강유전체 박막 성장이 필요한데 $\text{SrBi}_2\text{Ti}_2\text{O}_9$ (SBT), $(\text{Ba,Sr})\text{TiO}_3$ (BST), $\text{Pb}(\text{Zr,Ti})\text{O}_3$ (PZT) 등의 다양한 강유전체 물질들이 있다. 이중 강유전체 재료로 널리 연구되는 PZT 박막은 박막 제조에 실리콘 공정과의 적합성이 우수하고, 항전력이 낮으며 잔류 분극량이 크고, 높은 유전율을 가지고 있어 FRAM(ferroelectric random access memory) 메모리소자에 가장 적합하다고 알려져 있다.^[1] 강유전체 재료를 박막화하는 기술인 졸-겔 공정은 저온에서 용액 내의 화학 반응에 의하여 무기 망상구조를 합성하는 공정으로 생성 분체의 순도, 입자의 크기, 모양 및 입자의 응집 현상 등의 조절이 가능하며, 복잡한 조성을 지닌 분말을 합성할 때 원자 규모의 화학적 균질성을 얻을 수 있으며, 첨가제의 첨가가 용이하고 고상 반응을 이용한 분말에 비해 분쇄가 덜 요구되고 미립의 분말은 반응성을 향상시켜 비교적 낮은 온도에서 성형체의 소결을 가능하게 하는 등 여러 장점이 있어 졸-겔 공정을 실시하여 PZT 박막을 형성하였다.^[2] 기존에 플라즈마 식각 공정에 의해서 강유전체 캐패시터의 형성 연구가 진행되어 왔으나, 대부분의 강유전체 물질들이 플라즈마 식각에 의해서 패턴 형성이 어려움이 보고되었다. 특히, 플라즈마 식각에 의하여 수직 형상으로 패터닝 되지 못하고 슬로프(slope)가 만들어진 강유전체 측벽은 소자의 집적화를 저해 하는 것뿐만 아니라 플라즈마에 의해 대전되는 플라즈마 손상이 발생됨이 보고되었다. 따라서 플라즈마 식각을 대체할 수 있는 새로운 공정으로 강유전체 물질을 이용한 강유전체 캐패시터 제조의 필요성이 강력히 요구되어지고 있다. 미국

IBM사는 일찍이 CMP(chemical mechanical polishing)라는 화학적 복합연마에 의한 평탄화법을 제안·검토하여 왔다.^[3] 기존에 반도체 소자 제조 공정에 있어서 광역 평탄화 공정에 주로 사용되어졌던 CMP 공정을 damascene 공정을 활용하여 PZT 강유전체 물질의 캐패시터 제조 공정에 적용하고자 하는 연구가 본 연구 논문에서 최초로 시도 되었고, 플라즈마 식각 기술을 대체하여 강유전체 캐패시터 제조를 가능하게 할 수 있는 우수한 특성을 확보하였다. 하지만, 이러한 CMP기술이 반도체공정이 매우 유망한 기술임에는 틀림없으나, 슬러리 내에 함유되어있는 불순물이나 슬러리 잔류물이 남아서 웨이퍼 표면에 마이크로 스크래치 및 내부 연결 박막의 단락들을 다량으로 발생시켜 수율 저하 등 반도체 소자의 미세화가 진행됨에 따라 수율과 신뢰성측면에서 패턴의 미세화로 인해 CMP 공정에 있어서 연마 후 공정상 발생한 파티클 (particle)과 금속입자와 같은 불순물, 그리고 슬러리의 잔류물에 대한 제어가 매우 중요시 되었다. 반도체의 파티클은 일반적으로 디자인 룰의 1/2 즉, 예를 들면 디자인룰 0.12 μm 에서 파티클 0.06 μm 정도의 관리가 필요하다.^[4-5]

반도체 공정에 있어서 오염물은 크게 분자성, 이온성, 원자성 오염물의 세 가지로 나눌 수 있다. 전형적인 분자성 오염물은 자연산 또는 합성된 왁스류, rinse 그리고 기름 등이있다. 이러한 오염물은 주로 기판이 공기중에 노출되어 있거나 플라스틱 또는 다른 용기에 보관되어질 때 발생 될 수 있다.^[6-7]

본 실험에서는 PZT 박막을 이용하여 CMP Damascene 공정을 통하여 강유전 소자를 제조하고, 금속 CMP 공정에 많이 적용되었던 RCA세정 공정을 CMP 공정을 수행한 강유전체에 적용하였다. 다양한 후속 세정 공정을 수행하여 CMP damascene 공정에 의해 생성된 잔류물의 제거 거동을 조사하였다. 특히, 잔류 슬러리가 강유전 소자의 전기적 특성에 미치는 영향에 대해 검토하여 최적의 세정공정 개발과 세정 용액을 개발하여 보다 향상된 강유전 소자의 전기적 특성을 얻고자 한다.

II . 이론적 배경

A. 강유전체 특성

강유전체(ferroelectric)는 1920년 로셀 염이라는 물질에서 처음 그 성질이 발견되어 알려지게 된 물질로서, 1935년에서 1938년 사이에 KDP 계열의 단결정들이 성장되면서 많은 연구가 시작되었다.

강유전체는 외부에서 전기장을 가해주지 않아도 자발적인 전기쌍극자가 발생하는 성질로부터 정의되는데 자발분극은 단위격자 내의 이온이 치우쳐져 발생하는 대칭 중심이 없는 (non-centrosymmetric) 배열을 하는 것으로부터 발생된다. 즉, 특정온도 이하에서 자발적으로 발생한 전기적 쌍극자를 외부에서 전기장을 가하여 정렬시켜주면 분극이 발생하여, 전기장을 제거하여도 분극이 사라지지 않고 남아 있으며, 또한 이 잔존하는 분극에 처음과 반대 방향의 전기장을 인가함으로써 분극방향을 역전시킬 수 있는 재료의 성질을 의미한다. 강유전체는 이러한 특성 이외에도 높은 유전율과 압전특성을 가지고 있는 물질로 많은 연구가 진행되고 있다.^[8]

fig. 1은 강유전체의 P-V 이력곡선(hysteresis loop)를 나타내고 있다. 강유전성 물질의 hysteresis loop에서는 전계를 한 번도 가하지 않은 결정에 전계를 가하면 분극은 1→2→3의 곡선을 따라 증가한다. 다음에 전계의 세기를 감소시키면 $V=0$ 이 되어도 분극은 P_r 만큼 남게 된다. 이 P_r 을 잔류분극(remanent polarization)이라 하며 분극을 0으로 하려면 역방향의 전계를 가할 필요가 있다. $P_r=0$ 이 되는 그때의 전계 E_c 를 항전압(coercive voltage)이라 한다. 역방향으로 더욱 전계를 강하게 하면 fig. 1에서 5→6이 되고 다시 역방향 전압을 차츰 약하게 하고 정 방향으로 전압을 가하면 곡선 6→7→8을 지나 3으로 돌아가는 hysteresis 곡선을 이룬다.

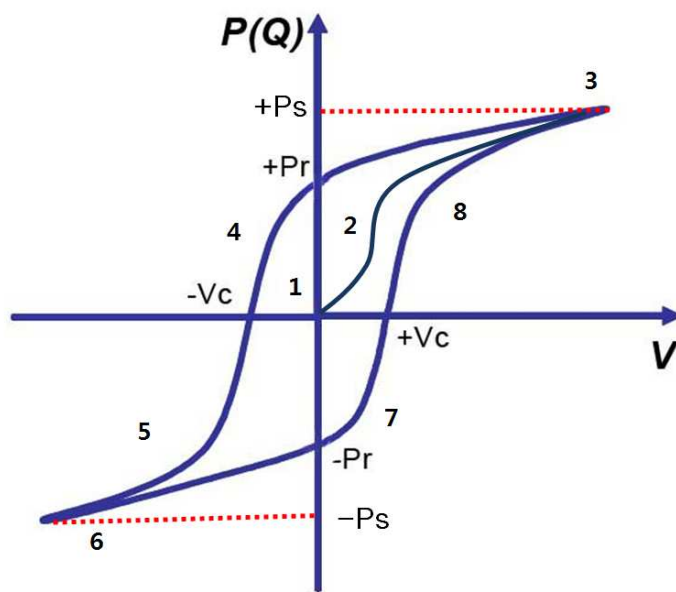


fig.1 P-V hysteresis loop of ferroelectric.

B. 강유전체 재료

1. SBT

SBT는 강유전성이 처음 보고 된 층상 페로브스카이트 구조인 Aurellius 형태 의 물질이다. 비스무스 층상 구조는 소위 multi-layer interstitial compound family에 속하며 비스무스 산화물 층에 대해 교대로 분리된 pseudo-perovskite building block 이 존재하는 구조이며 일반적인 결정 화학적 측면에서 다음과 같이 표기된다.^[9-10] $(\text{Bi}_2\text{O}_2)^{2+}(\text{M}_{n-1}\text{R}_n\text{O}_{3n+1})^{2-}$ 의 일반구조식을 가지는데 여기서 $\text{M}=\text{Ba}, \text{Sr}, \text{Bi}, \text{K}, \text{Na}, \text{R}=\text{Ti}, \text{Nb}, \text{Ta}$ 이고 여기서 $n=2, 4, 5$ 이다. 이는 교대로 된 비스무스 산화물층 사이에 존재하는 산소 8 면체로 된 유사 페로브스카이트 층의 개수를 말한다. 이들의 결정 구조는 유사 정방정계(pseudo-tetragonal) 이다. 이 화합물은 Bi_2O_2 층들 사이에 c 축 방향으로 ABO_3 층이 쌓여있는 구조로 되어 있다. 현재 10^{12} 회 이상의 분극 반전에도 불구하고 피로 현상이 나타나지 않는 SBT 와 같은 물질은 x 값이 2 인 그룹에 속하며 그 결정구조는 $a = 5.531, b = 5.534, c = 24.984 \text{ \AA}$ 인 유사 정방정계이다.^[11]

SBT의 장점으로 SBT 의 결정구조 내에 있는 비스무스 산화물 층이 층들간에 걸리는 응력을 최소화하기 때문에 100nm 이하의 얇은 박막으로 제조할 수 있다는 점이다. 박막을 얇게 제조할 경우 동일한 전압을 인가하였을 때 두께가 얇으므로 더 높은 전기장이 박막에 걸리게 되어 메모리 동작을 위해서 특정 전기장이 요구될 때, 더 낮은 전압을 인가해도 된다는 이점이 있다. 하지만 SBT 는 결정화 온도가 750~850℃로 높다는 단점을 갖고 있다. 이것은 금속전극으로 사용되는 Pt전극의 박리가 일어나고 800℃이상에서는 휘발성이 강한 원소의 휘발에 의해 원하지 않은 pyrochlore 상이 형성되는 등으로 인해 조성의 조절이 어렵게 되며, 특히 고온에서는 반도체공정상에서 증착된 박막들 간에 확산(inter-diffusion)이 일어나서 원하던 구조의 박막을 얻을 수 없게 되는 문제가 발생한다.^[12-14]

2. BLT

BT0 bulk는 높은 잔류분극 $2Pr=60\mu\text{C}/\text{cm}^2$ 과 SBT 박막에서와 같은 $(\text{Bi}_2\text{O}_2)^{2+}$ layer 를 가지고 있다. 그러나 BT0 박막은 페로브스카이트층 내의 산소 불안정성 때문에 피로 현상을 보이고, 또한 BT0 bulk 에서 기대한 것과는 달리 매우 낮은 잔류분극 ($4\sim 8\ \mu\text{C}/\text{cm}^2$) 을 가진다. 따라서 BT0 의 전기적 특성을 개선하기 위해 La 을 소량 첨가하여 perovskite layers의 Bi site에 La 을 치환시킨 물질이 BLT이다. 1996년에 Noboru 는 RF magnetron sputtering 을 이용하여 만든 BLT박막이 좋은 피로특성을 가진다는 결과를 보고하였고, 1999년에 Noh and coworkers 에 의해 PLD 방법을 이용한 BLT 박막에 대한 연구가 이루어졌다. [15]

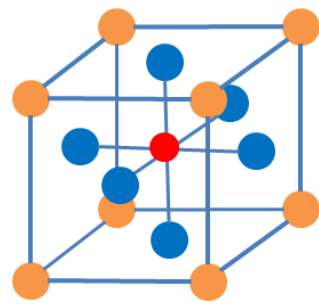
BLT 의 결정구조는 3개의 팔면체 TiO_6 와 Bi_2O_2 층들로 구성되어 있다. $\text{BiTi}_3\text{O}_{12}$ 의 결정구조에서 페로브스카이트 층 내의 A사이트 원소인 Bi 가 $\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$ 내에서 La으로 치환되어 있으며, 능면체 구조(orthorhombic symmetry)에서 매우 조금 어긋난 단사정 구조(monoclinic symmetry)를 가지고 있다. 상온구조에 있어서 유사 능면체(pseudo- orthorhombic) 구조로 취급할 수 있다. 고온 상유전 상태에서 $\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$ 의 격자상수는 a축으로 $5.46\ \text{\AA}$, c축으로 $33.2\ \text{\AA}$ 이고, 온도가 675°C 이하로 떨어지면 a, b축 격자 상수의 분리가 일어나고, 자발분극 벡터는 단사정 구조의 a-c평면에 있으며. a 축에서 약 45° 기울어져 있다. 첨가된 La은 휘발성 이온인 Bi site에 들어가 titanium-oxygen octahedra를 안정화시키고, 잔류분극을 크게 한다. 따라서 La 이 치환된 BLT 박막은 좋은 피로특성과 큰 잔류분극을 가지게 되고, 또한 비교적 낮은 온도에서 결정화가 이루어져 낮은 공정온도에서 ($650\sim 700^\circ\text{C}$) 제조가 가능하다. [16]

3. PZT

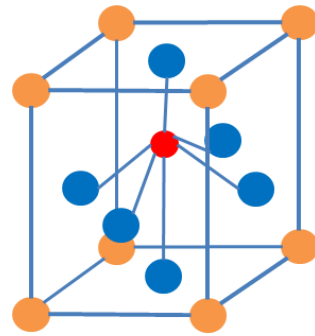
PZT는 대표적인 강유전체 재료중의 하나로 강유전 특성을 가지는 PbZrO_3 와 PbTiO_3 의 완전고용체로서 ABO_3 형의 페로브스카이트(perovskite) 결정구조를 갖는다. Zr과 Ti의 조성에 따라 $20\sim 70 \mu\text{C}/\text{cm}^2$ 의 높은 잔류분극의 값을 갖고, $550\sim 650^\circ\text{C}$ 의 비교적 낮은 온도에서 결정화가 일어난다. [17-19]

Perovskite 결정은 큐리온도(T_c) 이상의 상유전상에서는 fig. 2(a)에서처럼 입방구조(cubic)로 나타나며 큐리온도 이하의 강유전상에서는 fig. 2(b), 2(c)에서처럼 각각 정방정(tetragonal)과 능면정(rhombohedral)인 구조로 나타나고 있다. A는 B에 대해 상대적으로 큰 이온 반경을 갖는 원소이고 O는 산소를 나타낸다. 격자의 구석을 A이온이 차지하고 면심에 O가 있으며 체심에 B 이온이 위치하고 있다. 그러므로 B 이온은 6개의 산소에 둘러 쌓여있는 형태이다.

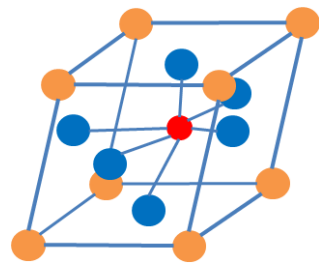
강유전성 재료의 perovskite 구조에서는 unit cell 내의 negative charge들과 positive charge들의 질량중심이 어긋나 있기 때문에 unit cell 각각은 structural polarization이 생기며 이의 벡터적인 합이 전체적인 자발분극으로 나타난다. 상유전체의 경우 결정구조가 입방구조(cubic)상이므로 자발분극은 없게 된다. [20-22] 강유전체 재료로 널리 연구되는 PZT 박막은 박막 제조에 실리콘 공정과의 적합성이 우수하고, 항전력이 낮으며 잔류 분극량이 크고, 높은 유전율을 가지고 있어 FRAM(ferroelectric random access memory) 메모리소자에 가장 적합하다고 알려져 있다.



(a) 입방구조



(b) 정방구조



(c) 능면구조



fig.2 perovskite structure of ABO_3 type

C. 강유전체 박막 제조기술

강유전체 재료를 박막화하는 기술은 기존의 박막화 기술을 그대로 적용할 수가 있으며 현재 실용화되거나 개발되고 있는 박막화 방법은 전자빔(electro-beam)증착법, 레이저 증발(laser ablation)법, 스퍼터링법 등의 물리적 방법과 졸-겔(sol-gel)법, MOCVD(metal organic chemical vapor deposition)법, 열분해(pyrolysis)법 등의 화학적 방법이 있다.

이 중 Sol-gel법은 선택된 조성을 가지는 다성분계 용액을 dip coating 법이나 spin-coating법을 이용하여 기판위에 도포한 후 건조와 최종적인 반응을 거쳐 원하는 조성과 특성을 지닌 박막을 제조하는 방법이다. sol-gel법은 sputter와 같은 장치의존성이 큰 물리적 증착법과는 달리 미량의 조성조절이 용이하고 균일한 박막의 제조가 가능하며 저온소성 및 제조원가 경감 등의 많은 장점을 가지고 있다.

PZT 코팅용액으로부터 박막을 제조할 경우 필연적으로 가수분해나 축합반응이 일어나는데 사용되는 목적에 따라 반응속도를 제어할 필요가 있다. 특히, Pb계 강유전성 박막의 경우에는 출발물질로 전이금속 알콕사이드를 사용하기 때문에 가수분해와 중축합반응이 매우 빠르게 일어나 sol의 안정성에 심각한 영향을 미치는데 이를 조절하기 위하여 일반적으로 착화제를 첨가하거나 촉매를 사용하여 안정성을 도모한다.

Sol-gel법으로 제조된 박막은 코팅 후에 건조 및 열처리 과정을 거치는데 이 공정은 박막의 결정성에 큰 영향을 미친다. 건조는 코팅 후 유기용매 및 잔존 유기물을 연소시켜 제거하고 최종적으로 비정질상의 무기질 박막을 높은 온도에서 결정화시키는 공정이다. Sputtering법이나 CVD(chemical vapor deposition)와 같은 진공 증착법은 증착과 동시에 박막의 결정화가 일어나지만 sol-gel법은 사후 열처리에 의해서만 박막을 결정화시킬 수 있다. 이때 박막의 손실이 일어날 수 있으므로 빠른 시간 안에 열처리를 수행해야 한다.

졸-겔 공정은 저온에서 용액 내의 화학 반응에 의하여 무기 망상구조를 합성하는 공정으로 생성 분체의 순도, 입자의 크기, 모양 및 입자의 응집 현상 등의 조절이 가능하며, 복잡한 조성을 지닌 분말을 합성할 때 원자 규모의 화학적 균질성을 얻을 수 있으며, 첨가제의 첨가가 용이하고 고상 반응을 이용한 분말에 비해 분쇄가 덜 요구되고 미립의 분말은 반응성을 향상시켜 비교적 낮은 온도에서 성형체의 소결을 가능하게 하는 등 여러 장점이 있어 졸-겔 공정을 실시하여 PZT 박막을 형성하였다.

D. CMP 공정의 원리

CMP 공정기술은 장비, 소모자재(consumable), metrology tool 등의 기술이 결합되어 이루어지며, 말 그대로 화학적 반응과 기계적 반응이 결합되어 일어난다.^[23-26] 화학적 반응은 플레이튼에 부착된 고분자 물질 계열의 패드(pad) 위에 수백 Å 크기의 슬러리(slurry) 입자를 공급하고, 이 슬러리들과 연마하고자 하는 웨이퍼 표면간의 반응을 의미하며, 기계적 반응은 연마 장비에서 가해진 힘이 슬러리내의 입자(abrasives)에 전달되고, 이미 화학적 반응을 받은 웨이퍼 표면이 입자에 의해 기계적으로 제거된다.^[27] 웨이퍼 표면에 작용하는 높은 압력과 균일한 상대 속도에 의해 패드와의 접촉면에서는 순간적으로 고온, 고압의 분위기가 형성되고, 이로 인해 연마액에 의한 화학적, 기계적 제거 가공은 상승효과가 유발되어 웨이퍼 전면에서 평탄화 가공을 한다.^[28-32]

CMP 공정에서 웨이퍼는 패드와 슬러리에 의해서 연마되어지며, 패드가 부착되어진 연마 테이블은 단순한 회전운동을 하고 헤드부는 회전운동과 요동운동을 동시에 행하며 일정한 압력을 가한다. 웨이퍼는 표면 장력 또는 진공에 의해서 헤드부에 장착되어진다. 헤드부의 자체 하중과 인가되는 압력에 의해 웨이퍼 표면과 패드는 접촉하게 되고 이 접촉면 사이의 미세한 틈(패드의 기공부분)사이로 슬러리가 유동하여 슬러리 내부에 있는 연마입자와 패드의 표면 돌기들에 의해 기계적인 제거작용이 이루어진다. 슬러리 내의 화학성분에 의해서는 화학적인 제거작용이 이루어진다. CMP 공정에서 패드와 웨이퍼간의 압력에 의해 디바이스 돌출부의 상부에서부터 접촉이 이루어지고, 이 부분에 압력이 집중되어 상대적으로 좁은 표면 제거 속도를 가지게 되며, 가공이 진행되어 갈수록 이러한 돌출부는 줄어들어 전 영역에 걸쳐 균일하게 제거된다. CMP는 높은 제거속도를 가지면서 안정도와 균일도를 얻기 위하여 패드 및 슬러리의 선택뿐만 아니라 캐리어 양과 연마 판의 속도, 연마판의

온도, 연마하는 동안의 압력, 그리고 패드 컨디셔닝 하는 방법 등과 같은 공정 조건들을 고려하여야 한다.^[33-34] fig. 3에서는 CMP장비의 개략도를 나타내었다.

CMP 공정의 가장 중요한 장점은 다층 구조의 내부 연결 물질(multi-level interconnection)을 만드는데 필수적인 광역 평탄화(global planarization)를 실현할 수 있는 장점이 있다.^[35]

현재 반도체 제조 칩의 집적도가 증가함에 따라 다층 구조 내부 연결 물질의 층수 또한 갈수록 증가하고 있는 추세에 있다. 즉, 반도체 소자가 고집적화 되고 고속화를 필요로 하게 됨에 따라 패턴이 더욱 미세화 되고 내부 연결 물질의 금속 층수도 계속 증가할 전망이다. 하지만 다층화로 인하여 최저층에서 부터 고층으로 올라 갈수록 단차가 점점 커지게 되어 미세 패턴 형성이 어려워 집적회로의 제조가 어려워지는 결과를 갖는다. 평탄화 되지 않은 단차들은 반복된 식각(etching)에 의해 형성된 패턴 위에, 반복된 필름을 증착한 결과로 발생된다. 이러한 문제점을 해결하기 위해 단차를 없애고 표면을 평탄화 시키는 공정이 필요하게 되었다. CMP는 단차가 큰 표면을 광역 평탄화하게 한다. 반도체 소자 제조 공정에서 단차의 향상과 국부적 또는 광역적 평탄화 구조를 얻기 위해서는 적절한 공정을 수행해야 하며, 현재에는 광역 평탄화 공정으로 CMP 공정이 유일한 대안으로 평가 되고 있다. CMP 공정은 메모리 분야뿐만 아니라 비메모리 분야에서 더욱 활발히 사용되고 있고 공정수가 증가하고 다양한 막을 평탄화 하는데 사용된다.

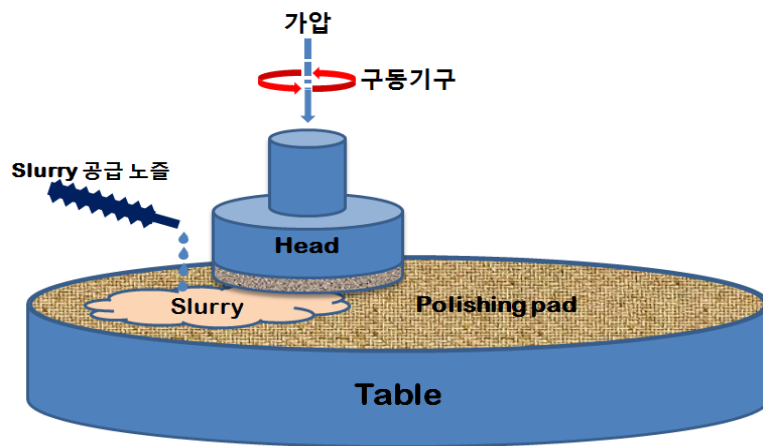


fig.3 structure of CMP equipment

E. CMP 세정공정

산화막 CMP에서 이용되는 연마 슬러리는 수산화칼륨(KOH)이나 암모니아수(NH₄OH) 등 알칼리 기반의 용액에 실리카를 분산시킨 것이 일반적으로 이용된다. 슬러리 중에 수산화칼륨(KOH)이 포함된 경우에 연마 후의 웨이퍼는 칼륨(K)으로 오염되어 미립자 이외에 알칼리 금속 오염을 세정 공정으로 제거할 필요가 있다. 산화막 CMP용의 실리카 슬러리는 순수에 의한 scrubbing 세정으로 거의 제거 가능하다. 한편, 칼륨 등의 금속 오염을 제거하는 방법으로 써 묶은 불산 처리가 이용된다.

일본 스크린제조(주)의 CMP 후 세정 장치 AS2000에서는 0.5wt% 정도의 묶은 불산을 이용할 때 산화막 연마 후의 웨이퍼 표면상에서 칼륨 등의 금속 오염을 제거하는데 10초 또는 20초 정도의 세정 시간으로 충분하다. 이 때, 산화막 표면의 식각(etching)량은 열산화막의 경우에 0.5 ~ 1.0nm 정도이고 칼륨 등의 금속 오염은 산화막의 극히 얇은 표면층에서만 존재하는 것으로 이해된다. 또한, 묶은 불산 처리는 슬러리로서의 미립자 제거에도 유효하다. 즉, 브러시 scrubbing 세정에 묶은 불산 처리를 병행함으로써 세정 후의 잔류 미립자수를 줄이는 일이 가능하다. SiO₂를 성분으로 하는 슬러리의 용해 작용에 의한 것 또는 산화막표면의 식각에 의한 리프트-오프 효과에 의한 것이다.

슬러리에 의해 오염된 웨이퍼를 희석 암모니아수로 처리했을 때 세정 후의 입자 수는 슬러리에 의해 오염되기 전과 같거나 적은 수준으로 암모니아수에 의해 scrubbing 세정함으로써 슬러리는 제거된다는 것을 알 수 있다. 한편, 순수만으로 scrubbing 세정했을 때 제거 성능이 나쁘고 다량의 잔류 미립자로서 슬러리가 남는 것이 확인되었다. 입자 수는 10,000개 이상으로 측정기의 한계를 넘었다. 실리카 슬러리는 산화막 슬러리와 같이 순수처리로 간단히 제거된다. Si CMP의 특징으로서 다른 CMP 공정과 달리 연마후에 Si 기판 그 자체가 노출되어 웨이퍼 표면은 소수성이 되게 된다. 그 후의 세정 공정

을 고려했을 때 소수성 표면에서의 scrubbing 세정은 주의를 요한다. 산화막 등 친수성 표면의 경우에 물과의 접촉각은 거의 0° 로 물에 잘 젖는다. 고속으로 회전하는 웨이퍼의 표면을 물 등의 액체로 적신 상태에서 PVA의 브러시를 가까이 했을 때 브러시는 웨이퍼의 표면의 수막 위를 미끄러지는 상태(hydro-plane 현상)가 되어 브러시와 웨이퍼는 직접 접촉하지 않는다. 얇은 막상의 순수는 고속으로 웨이퍼 표면의 미립자를 제거된다. 소수성 표면에 scrubbing 세정했을 때 웨이퍼에 역으로 미립자가 부착한다. 소수성 표면은 물을 곁돌게 하므로 이러한 수막이 생기지 않고 브러시가 웨이퍼에 직접 접촉하게 되어 브러시에 부착된 미립자가 웨이퍼 표면에 재부착하기 때문으로 생각된다. 또, 소수성 표면의 경우에 표면이 마르기 쉬워서 세정 전에 슬러리가 고착하여 세정이 불충분하게 된다. 세정을 고려했을 때, 연마 후 곧 계면활성제나 APM 세정액으로 웨이퍼 표면을 친수화시키든지 소수성 실리콘 표면의 wet-ability를 개선하기 위해 고분자 첨가제가 든 슬러리를 이용해 연마했을 경우 양호한 세정 결과가 얻어졌다. 연마후의 Si 웨이퍼의 scrubbing 세정 PVA 브러시에 의한 scrub 세정과 SC-1(APM) 세정을 병행하고 있다.

F. CMP 세정공정 후 박막 및 소자 특성 평가 방법

1. SEM

CMP 세정공정 후 박막 및 소자 특성 평가 방법을 위하여 SEM(scanning electron microscope)을 사용하였고 fig. 4에서 장비의 사진을 보여주고 있다. SEM의 원리는 다음과 같이 electron beam이 sample의 표면에 주사하면서 sample에서 발생된 SE(secondary electron)를 이용해서 sample의 표면을 관찰하는 장비이다. electron gun에서 만들어진 electron beam은 세 개의 electro magnetic lens에 의해 집속되어 specimen표면에 도달한다. specimen 표면에서는 다양한 signal이 발생하는데 SEM은 SE를 이용한다. 수집된 SE는 scintillator에서 light로 변환되고 이 light는 photomultiplier에서 electric signal로 변환된다. 그리고 이 signal은 preamplifier에서 증폭되어 CRT에서 발광한다. CRT에서의 electron beam scanning과 specimen에서의 beam scanning은 synchronized되어 있기 때문에 specimen에서 scanning된 image가 CRT상에 동일하게 표현이 되는 장비이다. 본 논문에서는 Hitachi사의 S-4800을 사용하였다.



fig.4 FE-SEM equipment image.

2. EDX

CMP 세정공정 후 박막 및 소자의 표면의 잔류물의 성분과 그 양을 알기 위하여 EDX를 사용하였고, fig. 5에서 EDX의 구조를 보여주고 있다. 보통 EDX 혹은 EDS(energy dispersive X-ray spectroscopy)라고 불리는 장비는 정성분석이 가능한 장비로 주로 전자현미경 계열(TEM, SEM 등)에 같이 부착시켜 사용된다.

재료의 표면에 전자현미경의 타겟에서 발생된 전자(incident beam)가 충돌하게 되면 재료는 표면에서 그 재료의 특성을 갖는 여러 종류의 전자, 이온 및 특성X선 등이 방출된다. 이때 EDX 장치는 방출된 특성X선만을 따로 detecting하여 빔의 에너지대별로 화면에 표시하게 된다. 이 특성X선의 에너지의 세기는 물질이 갖는 고유한 값이며, 이 에너지의 값은 사전에 입력되어진 물질의 특정 값과 대조하여 컴퓨터가 스스로 최적으로 일치하는 물질을 유추해내 화면에 표시된 스펙트럼에서 X축은 빔의 에너지, Y축은 빔의 세기(intensity)를 나타내며 이 세기를 보고 대략의 정량적인 값도 유추할 수 있다.

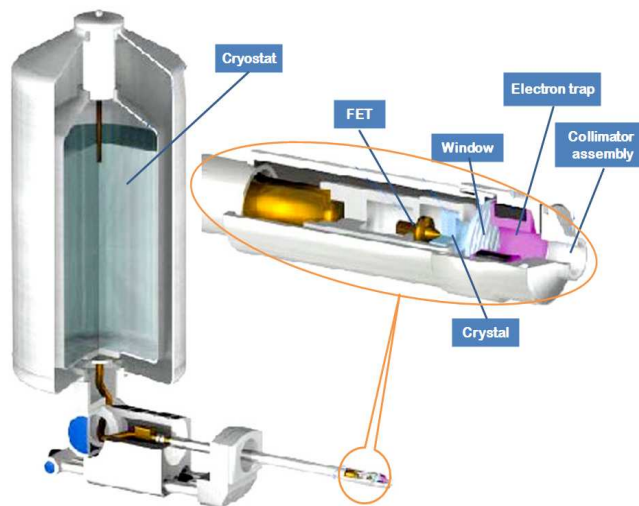


fig.5 EDX equipment image.

3. XPS(ESCA)

CMP 세정공정 후 박막 및 소자의 표면에 남아있는 잔류물과 그의 구조를 알기 위하여 fig. 6에서와 같이 본 실험에서 사용한 Thermo Co. Multilab 2000을 나타내고 있다. 이 XPS 장비는 기술을 개발한 스웨덴 Uppsala 대학교의 Siegbahn에^[36-37] 의해 붙여진 ESCA(electron spectroscopy for chemical analysis)라는 별명으로 흔히 알려져 있으며 그 원리는 다음과 같다. 일정한 에너지를 가지는 X선(광자)을 시료에 쬐면 시료로부터 광전자(photoelectron)들이 방출되는데 이 광전자들의 운동 에너지를 측정하면 광전자를 시료로부터 방출하기 위해 필요한 에너지인 결합 에너지(binding energy)를 알 수 있다.

이 결합 에너지는 광전자를 방출하는 원자의 고유한 성질이기에 때문에 이를 아는 것은 곧 원소의 분석을 행할 수 있다는 것이 된다. 그러므로 시료의 정성 분석은 광전자의 결합 에너지를 측정함으로써 이루어진다.

광전효과(photoelectric effect)에 관한 Einstein의 식으로부터 결합 에너지 E_b 는 다음과 같이 계산된다.

$$E_k = hn - E_b - ef_{sp}$$

$$E_b = hn - E_k - ef_{sp}$$

$$E_{bv} = E_b + ef_s = hn - E_k + (ef_s - ef_{sp})$$

여기서, E_k : 분광계(spectrometer)에서 측정되는 광전자의 운동 에너지

hn : 광자의 에너지

E_b : 광전자를 방출하는 궤도함수의 분광계 Fermi 준위에 대한 결합 에너지

e : 전자의 전하

ef_{sp} : 분광계의 일함수 (work function)

E_{bv} : 광전자를 방출하는 궤도함수의 vacuum level에 대한 결합 에너지

ef_{sp} : 시료의 일함수 (금속의 경우)

ESCA 장치는 광원인 X선과 광전자의 운동 에너지를 측정하는 전자 에너지 분광계(electron energy spectrometer)로 크게 둘로 나눌 수 있다. X선은 흔히 장파장 X선(soft X-ray)이라고 불리는 마그네슘과 알루미늄의 $K_{1,2}$ 선이며 특별한 경우를 제외하고는 단색화 장치(monochromator)를 거치지 않고 그냥 이용된다. X선 발생기에서는 텅스텐 필라멘트로부터 방출되는 열전자가 가속되어 target 물질인 마그네슘 또는 알루미늄에 충돌하면 target 물질의 특성 X선이 나온다. 마그네슘 $K_{1,2}$ 선은 1253.6 eV, 알루미늄 $K_{1,2}$ 선은 1486.6 eV의 에너지를 가진다.

전자 에너지 분광계는 주로 정전기 에너지 분석기(electrostatic energy analyzer)이며 가장 흔히 쓰이는 것으로는 반구형 에너지 분석기(hemispherical energy analyzer)와 원통형 거울 분석기(cylindrical mirror analyzer)를 들 수 있다. 구형 섹터 분석기(spherical sector analyzer)는 HSA의 일종이다. X선 발생기와 전자 에너지 분광계는 초고진공계에서 작동하며 따라서 분석하고자 하는 시료도 초고진공계에서 안정한 것이어야 한다.

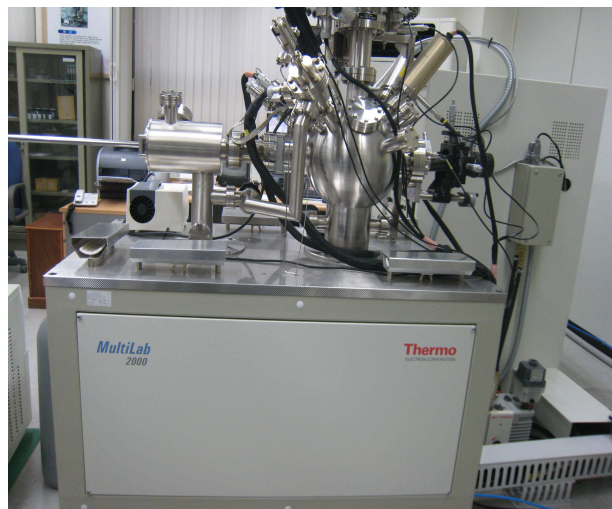


fig.6 X-ray Photoelectron Spectroscopy(XPS)

III. 실험 방법

A. PZT 제조

본 실험에서 사용된 기판은 Pt(120nm)/Ti(30nm)/SiO₂/Si(p-type) 구조를 갖는 4-inch 웨이퍼를 사용하여 실험을 하였다. fig. 7은 PZT박막 형성 순서를 나타내는 그림이다. PZT 박막은 sol-gel에 의하여 spin coating을 실시하여 200nm이상의 두께를 갖는 PZT 박막을 만들었다. PZT 박막 coating은 2000rpm에서 10sec로 PZT 박막의 신뢰도를 높이기 위해 5번 반복 실시하고 hot-plate를 이용하여 200℃에서 건조를 하였다. 그리고 600℃에서 열처리를 하여 PZT를 결정화 하였다.

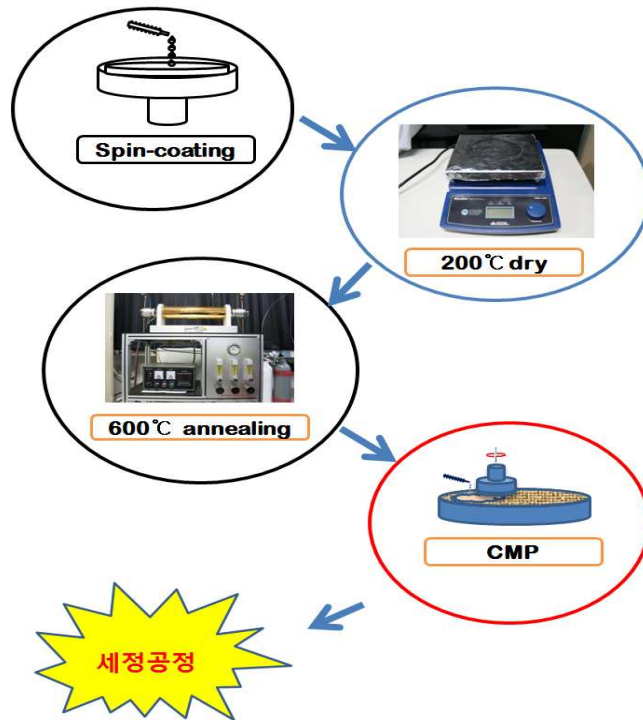


fig.7 experiment process flowchart

B. CMP 공정

PZT 박막은 G&P Company사의 POLI-450을 이용하여 table speed 50rpm, Head speed 50rpm, slurry flow rate 90ml/min, down force 9.8kPa로 CMP를 10초간 실시하였다. polishing pad는 Rohm and Haas Electronic Materials Company사의 IC-1400을 사용하였다. 그리고 상부에 mini-sputter를 이용 Au 전극을 증착하여 PZT 캐패시터를 만들었다. 다음 fig. 8은 Pt(120nm)/Ti(30nm)/SiO₂/Si(p-type) 구조를 보여주고 있다. fig. 9는 PZT/Pt(120nm)/Ti(30nm)/SiO₂/Si(p-type)의 SEM 단면 이미지를 보여주고 있다.

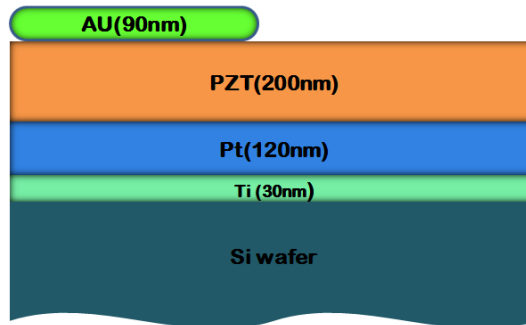


fig.8 structure images on the section of PZT thin films

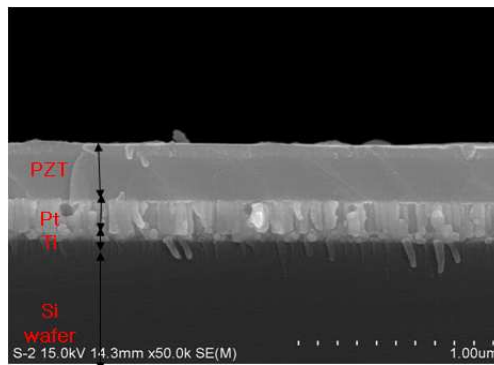
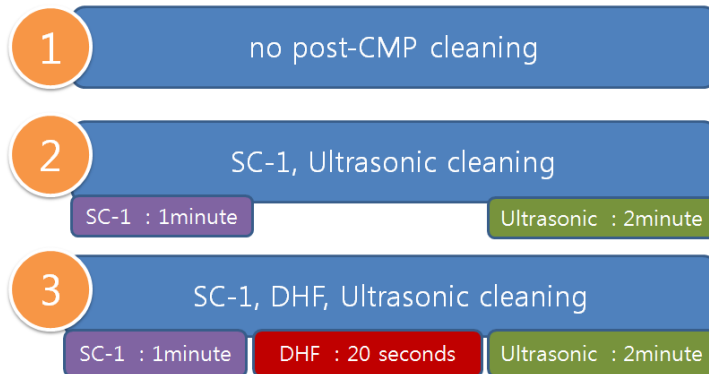


fig.9 FESEM images on the section of PZT thin films

C. 세정공정

CMP후 세정은 표1과 같은 조건에서 실시하였다. 첫 번째 조건으로는 CMP 공정 후 표면에 slurry가 남아 있는 상태 그대로 세정을 실시하지 않았다. 두 번째 조건은 SC-1($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:2:7$)을 이용하여 1분간 세척을 하고 ultrasonic을 이용하여 2분간 세척을 하였다. 세 번째 조건은 SC-1을 이용 1분 세척, DHF($\text{D.I water}:\text{HF}=10:1$)를 이용하여 20초간 세척, ultrasonic을 이용하여 2분간 세척을 실시하였다.

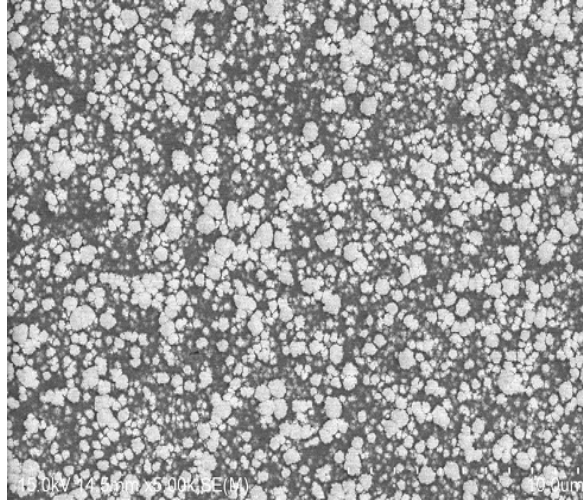
table 1 list of cleaning process



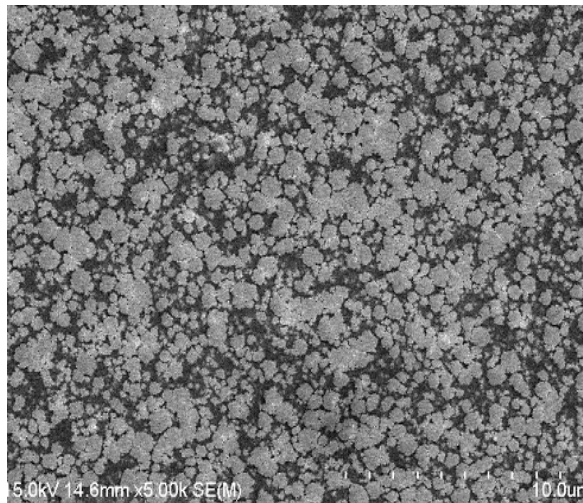
IV. 결과 및 고찰

A. 표면현상 분석

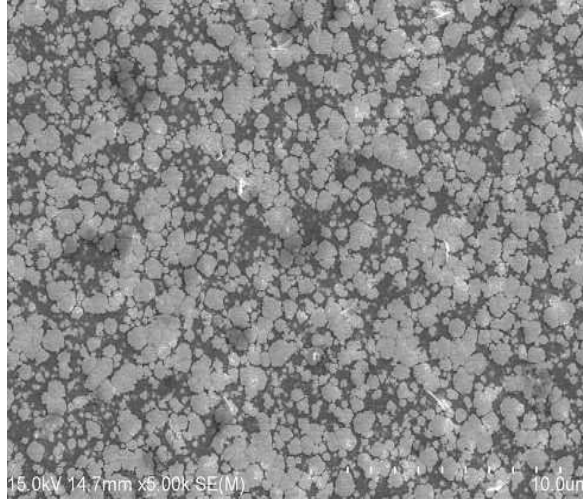
CMP 공정 후 각각의 세정공정에 따른 FESEM의 분석 결과를 fig. 10에서 보여주고 있다. CMP 세정조건에 따라 PZT 박막 표면에 존재하는 slurry 잔류물 또는 polished 입자를 확인하였다. fig. 10(a)는 CMP 후 세정 전의 표면이다. fig. 10(b)는 DIW를 이용하여 세정을 한 이후의 표면이다. 표면에는 슬러리 잔류물, polished 입자들로 보이는 것들이 분포되어있다. 이는 DIW만을 사용한 세정 공정의 경우에 CMP 공정 후 표면에 남아있는 슬러리 잔류물, polished 입자들의 제거가 원활하지 못함을 보여주는 것이다. fig. 10(c)는 CMP 후 SC-1, ultrasonic을 이용하여 세정후의 FESEM 표면 분석이다. 역시 CMP 공정을 수행한 시료의 표면에서 slurry 잔류물과 polished 입자들이 나타나는 것을 볼 수 있다. fig. 10(d)는 CMP 공정 후 SC-1, DHF, ultrasonic을 이용하여 세정을 수행한 FESEM 표면분석 결과이다. 다른 세정 공정 조건에서 세정 공정을 수행한 결과보다 표면에 slurry 잔류물과 polished 입자들의 분포가 현저히 감소하였으며 특히 PZT 박막의 결정 경계가 분명해진 것을 볼 수 있다. 이것은 SC-1, DHF와 ultrasonic을 통하여 세정 공정을 수행하였을 경우에 silica slurry 잔류물이 잘 제거됨을 확인할 수 있었다.



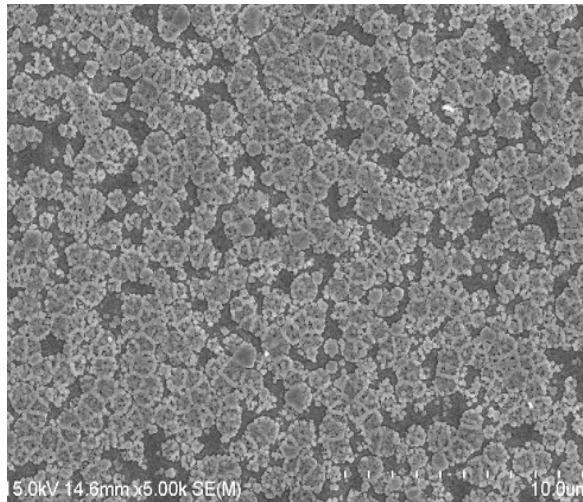
(a) no Post-CMP cleaning



(b) DIW rinse only



(c) SC-1 and ultrasonic cleaning



(d) SC-1, DHF, and ultrasonic cleaning

**fig.10 FESEM images on the surface of PZT thin films
after a CMP process.**

B. 표면조성 분석

1. EDX 분석

PZT 박막의 CMP 공정을 수행한 이후에 CMP 세정 공정을 진행하여 각 세정 공정 조건별로 EDX를 통하여 표면 조성 분석을 수행한 결과를 fig. 11에서 보여주고 있다. 특히 silica slurry의 잔류물의 주요 성분인 Si의 조성 변화를 관찰하였다. CMP 공정을 수행하지 않고 EDX를 하였을 때에도 PZT 박막 표면에서 Si의 element-percent는 4.01%이었다. CMP 공정을 수행한 후 세정 공정을 진행하지 않은 시편의 EDS 분석에서는 Si의 element-percent는 5.8%로 증가하는 것을 확인할 수 있다. 이는 silica slurry 잔류물들이 표면에 제거되어지지 않고 남아 있음을 의미한다. 다음은 CMP 공정 후 SC-1용액에서 1분을 세정하고, ultrasonic을 이용하여 2분을 세정하였다. EDX 분석 결과 element-percent는 5.69%로 다소 감소하는 것을 볼 수 있다. 이것은 CMP 공정 수행 후에 세정 공정을 진행하지 않은 시편보다는 다소 개선되어 졌지만 충분한 세정이 수행되어지지 않았음을 알 수 있다. 다음은 CMP 공정 후 SC-1, DHF, ultrasonic에서 1분, 20초, 2분, 각각 세정을 진행하였다. EDX 분석 결과 element-percent는 5.49%로 변화됨을 알 수 있었다. 이것은 CMP후 SC-1, DHF, ultrasonic을 통한 세정공정이 silica slurry 잔류물들이 더욱 제거되어졌음을 보여주는 결과이다. 하지만 CMP 공정을 수행하기 이전과 비교하였을 때에 충분히 제거되었다고 말하기는 힘든 결과이다.

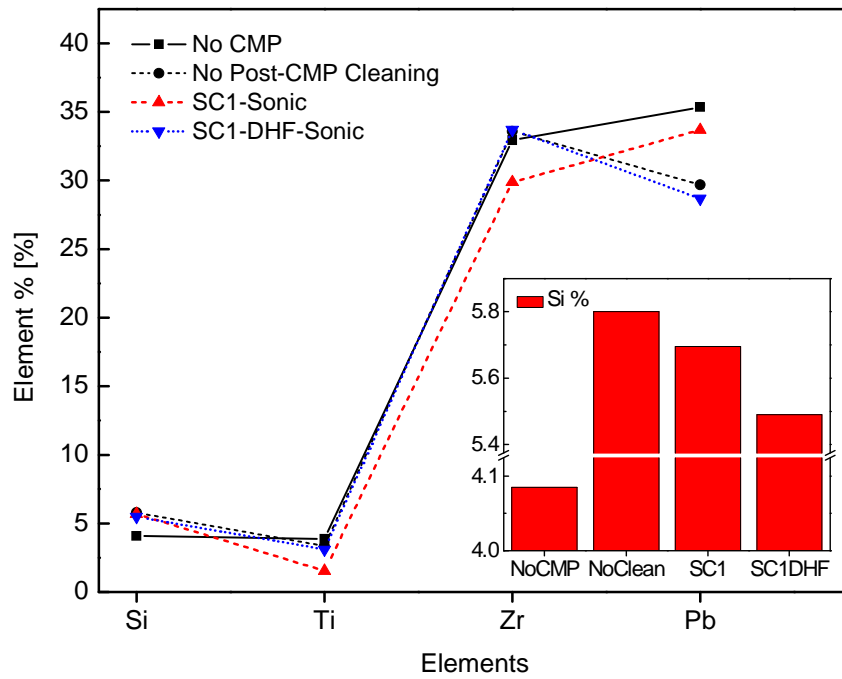


fig.11 Surface analysis of PZT thin films and element percent of Si after CMP cleaning process through EDX analysis

2. XPS 분석

더욱 정확한 표면 조성 거동을 확인하기 위해서 XPS 분석을 통하여 각 세정 조건 별로 PZT 박막 표면에서의 slurry 잔류물의 화학 조성을 조사하였다. fig. 12는 각각의 세정공정 이후 PZT 박막 표면을 XPS를 이용하여 분석을 한 XPS wide scan 결과이다. PZT 박막 표면의 각각의 peak들을 보게 되면 세정 공정을 수행함에 따라서 Zr3p1, Zr3p3 peak 등의 PZT 박막 성분들이 나타나고 Si peak들이 감소한 것을 볼 수 있다. 이는 EDX의 결과와 동일하게 silica slurry의 잔류물을 나타내는 Si의 비율이 세정 공정을 수행함에 따라서 변화가 있음을 나타내는 것이다. 특히 세정 공정의 조건에 따라서도 Si peak의 크기가 변화하는 것을 볼 수 있고, 이의 자세한 분석을 하였다.

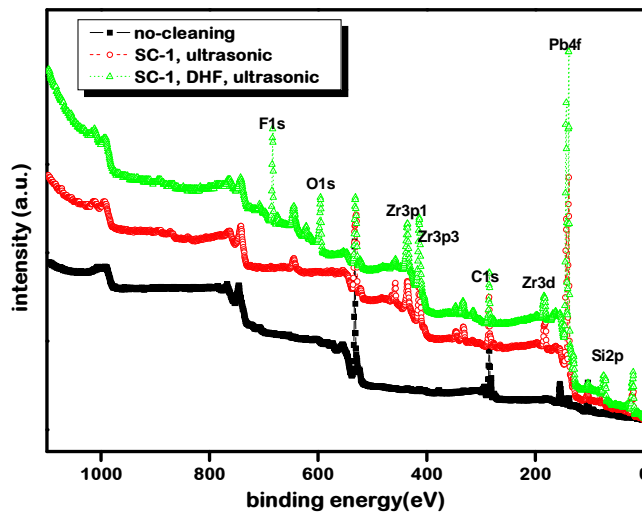
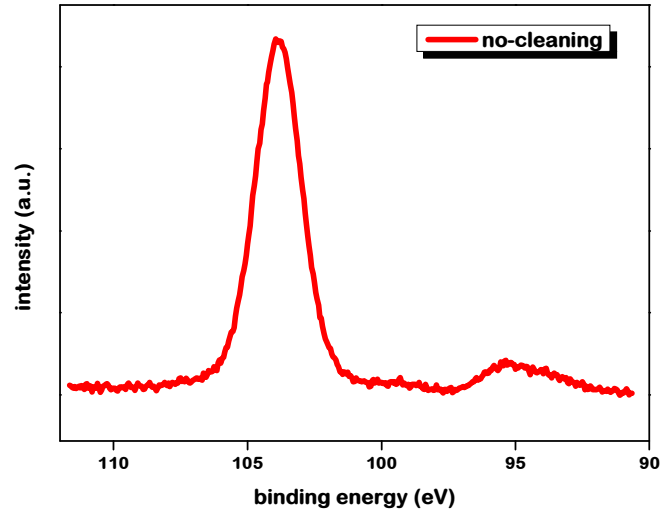
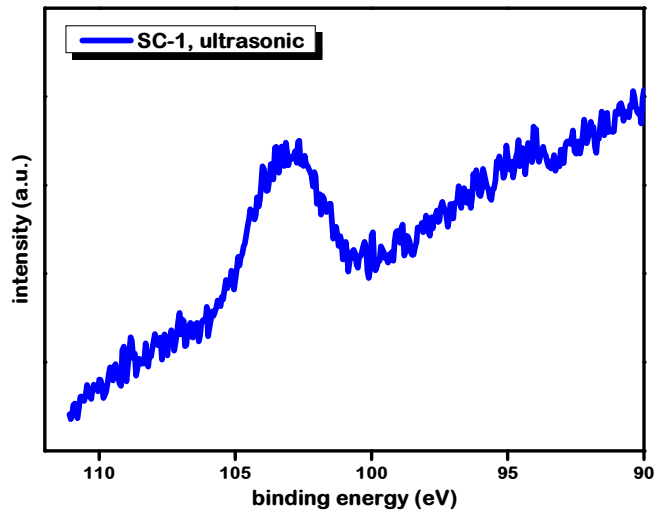


fig.12 XPS analysis on the surface of PZT thin films after CMP cleaning process conditions

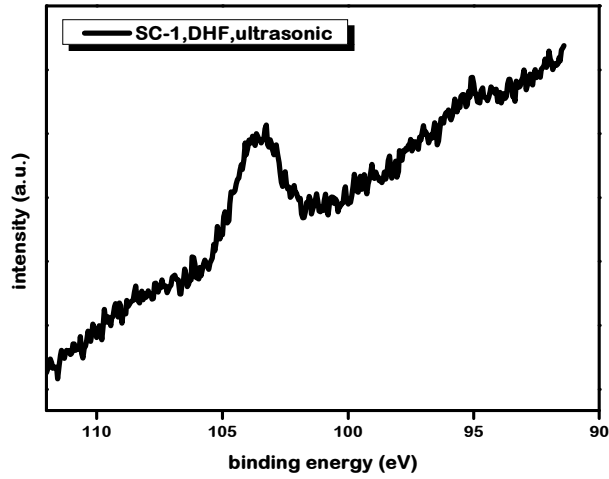
fig. 13은 CMP 공정 후 각 조건 별로 세정 공정을 수행한 이후 PZT 박막의 표면에서의 XPS 분석을 수행하여 Si peak만을 narrow scan 분석한 결과이다. fig. 13(a)는 세정 공정을 수행하지 않았을 때의 Si peak로 atomic-percent는 59.01%이었다. 주 peak의 binding energy값은 103.86eV 이었고, 이 결합 에너지는 SiO₂의 조성을 나타낸다. 즉, 표면에 상당한 양의 silica slurry 잔류물(SiO₂)가 존재함을 의미한다. fig. 13(b)는 SC-1과 ultrasonic를 이용하여 세정 공정을 진행한 결과이다. Si의 atomic-percent는 12.47%이었다. 세정 공정을 수행한 결과 표면의 silica slurry 잔류물이 급격히 제거됨을 확인할 수 있었다. fig. 13(c)는 SC-1, DHF, ultrasonic을 이용하여 세정한 결과이다. Si의 atomic-percent는 3.2%로 대부분의 silica slurry 잔류물이 제거 된 것을 확인할 수 있었다. 이러한 slurry 잔류물들은 절연체 역할을 하여 PZT 박막 캐패시터의 전기적 특성에 영향을 줄 것으로 생각된다. fig. 14는 각 세정 공정 조건별 Si의 atomic-percent를 상기의 결과를 바탕으로 나타낸 그래프이다.



(a) no Post-CMP cleaning



(b) SC-1 and ultrasonic cleaning



(c) SC-1, DHF, and ultrasonic cleaning

fig.13 XPS narrow scan analysis on the surface of PZT thin films after a CMP process with various cleaning process conditions.

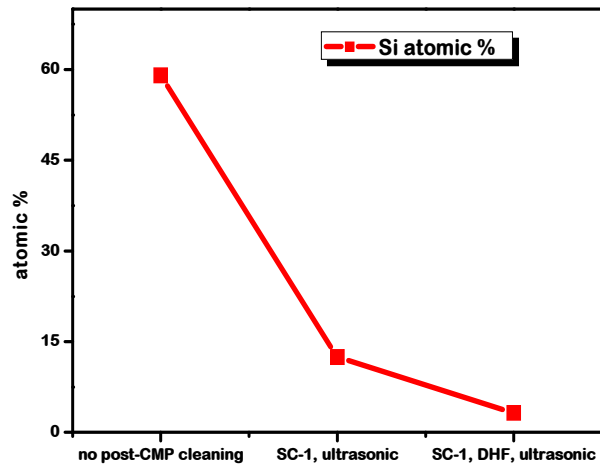


fig.14 An XPS atomic percentage of Si on the surface of the PZT thin films as a function of the post-CMP cleaning process.

C. 박막 및 소자 특성 분석

1. I-V 특성곡선 분석

CMP를 수행하고 각각의 조건에서 세정을 실시한 후 Cressington Co., sputter coater 108을 이용하여 PZT 박막 위에 Au 전극을 증착하였다.

fig. 15는 CMP 이후 세정을 하지 않고 RT-66A를 이용하여 I-V 특성을 측정한 결과이다. 대부분 10^{-8} - 10^{-7} A/cm²에 분포되는 것을 알 수 있다. 그리고 +3V에서 누설전류는 급격하게 10^{-1} A/cm²로 증가한다. 일반적인 I-V특성의 경향성인 좌우대칭형의 특성은 나타나지 않고 breakdown이 +3V에서 일어나게 된다. 이것은 PZT 박막 표면에 남아있는 slurry잔류물이 누설전류에 영향을 준 것으로 판단된다.

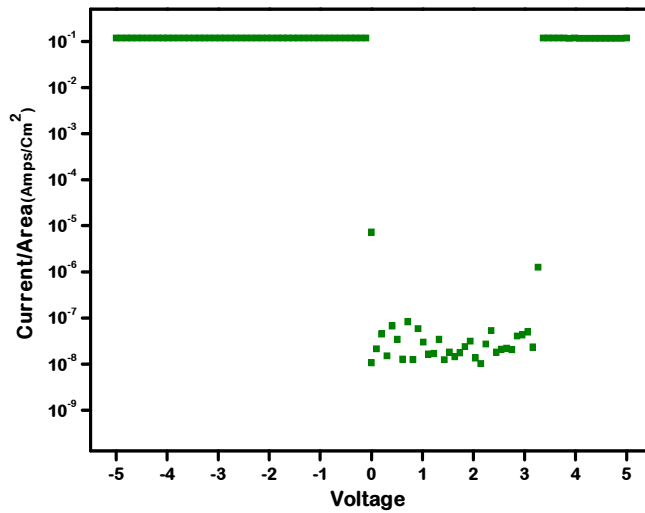


fig.15 Current-voltage (*I-V*) characteristics of PZT thin film capacitors fabricated by the damascene process without the post-CMP cleaning process.

fig. 16은 CMP 공정을 수행한 이후에 SC-1, ultrasonic을 이용하여 각각 1분, 2분 세정을 실시한 PZT 박막에 Au 상부 전극을 증착하여 I-V 특성을 측정된 결과이다. 전형적인 강유전체의 I-V 특성인 좌우대칭의 특성곡선을 확인할 수 있다. 이때 누설전류는 +3V에서 4×10^{-6} A/cm²으로 측정되었다.

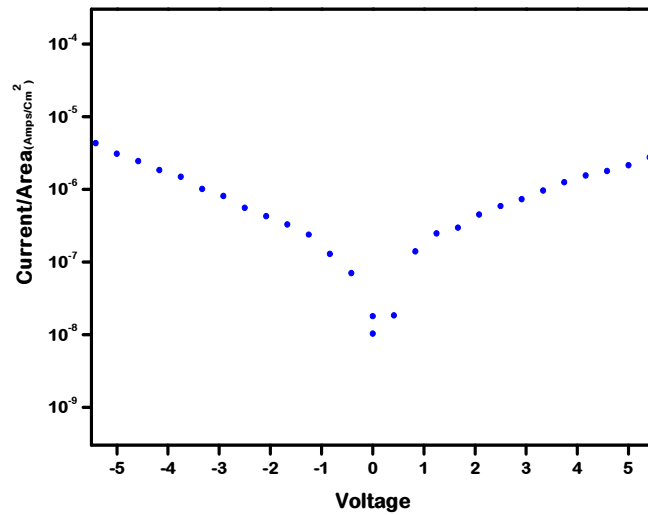


fig.16 Current-voltage (*I-V*) characteristics of PZT thin film capacitors fabricated by the damascene process with SC-1 and ultrasonic cleaning.

fig. 17은 CMP 공정을 수행한 이후에 SC-1, DHF, ultrasonic을 이용하여 각각 1분, 20초, 2분 각각 세정을 실시한 PZT 박막에 Au 상부 전극을 증착하여 I-V특성을 측정한 결과이다. 누설전류는 +3V에서 1×10^{-4} A/cm²으로 측정되었다. fig. 16에서의 결과에 비해서 누설전류가 증가한 결과를 보였는데, 이는 SC-1, DHF, ultrasonic 세정 공정을 수행한 PZT 박막에서 Pb의 element-percent가 감소한 결과로 판단된다. 문헌보고에 의하면 PZT 박막의 Pb element-percent와 누설전류 사이에 반비례관계가 존재한다고 알려져 있다. [38] 따라서, DHF를 사용한 세정공정에서는 PZT 박막 중 Pb의 element-percent를 감소시켜 누설전류를 증가하게 함을 확인할 수 있다.

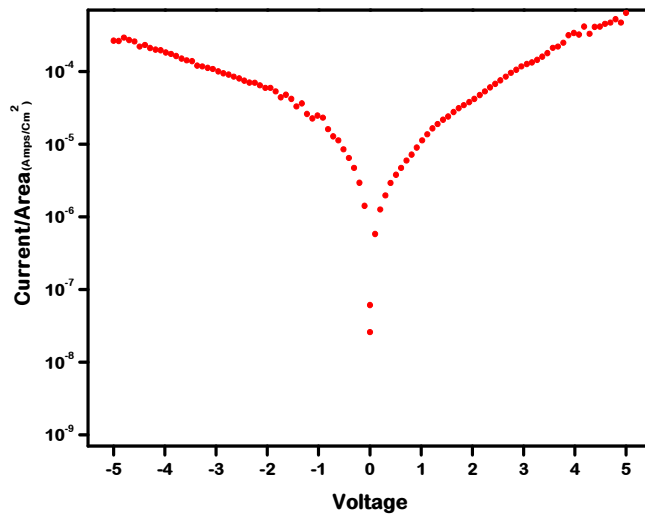


fig.17 Current-voltage ($I-V$) characteristics of PZT thin film capacitors fabricated by the damascene process with SC-1, DHF, and ultrasonic cleaning.

2. P-V 특성곡선 분석

다음은 강유전성 평가에 중요하게 작용하는 P-V 이력곡선을 측정하였다. 졸-겔법으로 증착한 PZT 박막을 동일한 조건으로 CMP 공정을 수행한 이후 각각의 세정 공정 조건 별로 세정 공정을 실시하고 Au 상부 전극을 증착한 뒤에 측정한 결과이다. P-V 특성 측정은 -20V ~ +20V 사이에서 관찰을 하였다.

fig. 18은 Pt/Ti/SiO₂/Si 구조 위에 PZT 박막을 졸-겔 방법으로 증착하여 600°C의 온도에서 열처리후 table speed 50[rpm], head speed 50[rpm]에서 CMP를 실시한 후 세정을 거치지 않은 PZT 박막의 P-V 이력 선을 나타내고 있다. 잔류분극($2Pr=Pr^+ + Pr^-$)이 $0.4\mu\text{C}/\text{cm}^2$ 로 측정되었다. 이것은 그 크기가 매우작고 모양역시 PZT 박막의 전형적인 P-V 이력곡선을 보여주지 못하였다. 이는 세정 공정을 수행하지 않아서 PZT 박막 표면에 발생한 slurry 잔류물인 SiO₂의 영향이라고 판단된다.

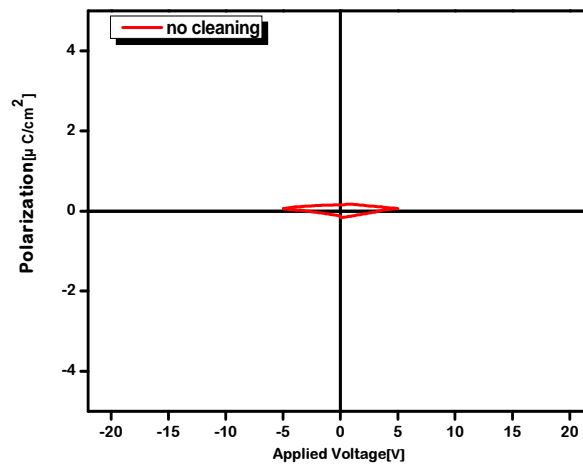


fig.18 Ferroelectric hysteresis loops of PZT thin film capacitors fabricated by the damascene process without the post-CMP cleaning process

다음 fig. 19는 Pt/Ti/SiO₂/Si 구조 위에 PZT 박막을 졸-겔 방법으로 증착하여 600°C의 온도에서 열처리 후 table Speed 50[rpm], head speed 50[rpm]에서 CMP를 실시한 후 SC-1과 sonic을 이용하여 세정을 실시한 후 PZT 박막의 P-V 이력곡선을 나타내고 있다. Pr값은 fig. 18과 비슷한 결과가 나왔지만 SC-1, ultrasonic을 통한 세정 후 P-V 이력곡선은 비록 형체는 불완전하지만 강유전체소자의 이력 특성을 나타내었다.

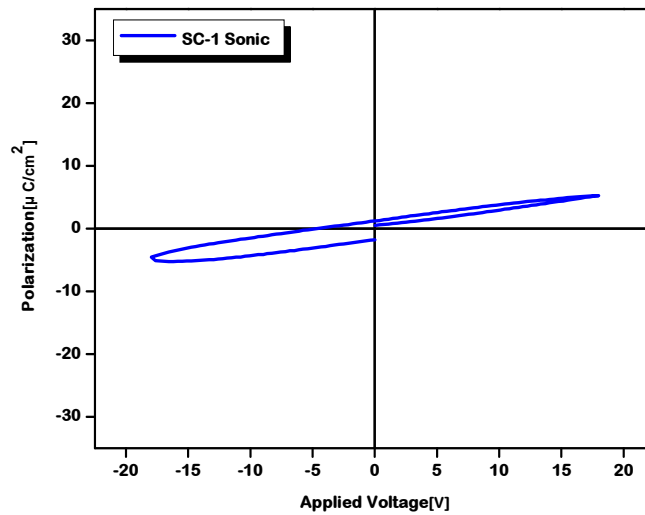


fig.19 Ferroelectric hysteresis loops for PZT thin film capacitors fabricated by the damascene process with SC-1 and ultrasonic cleaning.

fig. 20은 Pt/Ti/SiO₂/Si 구조 위에 PZT 박막을 졸-겔 방법으로 증착하여 60 0°C의 온도에서 열처리 후 table speed 50[rpm], head speed 50[rpm]에서 CMP 를 실시한 후 SC-1과 DHF와 ultrasonic을 이용하여 세정을 실시한 후 PZT 박막 의 P-V 이력곡선을 나타내고 있다. 잔류분극($2P_r = P_r^+ + P_r^-$)은 $34\mu\text{C}/\text{cm}^2$ 로 잔류 분극값을 가지며, 항전압은 3.252V가졌다. 이것은 강유전체의 전형적인 특징이며 우수한 특성을 나타내고 있다. 이 결과는 PZT 세정 공정이 PZT 박 막 캐패시터의 강유전 특성에 영향을 미치는 중요 인자임을 확인할 수 있다.

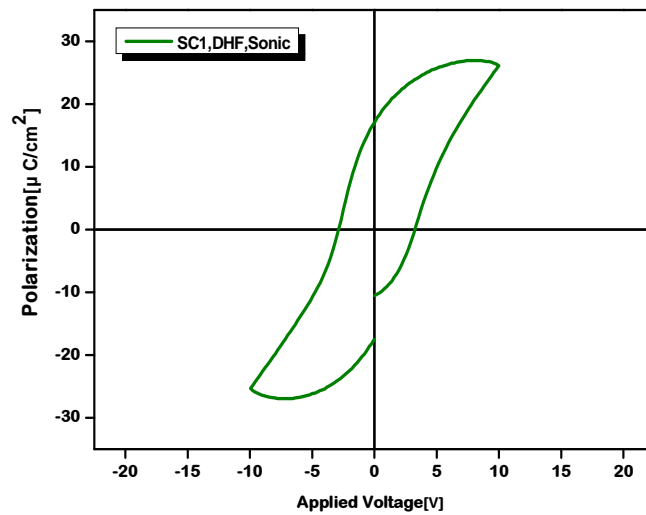


fig.20 Ferroelectric hysteresis loops for PZT thin film capacitors fabricated by the damascene process with SC-1, DHF, and ultrasonic cleaning.

V. 결론

본 실험에서는 PZT 박막을 졸-겔 방법을 이용하여 스피코팅으로 박막을 증착하고 PZT 박막의 패턴 형성을 위해 CMP 공정의 damascene 방법을 통하여 강유전체 박막 캐패시터를 제작하였다. 그리고 CMP 공정 후에 SC-1, DHF, ultrasonic 등의 다양한 세정 공정을 적용하였고, SEM 분석을 통하여 세정 공정을 수행하지 않았을 경우에는 slurry 잔류물들의 PZT 박막 표면을 도포하고 있음을 확인하였다. 또한 SC-1, DHF, ultrasonic 방법을 차례로 수행하였을 때에 SEM 분석 결과 표면의 slurry 잔류물들이 상당량 제거됨을 확인할 수 있었다.

EDX와 XPS 분석을 통하여 세정 공정을 수행하지 않았을 때에 비해서 세정 공정을 수행한 시편의 경우에 표면의 silica slurry의 잔류물은 SiO₂가 급격히 감소하는 것을 볼 수 있었으며, 특히 SC-1, DHF, ultrasonic 방법을 차례로 수행한 세정 조건에서는 대부분의 slurry 잔류물들이 제거되는 것을 확인할 수 있었다. RT-66A를 사용하여 전기적 특성을 분석한 결과, 세정 공정을 하지 않았을 때는 박막 표면에 강유전성은 나타나지 않았다. P-V 이력곡선이 가장 최적화 되었던 공정은 SC-1, DHF, ultrasonic을 순서로 세정을 하였을 때 결과가 가장 이상적인 P-V 이력곡선을 얻을 수 있었다. 이 때의 Pr와 Vc의 값은 각각 $17.092\mu C/cm^2$, 3.252V 이었다. 다만 해당 조건에서 누설 전류 특성이 다소 감소하는 것은 세정 공정을 수행하면서 PZT 박막의 Pb 성분의 element-percent 역시 감소하는 것에 기인하는 것으로 판단되어 진다.

본 연구에서 제시하는 PZT 강유전 소자의 강유전 특성을 고려한 최적의 PZT 강유전체 CMP 세정 조건은 SC-1 1분, DHF 20초 및 ultrasonic 2분 조건이다.

이 결과로 CMP 공정 후 잔류 slurry의 제거가 반드시 필요하고 세정 공정의 조건에 따라서 CMP 공정으로 제작된 강유전체 소자의 강유전 특성이 영향을 받는 것을 확인할 수 있었다.

참고 문헌

- [1] 정규원, 박영, 송준태 “Ru/RuO₂ 금속/산화물 이중전극 위에 증착한 PZT박막의 전기적 특성"Journal of the Korean Institute of Electrical and Electronic Material Engineers, Vol.14, No.4, pp.281~288, 2001.
- [2] 박봉옥, “졸겔법에 의한 BST의 제조에 관한 연구”, 서강대학교 졸업 논문, 2000.
- [3] F.B. Kaufman et. al, J.Electrochem. Soc., 138, 11, 3460, 1991.
- [4] S. Deleonibus, M. Heitzmann, Y. Gobil and F. Martin, "A post giga bit generation flash memory shallow trench isolation scheme, the L ATI-STI process using 100% CMP planarization", Solid State Device and Materials, pp.587-589, 1995.
- [5] 나은영 , 서용진 , 이우선 “H₂O₂ 산화제가 W/Ti 박막의 전기화학적 분극특성 및 CMP 성능에 미치는 영향” 전기전자재료학회논문지, Vol.18, No.6, pp.515-520, 2005.
- [6] 김재정, “ULSI 시대의 식각/세정공정”, chemical Industry, Vol.13, No.3, pp240-249, 1995.
- [7] Jae-Hyun Joo, Seung-Ki Joo “A Study on the Characteristic of PZT Thin Film Deposited on New Buffer Layer by Sputtering", Journal of the Korean Ceramic Society, Vol.30, No.4, pp.332-338, 1993.

- [8] 표윤숙, 김두희, 이장기, 김상수 "강유전체 $\text{Pb}(\text{Zr}_{0.52}\text{Ti}_{0.48})\text{O}_3$ 박막의 성장 및 물리적 성질" 기초과학연구소논문집, Vol.12, 2000.
- [9] C. A. Paz de Araujo, J. D. Cuchiaro, L. D. McMillan, M. C. Scott, and J. F. Scott, "Fatigue-free Ferroelectric Capacitors with Platinum Electrodes" *Nature*, 374, 627-629, 1995
- [10] H. Tabata, H. Tanaka and T. Kawai, "Formation of Bi-based Layered Perovskite Oxide Films by a Laser Ablation Technique," *Jpn. J. Phys.*, 35, 5146-5149, 1995.
- [11] Keisuke Saito, Masatoshi Mitsuya, Norimasa Nukaga, Isao Yamaji, Takao Akai and Hiroshi Funakubo, "Method of Distinguishing $\text{SrBi}_2\text{Ta}_2\text{O}_{10}$ Phase from Fluorite Phase Using X-Ray Diffraction Reciprocal Space Mapping," *Jpn. J. Appl. Phys.*, 39, 5489-5495, 2000.
- [12] R. Dat, J. K. Lee, O. Auciello, and A. I. Kingon, *Appl. Phys. Letter*. 67, 572, 1995.
- [13] K. Amanuma, T. Hase and Y. Miyasaka, *Appl. Phys. Lett.*, 66, 221, 1995
- [14] B. H. Park, B. S. Kang, S. D. Bu, T. W. Noh, J. Lee and W. Jo, "Lanthanum-substituted bismuth titanate for use in non-volatile memories", *Nature*, 401, 683, 1999.
- [15] B. H. Park, B. S. Kang, S. D. Bu, T. W. Noh, J. Lee and W. Jo, "Lanthanum-substituted bismuth titanate for use in on-volatile memories", *Nature*, 401, 683, 1999

- [16] S. H. Hwang. "졸겔법을 이용한 비휘발성 메모리용 BLT 강유전체 박막의 제작과 특성연구, 단국대학교, 27-28, 2002
- [17] M. Keijser, and G. J. M. Dormands, MRS Bull., 21, 37, 1996.
- [18] H. D. Chen, K. R. Udayakumar, C. J. Gaskey, and L. E. Cross, J. Appl. Phys. 68, 4220, 1990.
- [19] I.J. Lee "Electrical properties of Bi_{3.25}La_{0.75}Ti₃O₁₂ (BLT) thin film grown on p-type Si(100) substrate" 2003.
- [20] A.F.Tasch and L.H.Parker, "Ferroelectric Materials for 64Mb and 256Mb DRAM's, IEEE Circuits and Devices Magazine, pp. 17-26, 1990.
- [21] S.K Dey and J.J. Lee, "Cubic Paraelectric(Nonferroelectric) Perovskite PLT Thin Films with High Permittivity for ULSI DRAM's and Decoupling Capacitors", IEEE Transactions on Electron Devices, vol.39, pp. 1607-1612, 1992.
- [22] J.Y Park "A Study on Fabrication and Properties of PZT Ferroelectric Thin Films by RF Sputtering", 1997
- [23] Y. J. Seo, W. S. Lee, J. S. Park and S. Y. Kim, Jpn. J. Appl. Phys. 42, 6396, 2002.
- [24] Chul-Bok Kim, Sang-Young Kim, So-Young Jeong and Yong-Jin Seo, "Global Planarization of Direct STI-CMP Process using High Selectivity Slurry", 2001 Proceedings 18th International VLSI Multilevel Interconnection Conference(VMIC), September 24-27, 2001, Santa Clara, CA, USA. pp. 230-224, 2001.

- [25] K Kikuta et al, "Aluminum-Germanium-copper Multi level Damascene Process using Low Temperature Reflow sputtering and Chemical Mechanical Polishing," IEDM, pp.101, 1994.
- [26] Chul-Bok Kim, Sang-Young Kim, So-Young Jeong and Yong-Jin Seo, "Global Planarization of Direct STI-CMP Process using High Selectivity Slurry", 2001 Proceedings 18th International VLSI Multilevel Interconnection Conference(VMIC), September 24-27, 2001, Santa Clara, CA, USA. pp. 230-224, 2001.
- [27] S. Kishii, R. Suzuki, A. Ohishi and Y. Arimoto : IEDM Technical Digest, P.465, 1995.
- [28] shyam P. Muraka, "Metallization: theory and Practice for VLSI and ULSI" Butter Worth-Heinemann, pp.195~224, 1993.
- [29] Modak, P. Monteith, and N. Parekh, "components of within-wafer non-uniformity in a dielectric CMP process" CMP-MIC proceeding, pp.169-172, 1997.
- [30] 서용진, 김상용, 이우선, "금속 CMP 적용을 위한 산화제의 역할" 전기전자재료학회논문지, Vol.17, No.4, pp. 378-383, 2004.
- [31] 이우선, 고필주, 이영식, 서용진, 홍광준, "실리카 슬러리의 에이징 효과 및 산화막 CMP 특성" 전기전자재료, Vol.17, No.2, pp. 54, 2004.
- [32] 김상용, 서용진, 김태형, 이우선, 김창일, 장의구 "CMP 공정을 이용한 Multilevel Metal 구조의 평탄화 연구" 한국전기전자재료학회 97년 추계학술대회논문집, Vol.0, No.0, pp.456-460

- [33] P. Singer, *Semiconductor International* 17, 48, 1994.
- [34] I. Kim, K. Murella, and J. Schlueter, *Proceedings of the 2nd International CMP-MIC Conference*, 335, 1997.
- [35] I. All, and S. R. Roy, *Solid State Technology* 40, 185, 1997.
- [36] K. Siegbahn, C. Nordling, A. Fahlman, R. Nordberg, K. Hamrin, J. Hedman, G. Johansson, T. Bergmark, S.-E. Karlsson, I. Lindgren, and B. Lindberg, "ESCA Atomic, Molecular and Solid State Structure Studied by Means of Electron Spectroscopy," *Almqvist & Wiksells, Uppsala*, 1967.
- [37] K. Siegbahn, C. Nordling, G. Johansson, J. Hedman, P. F. Heden, K. Hamrin, U. Gelius, T. Bergmark, L. O. Werme, R. Manne, and Y. Bae r, "ESCA Applied to Free Molecules," *North-Holland Publishing Company, Amsterdam-London*, 1969.
- [38] 박형호, "비휘발성 메모리 소자용 PZT/전극의 계면상태가 전기적 특성에 미치는 영향 연구" , 연세대학교(보고서), 1997.

감 사 의 글

언제나 나의 삶은 은혜로 가득한 삶이라는 것을 고백하며 하나님께 영광드립니다.

본 논문의 주제설정에서부터 실험 및 연구과정 그리고 논문의 완성에 이르기까지 부족한 저를 지도해주시느라 온 열정과 사랑을 쏟으신 이우선 교수님께 진심으로 감사드립니다. 또한 논문의 심사와 더불어 많은 조언을 해주셨던 정수복 교수님, 조금배 교수님과 항상 걱정스런 말로 조언해 주셨던 이상일 교수님, 오금곤 교수님, 백형래 교수님, 최효상 교수님, 김용재 교수님께 감사드립니다.

그리고 이 논문이 완성되기까지 학문적인 지도와 격려, 세심한 충고를 아끼지 않으셨던 김남훈 박사님께 감사의 뜻을 전하고, 짧았던 2년의 대학원 생활가운데 많은 도움을 주셨던 전기공학과 선후배님들께도 감사의 뜻을 전합니다.

끝으로 저에게 아낌없는 사랑과 용기를 주시고 학업에 열중할 수 있도록 뒤에서 묵묵히 지켜봐 주신 부모님, 형, 누나에게 감사드리며 이 작은 결실의 기쁨을 함께 하고자 합니다.

2007년 11월

전영길 올림

저작물 이용 허락서

학 과	전기공학과	학 번	20067069	과 정	석사
성 명	한글: 전영길 한문: 田 英 吉 영문: Jun, Young-Kil				
주 소	전남 해남군 해남읍 안동리 209-19				
연락처	E-MAIL : jesuslove324@naver.com				
논문제목	한글 : CMP 세정공정에 의한 PZT 박막 캐패시터의 전기적 특성 연구 영어 : A Study on Electrical Characteristics by PZT Thin Film Capacitor of CMP Cleaning Process				

본인이 저작한 위의 저작물에 대하여 다음과 같은 조건아래 조선대학교가 저작물을 이용할 수 있도록 허락하고 동의합니다.

- 다 음 -

1. 저작물의 DB구축 및 인터넷을 포함한 정보통신망에의 공개를 위한 저작물의 복제, 기억장치에의 저장, 전송 등을 허락함
2. 위의 목적을 위하여 필요한 범위 내에서의 편집·형식상의 변경을 허락함. 다만, 저작물의 내용변경은 금지함.
3. 배포·전송된 저작물의 영리적 목적을 위한 복제, 저장, 전송 등은 금지함.
4. 저작물에 대한 이용기간은 5년으로 하고, 기간종료 3개월 이내에 별도의 의사 표시가 없을 경우에는 저작물의 이용기간을 계속 연장함.
5. 해당 저작물의 저작권을 타인에게 양도하거나 또는 출판을 허락을 하였을 경우에는 1개월 이내에 대학에 이를 통보함.
6. 조선대학교는 저작물의 이용허락 이후 해당 저작물로 인하여 발생하는 타인에 의한 권리 침해에 대하여 일체의 법적 책임을 지지 않음
7. 소속대학의 협정기관에 저작물의 제공 및 인터넷 등 정보통신망을 이용한 저작물의 전송·출력을 허락함.

동의여부 : 동의() 반대()

2008년 2월 25 일

저작자: 전 영 길 (서명 또는 인)

조선대학교 총장 귀하