



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

2022年 8月

博士學位 論文

DC 전력망 공급 신뢰도 확보를  
위한 초전도 DC 차단기 특성 연구

朝鮮大學校 大學院

電氣工學科

朴 相 勇

# DC 전력망 공급 신뢰도 확보를 위한 초전도 DC 차단기 특성 연구

A study on the characterization of the  
superconducting DC circuit breaker for securing the  
supply of reliability in the DC grid

2022年 08月 26日

朝鮮大學校 大學院

電氣工學科

朴 相 勇

# DC 전력망 공급 신뢰도 확보를 위한 초전도 DC 차단기 특성 연구

指導教授 崔 孝 祥

이 論文을 工學博士學位 申請論文으로 提出함

2022年 04月

朝鮮大學校 大學院

電氣工學科

朴 相 勇



## 朴相勇의 博士學位 論文을 認准함

委員長 朝鮮大學校 教授 김 재 흥 (印)

委 員 朝鮮大學校 教授 최 연 옥 (印)

委 員 朝鮮大學校 教授 손 윤 국 (印)

委 員 電力去來所 次長 최 정 곤 (印)

委 員 朝鮮大學校 教授 최 효 상 (印)

2022年 06月

朝鮮大學校 大學院

## 목 차

I. 서론 .....	01
A. 연구 배경 및 필요성 .....	01
B. 연구 동향 .....	03
C. 연구목적 및 연구범위 .....	04
II. 이론적 배경 .....	07
A. HVDC 계통 시스템 .....	07
1. HVDC 송전 시스템 구성 .....	07
2. HVDC 송전 방식 .....	11
3. HVDC 회로 및 제어 기법 .....	14
4. HVDC 변조 방식 및 알고리즘 .....	16
5. HVDC 차단 요구 조건 .....	21
B. DC 차단 기술 .....	26
1. 초전도 한류 모듈 .....	26
2. 기계식 DC 차단기 .....	31
3. 초전도 DC 차단기 동작 순서 .....	37
III. 시뮬레이션 설계 및 해석 .....	38
A. MMC VSC-HVDC 정상 상태 .....	38
1. MMC VSC-HVDC 시스템 구성 .....	38
2. 정상 특성 .....	42
3. PV 특성 .....	46
B. MMC VSC-HVDC 과도 상태 .....	51
1. Case 1 : AC 1선(a상) 지락 고장 .....	52
2. Case 2 : AC 2선(a, b상) 지락 고장 .....	57
3. Case 3 : AC 2선(a, b상) 단락 고장 .....	61
4. Case 4 : AC 3선(a, b, c상) 단락 고장 .....	66

5. Case 5 : DC 1선(+) 지락 고장 .....	70
6. Case 6 : DC 2선(+/-) 단락 고장 .....	74
7. Case 1~6 결과 데이터 검토 .....	78
C. 초전도 DC 차단기의 HVDC 계통 적용 .....	81
1. 초전도 한류 모듈의 모델링 설계 기준 .....	81
2. 초전도 한류 모듈의 초전도 선재 권선별 특성 .....	88
3. 초전도 DC 차단기 시뮬레이션 모델 설계 .....	99
4. 초전도 DC 차단기 시뮬레이션 결과 .....	106
5. HVDC 계통 적용 시뮬레이션 설계 및 결과 .....	114
IV. 실험 설계 및 결과 .....	126
A. 실험 순서 .....	126
B. 실험 설계 .....	126
C. 한류부 .....	129
1. 초전도 모듈 선정 .....	129
2. Bifilar-Meander 방식의 초전도 한류 모듈 설계 및 결과 .....	130
D. 차단부 .....	134
1. 기계식 DC 차단기 선정 .....	134
2. LC 발산진동회로 실험 설계 및 결과 .....	135
V. 결론 .....	152
참 고 문 헌 .....	155

## List of Tables

Table 2-1 ESCR scale for typical power system strength .....	08
Table 2-2 Parameters of the ABB VSC-HVDC .....	10
Table 2-3 Parameters of the Siemens VSC-HVDC .....	10
Table 2-4 Parameters of the GE VSC-HVDC .....	10
Table 2-5 Advantages and disadvantages of DC transmission system .....	12
Table 2-6 Advantages and disadvantages of CSC and VSC-HVDC .....	13
Table 3-1 Parameters of XPLE cable .....	39
Table 3-2 Parameters of TBC MMC VSC-HVDC .....	41
Table 3-3 Standard on the IGBT's cutting-off operation setting parameters for AC and DC .....	43
Table 3-4 Characteristic data generated in section D of all assumed faults .....	80
Table 3-5 Design parameters for a superconductor .....	83
Table 3-6 Applied signal according to superconducting state .....	83
Table 3-7 Time constant $\tau$ of fault current for each critical current of superconductors ..	85
Table 3-8 Superconducting wire usage and force of the magnetic field strength according to each winding method .....	96
Table 3-9 Parameters of the superconducting current-limiting module .....	103
Table 3-10 Simulation results of current and voltage in section $T_0 \sim T_1$ .....	112
Table 3-11 Simulation results of current and voltage in section $T_0 \sim T_3$ .....	112
Table 3-12 Characteristic comparison data according to application of a superconducting DC circuit breaker .....	125
Table 4-1 Experimental results of operating characteristics of a DC circuit breaker to which the reactor variable are applied .....	144
Table 4-2 Experimental results of operating characteristics of a DC circuit breaker to which the capacitor variable are applied .....	151

## List of Figures

Fig. 2-1 The circuit diagram of CSC-HVDC grid system .....	12
Fig. 2-2 The circuit diagram of VSC-HVDC grid system .....	12
Fig. 2-3 Graphs of the converter output voltage by the level of IGBT .....	14
Fig. 2-4 The circuit diagram of MMC type AC-DC system .....	15
Fig. 2-5 The modulation technique of MMC .....	17
Fig. 2-6 The types of BCA (Balancing Control Algorithm) .....	19
Fig. 2-7 The flowchart of Basic Balancing Control Algorithm (BCA) .....	19
Fig. 2-8 The flowchart of RSF(Reduced Switching Frequency) .....	20
Fig. 2-9 The flowchart of IRSF(Improved Reduced Switching Frequency) .....	20
Fig. 2-10 Short circuit profiles of different DC sources .....	22
Fig. 2-11 The standard short circuit function curve .....	22
Fig. 2-12 The circuit diagram of MMC and components of the submodule .....	24
Fig. 2-13 Operating characteristics of each element of SM (normal and transient) .....	24
Fig. 2-14 The equivalent circuit of MMC system in case of DC short circuit fault .....	25
Fig. 2-15 Critical surface of a superconductor .....	27
Fig. 2-16 Quenching characteristics of a superconductor .....	27
Fig. 2-17 Equivalent circuit of resistive superconducting current limiter .....	30
Fig. 2-18 Equivalent circuit of inductive superconducting current limiter .....	30
Fig. 2-19 Equivalent circuit of saturated iron core type superconducting current limiter .....	30
Fig. 2-20 DC cutting-off methods .....	31
Fig. 2-21 Operation sequence of MMC HVDC grid and a superconducting DC circuit breaker .....	37
Fig. 3-1 The schematic diagram of TBC MMC VSC-HVDC .....	39
Fig. 3-2 The circuit diagram for simulation of TBC MMC VSC-HVDC .....	39
Fig. 3-3 Cross section of the the XLPE cable .....	40
Fig. 3-4 The schematic of a PSCAD/EMTDC converter .....	40
Fig. 3-5 Schematic diagrams of a PSCAD/EMTDC leg and a Y- $\Delta$ transformer .....	41
Fig. 3-6 Operation mechanism of MMC VSC-HVDC system .....	43

Fig. 3-7 Charging circuits of the initial SM capacitor by the AC power ..... 44  
 Fig. 3-8 Voltage control flow schematic of SM capacitors ..... 44  
 Fig. 3-9 Switch ON/OFF waveforms according to voltage control of SM capacitors ... 45  
 Fig. 3-10 Voltage of SM capacitors ..... 45  
 Fig. 3-11 P-V curve ..... 46  
 Fig. 3-12 Voltages of  $AC_1$  and  $AC_2$  ..... 48  
 Fig. 3-13 Currents of  $AC_1$  and  $AC_2$  ..... 48  
 Fig. 3-14 Voltages and currents of  $DC_1$  and  $DC_2$  ..... 49  
 Fig. 3-15 Active, reactive, apparent electric power of  $AC_1$  and  $AC_2$  ..... 49  
 Fig. 3-16 Comparison graph of P-V characteristics by each section ..... 50  
 Fig. 3-17 Assumed fault points in MMC VSC-HVDC ..... 51  
 Fig. 3-18 AC voltages according to a AC pole-to-ground fault (1-line) ..... 53  
 Fig. 3-19 AC currents according to a AC pole-to-ground fault (1-line) ..... 54  
 Fig. 3-20 DC voltages and currents according to a AC pole-to-ground fault (1-line) · 54  
 Fig. 3-21 AC power(Active, reactive, apparent electric) according to a AC pole-to-ground fault (1-line) ..... 55  
 Fig. 3-22 P-V characteristics of a AC pole-to-ground fault(1-line) by each section ... 56  
 Fig. 3-23 AC voltages according to a AC pole-to-ground fault (2-lines) ..... 58  
 Fig. 3-24 AC currents according to a AC pole-to-ground fault (2-lines) ..... 58  
 Fig. 3-25 DC voltages and currents according to a AC pole-to-ground fault (2-lines) 59  
 Fig. 3-26 AC power(Active, reactive, apparent electric) according to a AC pole-to-ground fault (2-lines) ..... 59  
 Fig. 3-27 P-V characteristics of a AC pole-to-ground fault(2-lines) by each section · 60  
 Fig. 3-28 AC voltages according to a AC pole-to-pole fault (2-lines) ..... 62  
 Fig. 3-29 AC currents according to a AC pole-to-pole fault (2-lines) ..... 63  
 Fig. 3-30 DC voltages and currents according to a AC pole-to-pole fault(2-lines) 63  
 Fig. 3-31 AC power(Active, reactive, apparent electric) according to a AC pole-to-pole fault (2-lines) ..... 64  
 Fig. 3-32 P-V characteristics of a AC pole-to-pole fault(2-lines) by each section · 65  
 Fig. 3-33 AC voltages according to a AC pole-to-pole fault (3-lines) ..... 67

Fig. 3-34 AC currents according to a AC pole-to-pole fault (3-lines) ..... 67

Fig. 3-35 DC voltages and currents according to a AC pole-to-pole fault(3-lines) 68

Fig. 3-36 AC power(Active, reactive, apparent electric) according to a AC pole-to-pole fault (3-lines) ..... 68

Fig. 3-37 P-V characteristics of a AC pole-to-pole fault (3-lines) by each section ... 69

Fig. 3-38 DC voltages according to a DC pole-to-ground fault (1-line) ..... 71

Fig. 3-39 DC currents according to a DC pole-to-ground fault (1-line) ..... 71

Fig. 3-40 DC voltages and current according to a DC pole-to-ground fault (1-line) ... 72

Fig. 3-41 AC power(Active, reactive, apparent electric) according to a DC pole-to-ground fault (1-line) ..... 72

Fig. 3-42 P-V characteristics of a DC pole-to-ground fault (1-line) by each section ... 73

Fig. 3-43 DC voltages according to a DC pole-to-pole fault (2-lines) ..... 75

Fig. 3-44 DC currents according to a DC pole-to-pole fault (2-lines) ..... 75

Fig. 3-45 DC voltages and currents according to a DC pole-to-pole fault(2-lines) 76

Fig. 3-46 AC power(Active, reactive, apparent electric) according to a DC pole-to-pole fault (2-lines) ..... 76

Fig. 3-47 P-V characteristics of a DC pole-to-pole fault (2-lines) by each section ... 77

Fig. 3-48 Simulated circuit diagram of a superconductor ..... 82

Fig. 3-49 Current discrimination circuit of a superconductor ..... 82

Fig. 3-50 Model of quench properties of a superconductor ..... 82

Fig. 3-51 Time constant of fault current according to critical current of a superconductor ... 84

Fig. 3-52 Quenching characteristics of superconductors ..... 85

Fig. 3-53 Fault current limiting characteristics of superconductors ..... 86

Fig. 3-54 Experiment and simulation data of the superconductor quench resistance ... 87

Fig. 3-55 Cross sections of the helical-type winding method ..... 89

Fig. 3-56 Cross section of the spiral-type winding method ..... 90

Fig. 3-57 Cross section of the meander-type winding method ..... 90

Fig. 3-58 Superconducting module modeling with the helical-type ..... 92

Fig. 3-59 Superconducting module modeling with the spiral-type ..... 93

Fig. 3-60 Superconducting module modeling with the meander-type ..... 93

Fig. 3-61 A complete superconducting module that consists of the same module of

each type with the free space of each winding method in the standard box ..... 96

Fig. 3-62 Magnetic field distribution diagram of helical method ..... 97

Fig. 3-63 Magnetic field distribution diagram of spiral method ..... 97

Fig. 3-64 Magnetic field distribution diagram of meander method ..... 98

Fig. 3-65 Simulated short circuit diagram of a superconducting DC circuit breaker ... 99

Fig. 3-66 Graphs for operating characteristics of initial fault current ..... 100

Fig. 3-67 Experimental data of superconducting wires ..... 102

Fig. 3-68 Characteristics of Simulation Modeling ..... 102

Fig. 3-69 Modeling algorithm of arc operation characteristics ..... 105

Fig. 3-70 Operating characteristics of the MCB circuit according to arc model equation .. 105

Fig. 3-71 Graphs for operation characteristics of a superconducting DC circuit breaker ... 108

Fig. 3-72 Graphs for operation characteristics of a superconducting DC circuit breaker [D-a]-[D-b] ..... 109

Fig. 3-73 Graphs for operation characteristics of a superconducting DC circuit breaker [D-b]-[D-c] ..... 113

Fig. 3-74 AC voltages of DC pole-to-ground fault (1 line) according to application of superconducting DC circuit breaker ..... 116

Fig. 3-75 AC currents of DC pole-to-ground fault (1 line) according to application of superconducting DC circuit breaker ..... 116

Fig. 3-76 DC voltages and currents of DC pole-to-ground fault (1 line) according to application of a superconducting DC circuit breaker ..... 117

Fig. 3-77 Resistance graphs of a superconducting current-limiting module ..... 117

Fig. 3-78 AC power (active, reactive, apparent) of DC pole-to-ground fault (1 line) according to the application of a superconducting DC circuit breaker ..... 118

Fig. 3-79 P-V characteristics of DC pole-to-ground fault (1 line) by each section according to the application of a superconducting DC circuit breaker ..... 119

Fig. 3-80 AC voltages of DC pole-to-pole fault (2 lines) by application of a superconducting DC circuit breaker ..... 121

Fig. 3-81 AC currents of DC pole-to-pole fault (2 lines) by application of a superconducting DC circuit breaker ..... 122

Fig. 3-82 DC voltages and currents of DC pole-to-pole fault (2 lines) by application of a



superconducting DC circuit breaker ..... 122

Fig. 3-83 DC voltage and current of DC pole-to-pole fault (2 lines) by application of a superconducting DC circuit breaker ..... 123

Fig. 3-84 P-V characteristics of DC pole-to-pole fault (2 lines) by each section according to the application of a superconducting DC circuit breaker ..... 124

Fig. 4-1 DC battery banks 1 and 2 ..... 127

Fig. 4-2 Device system for simulation accident ..... 127

Fig. 4-3 Circuit diagram of device system for simulation accident ..... 128

Fig. 4-4 Cooling system ..... 128

Fig. 4-5 Modeling of the improved meander method of a superconducting current-limiting module ..... 131

Fig. 4-6 Prototype of meander-type superconducting current-limiting module 131

Fig. 4-7 Comparison graphs of initial fault current with or without a superconducting current-limiting module ..... 132

Fig. 4-8 Characteristic graphs of quench operation of a superconducting current limiter .. 132

Fig. 4-9 Resistance graph of operation of a superconducting element ..... 133

Fig. 4-10 Reactors and capacitors used in the experiment ..... 135

Fig. 4-11 Characteristics of cutting-off operation (reactor 5  $\mu H$ , capacitor 750  $\mu F$ , frequency 2,599 Hz) ..... 139

Fig. 4-12 Power burden(reactor 5  $\mu H$ , capacitor 750  $\mu F$ , frequency 2,599 Hz) ..... 139

Fig. 4-13 Characteristics of cutting-off operation(reactor 15  $\mu H$ , capacitor 750  $\mu F$ , frequency 1,500 Hz) ..... 140

Fig. 4-14 Power burden(reactor 15  $\mu H$ , capacitor 750  $\mu F$ , frequency 1,500 Hz) ... 140

Fig. 4-15 Characteristics of cutting-off operation(reactor 25  $\mu H$ , capacitor 750  $\mu F$ , frequency 1,162 Hz) ..... 141

Fig. 4-16 Power burden(reactor 25  $\mu H$ , capacitor 750  $\mu F$ , frequency 1,162 Hz) ... 141

Fig. 4-17 Characteristics of cutting-off operation (reactor 35  $\mu H$ , capacitor 750  $\mu F$ , frequency 982 Hz) ..... 142

Fig. 4-18 Power burden (reactor 35  $\mu H$ , capacitor 750  $\mu F$ , frequency 982 Hz) ... 142

Fig. 4-19 Characteristics of cutting-off operation (reactor 45  $\mu H$ , capacitor 750  $\mu F$ , frequency 866 Hz) ..... 142

Fig. 4-20 Power burden (reactor 45  $\mu H$ , capacitor 750  $\mu F$ , frequency 866 Hz)  $\cdots$  142

Fig. 4-21 Characteristics of cutting-off operation (reactor 15  $\mu H$ , capacitor 250  $\mu F$ , frequency 2,598 Hz)  $\cdots$  147

Fig. 4-22 Power burden (reactor 15  $\mu H$ , capacitor 250  $\mu F$ , frequency 2,598 Hz)  $\cdot$  147

Fig. 4-23 Characteristics of cutting-off operation (reactor 15  $\mu H$ , capacitor 500  $\mu F$ , frequency 1,837 Hz)  $\cdots$  148

Fig. 4-24 Power burden (reactor 15  $\mu H$ , capacitor 500  $\mu F$ , frequency 1,837 Hz)  $\cdot$  148

Fig. 4-25 Characteristics of cutting-off operation (reactor 15  $\mu H$ , capacitor 1000  $\mu F$ , frequency 1,299 Hz)  $\cdots$  149

Fig. 4-26 Power burden(reactor 15  $\mu H$ , capacitor 1000  $\mu F$ , frequency 1,299 Hz)  $\cdot$  149

Fig. 4-27 Characteristics of cutting-off operation (reactor 15  $\mu H$ , capacitor 1,250  $\mu F$ , frequency 1,162 Hz)  $\cdots$  150

Fig. 4-26 Power burden(reactor 15  $\mu H$ , capacitor 1,250  $\mu F$ , frequency 1,162 Hz)  $\cdots$  150

## ABSTRACT

A study on the characterization of the superconducting DC circuit breaker for securing the supply of reliability in the DC grid

Park Sang-Yong

Advisor: Prof. Choi Hyo-Sang Ph.D.

Department of Electrical Engineering

Graduate School of Chosun University

The topics currently studied on HVDC are control, protection, and security. A new theme has been explored, aiming at the DC grid system of MTDC (Multi-Terminal Direct Current), which is a meshed HVDC type of the future. This study modeled VSC-HVDC based on the ordinary VSC-HVDC actual system model and selected severe contingencies through the P-V characteristics. In addition, this study proposed a superconducting DC circuit-breaking technology to protect power devices from power system transients. A feasibility analysis was performed on current-limiting and circuit-breaking technologies by applying them to the types of contingency accidents based on the simulation results. The feasibility was examined through experiments based on the simulation results. The results of this study are summarized as follows;

First, by analyzing the configuration and method of the HVDC system and the considerations for each method (circuit control method, modulation method, and capacitor algorithm), the circuit breaking characteristics required for the HVDC system were established. The operation principle and mechanism of a superconducting current-limiting module (resistance, induction, and saturated iron-core) and mechanical DC circuit breaker (active, passive, LC divergence

oscillation, and forced types) of the superconducting DC circuit breaking technology were comparatively analyzed. The combining structure of a superconducting element and mechanical DC circuit breaking units was selected.

Second, the TBC VSC-HVDC system was modeled using the PSCAD/EMTDC program. The operating characteristics (steady and transient states) were compared and analyzed. As for the contingency, the study was divided into AC contingency and DC contingency. Severe contingency types were selected through the analysis of voltage, current operation flow, and P-V characteristics generated for each element and used as an HVDC system infrastructure model for the feasibility study of superconducting DC circuit breakers. This study designed a model for each component (superconducting current-limiting module, mechanical DC circuit breaker) of the superconducting DC circuit breaker proposed herein. It analyzed the characteristics of the circuit breaking operation. Also, this study suggested the bifilar-meander winding method to improve the current-limiting rate of the superconducting current-limiting module. Studies on possible improvements and feasibility of the model were performed. A mechanical DC circuit breaker study was conducted on the characteristic of the artificial current zero position of the stable LC divergence oscillation circuit. In addition, the superconducting current-limiting module and the final current-limiting and breaking operation characteristics were reviewed based on frequently occurring and serious accident types. By applying the superconducting DC circuit breaker model to the HVDC system infrastructure model, studies on possible improvements and feasibility were performed according to the presence or absence of a circuit breaker. This stage was to review the DC circuit breaker's reliability through the PSCAD/EMTDC program. The result reduced the initial fault current and a DC fault current cut-off time.

Third, this study derived improved simulation results according to the application of a superconducting DC circuit breaker. The design criteria required for modeling PSCAD/EMTDC of the superconducting current-limiting module of the superconducting DC circuit breaker and the modeling (helical, spiral, meander type) characteristics according to the superconducting wire were comparatively

analyzed. Each superconducting wire's volume and magnetic field force were comparatively analyzed through Maxwell, the electromagnetic field analysis program, and an appropriate type was selected. The operation characteristics through PSCAD/EMTDC were analyzed by applying the superconducting wire winding method proposed in this study to a superconducting DC circuit breaker.

Fourth, the operation characteristics of each current-limiting unit and circuit breaking unit were reviewed through experiments based on the research results above, and their applicabilities were examined. A scaled-down model for the improved superconducting current-limiting module proposed in this study was produced. A DC short-circuit simulation was performed to analyze fault current-limiting and quench operation characteristics in-depth. In addition, a DC short-circuit simulation test was performed by designing and producing a mechanical DC circuit breaker. Finally, the feasibility was examined by conditions through the experiments on the LC divergence oscillation circuit, which creates an artificial zero position for circuit breaking. Based on the data resulting from the experiments, it was confirmed that they could be applied to the VSC-HVDC system of superconducting DC circuit breakers. Therefore, it is deemed that they can be studied as circuit breakers suitable for MTDC in the future.

This study could secure the data derived from various design variables and environments through simulations and tests on the superconducting DC circuit breaking technology of VSC-HVDC, which has been the hottest issue worldwide, and confirm the research and development potential of superconducting DC circuit breaking technology. The DC circuit breaking technology based on power semiconductors has been described as a solution to DC system protection. However, it is now deemed that a new hybrid type, DC circuit breaking technology combining a superconducting current-limiting module and a mechanical DC circuit breaker, will lead the way based on the research results above. In addition, it is expected that the research results of this study will be used as primary essential data for the continued analysis of current-limiting and circuit-breaking characteristics in the future.

# I. 서론

## A. 연구 배경 및 필요성

기후변화에 의한 탄소 정책이 범국가적으로 실행됨에 따라 DC 전력의 공급이 기하급수적으로 확대되고, 전력용 반도체의 응용 기술 발전이 디지털 데이터 시대를 초래하면서 DC 전력의 수요도 점점 높아지고 있다. 이에 따라 DC 공급과 수요를 고려한 송배전 전력 효율 연구가 활발히 진행되고 있다. 전 세계 기준으로 전력 발전량 비중이 가장 높은 석탄 발전량은 점점 줄어들고, 줄어든 비중을 신재생에너지원(태양광 발전, 풍력발전 등)으로 충족시키려 하고 있다[1]. 이러한 움직임에 따라, 2020년 신재생에너지원 관련 부속품의 단가가 저감되고, 고효율화, 핵심 소재 자립, 산업응용 분야의 확대가 이루어졌으며, 균등화발전비용(Levelised cost of electricity, LCOE)이 감소하고 있다[2-3]. 2021년 유럽(독일, 불가리아)에서는 태양광 및 풍력(육상) 발전 비용( $CO_2$  가격 포함)이 석탄 화력 발전소 운영 비용보다 높은 단계에 있다[4]. 국내 KEITI에 따르면 2019년에서 2034년까지 신재생에너지의 발전 비중을 약 5백만 toe에서 약 23.5백만 toe까지 높이는 목표를 제시하며, 이 분야에 대한 관심이 매우 높다는 입장을 보였다[5].

국제대전력망협의회 CIGRE(International Council on Large Electric System)에서는 HVDC 계통뿐만 아니라 DC 그리드에 대한 연구를 기본 원리부터 타당성 검토까지 주도하고 있다[6-8]. 1954년 스웨덴의 전류형 방식 HVDC의 상용화를 시작으로 2014년의 브라질 Rio Madeira[9-10], 중국의 Changji와 Guquan를 잇는 HVDC 계통[11-13], 2021년의 노르웨이와 독일의 HVDC 계통 연계[14-15] 실증 사업이 진행되었다. 더 나아가, 북유럽의 슈퍼 그리드(Nord. EU Supergrid)와 남유럽-MENA의 슈퍼 그리드(Sud. EU-Marherb Supergrid), 남부 아프리카의 슈퍼 그리드(Grand Lnga Project) 등의 대표적인 DC 그리드 사례들도 있다. 아시아권에서도 한국과 중국, 일본, 러시아, 몽골 등의 국가들이 동북아 슈퍼 그리드를 구축하기 위한 논의를 진행하고 있다. 위와 같은 수많은 선행 연구와 실증 사업을 통해 DC 기술의 검증과 활용이 지속해서 이루어졌으며, 이에 따라 HVDC의 기술 발전 및 인프라 구축이 가능했다는 평가가 있다. HVDC 연구는 일반적으로 제어[16-21], 보호[22-25], 보안[26] 분야 등으로 나누어 진행되고 있으며, 미래의 매쉬드 HVDC 형태인 MTDC(Multi-Terminal Direct Current)를 DC 그리드 시스템의 최고 목표로

세워 여러 테마 연구를 통해 활발히 진행되고 있다.

HVDC 계통의 활용 범위는 계속해서 넓어지고, 그 신뢰성에 대한 유틸리티의 우려도 함께 높아지고 있다. 최근에 우려했던 문제 중 하나는 신재생에너지원의 불안정한 출력량이 기존 AC 계통과 연계되면서 전력 수급 불균형, 계통 강건성 저하에 의한 전압 문제, 회전관성 저하에 의한 주파수 문제를 야기시켜 송배전망의 정태 안정도에 악영향을 주는 것이었다. 하지만, 이러한 문제는 한국과 일본에서 양수 발전소의 Pump-up & down 및 화력발전소의 감발 운전 또는 타지역으로의 잉여 발전량 송전 방법을 통해 해결하고 있다. 국제적인 사례로는 미국과 독일이 있다. 미국에서는 신재생에너지의 출력량을 약 70 % 낮추고 동기 조상기를 추가로 설치하는 방법을 활용하여 회전 관성의 저하를 방지하고 있다. 독일에서는 인접 국가와의 전력 DC 계통망을 확대하고 빠른 대처 방식(급전 주기를 1시간에서 15분으로 변경) 및 AC-DC 연계 계통 문제를 해결하는 방법 등을 적용하면서 계통의 신뢰도를 높이는 노력을 하고 있다. 그럼에도 불구하고 송배전 측면에서의 과도 안정도에 대한 대안은 아직도 우리에게 큰 숙제로 다가오고 있다. 예기치 못한 선로 고장 및 태양광 및 풍력발전 단지의 일시적인 전압 강하와 같은 상황이 발생하면, 정격의 약 10배 이상 큰 고장 전류가 발생하게 된다. 이를 신속하고 확실하게 대처하지 못한다면, 고장 전류는 계통의 전반적인 전력 기기에 악영향을 줄 수 있으며, 심할 경우 대규모 block-out까지 초래할 수 있다. 이 문제에 대해서 미국은 발전 단지의 전압 강하에 따른 일시 정지 동작에 예상치 못한 출력이 저하될 때, IEEE Standard Association(IEEE 1547-2018)의 출력 감발 허용전압 기준을 0.9 p.u에서 0.5 p.u로 낮춤으로써 발전기로서의 책무를 강화하는 방법을 실행하고 있다. 일본에서는 미국과 유사한 계통내 전압 강하 발생 시, 전력공급 유지 기준을 0.3 p.u에서 0.2 p.u로 강화하고 고장 발생 후 출력회복시간 기준을 0.5 sec에서 0.1 sec으로 단축(Fault Ride Through, FRT 관련 규정 내용)하여 대응하고 있다. 호주에서는 태풍과 돌풍으로 인한 연속적인 송전 선로 고장 및 전압 강하가 발생하였을 때, 연속 고장 접속유지기준(Pre-set limit)을 개정하여 신재생에너지 탈락 허용 규정을 강화하였다. 하지만, 궁극적으로 기준 변경의 대응을 통해 송배전 과도상태에 따른 고장 전류를 전력 기기의 고장과 대규모 Black-out을 막을 순 없다.

## B. 연구 동향

기존 AC 전류에는 주파수가 존재하기 때문에, 고장 전류는 선로 임피던스에 의존하여 발생한다. 또한, 고장 전류의 차단 영점이 형성된다는 점에서 고장 전류 차단에 유리한 조건을 가지고 있다. 하지만, DC에는 주파수가 없다. 그렇기 때문에 DC 고장 전류는 AC보다 더 빠른 속도로 성장할 수밖에 없으며, 전류 차단 영점이 존재하지 않기 때문에 높은 전류 레벨에서 차단이 이루어진다. 이에 따라, DC에는 고장 전류의 빠른 성장을 신속하고 안정적이게 차단할 수 있는 차단 기술이 필요하다. 국제적으로 ABB 사에서 제작한 하이브리드형 HVDC 차단기가 상용화되어 여러 분야에 활용되고 있으며, 이는 대표적인 HVDC 차단기로 많은 논문 참고 자료로 활용되고 있다[5,14-15]. 이 차단기는 주차단기와 Ultra fast disconnecter 그리고 Load commutation switch로 구성되어 있다. 주차단기에는 전력용 반도체(Insulated Gate Bipolar Transistor, IGBT)가 사용되었고, 이는 차단기 전체 용량을 결정하며 하나의 모듈(전력용 반도체를 직렬 연결하고 피뢰기를 병렬 연결한 구조)을 직렬로 다수 연결한 구조이다. UFD(Ultra fast disconnecter)는 기계식 단로기이고, LCS(Load Commutation Switch)는 전력용 반도체 차단기(주차단기보다 낮은 차단 레벨 성능)이다. 이 차단기는 정상 상태시, 정상 전류는 UFD와 LCS를 통해 흐르지만, 과도 상태시, 고장 전류는 LCS의 스위칭을 통해 주차단기 회로로 우회한다. 주차단기는 여러 모듈의 스위칭을 통해 HVDC 그리드의 고장 선로를 분리해내며, 피뢰기는 선로에 남아있는 고장 전류를 소호시킨다. 이러한 메커니즘을 통해 약 2 ms 이내로 고장 전류를 차단할 수 있다. 하지만, 정상 전류의 흐름에서 발생하는 LCS의 전력용 반도체의 발열에 대한 손실과 주차단기의 소수의 사소한 스위칭 고장이 연쇄적 차단 실패로 이어질 수 있는 문제를 가지고 있다. 또한, 전력용 반도체의 발열을 최소화하기 위한 냉각 보조 장치 및 스위칭(DC Switchyards & air-forced cooling system), 대용량 커패시터 등의 구성으로 전체적인 차단기의 부피가 커지고 구성도 복잡해진다.

2015년 한국전기연구원에서는 배전급 HVDC 차단기를 개발하였다. 고장 전류가 발생하였을 때 약 2 ms 이내에 발전소의 고장 전류 차단이 가능한 고속 직류 차단기이다. 전기연구원에서 개발한 HVDC용 차단기는 유럽의 ABB 사에 비해 구조가 간단하고 설비비용을 줄일 수 있다는 장점을 가지고 있다. 하지만 기존 AC 차단기에 비해 구조가 복잡하고, LV/MV DC에 적용하기엔 부피가 크며, 경제성이 떨어



진다는 평가가 있다. 그 외에 명지대학교에서는 사이리스터 스위치와 LC 공진을 이용한 하이브리드 DC 차단기를 연구하고 있으며, 기계식 차단기에 사이리스터(Thyristor), 다이오드(Diode), L, C, ZnO가 구성되어 있다[27]. 하지만, 실리콘 제어 정류기로 불리는 4층 반도체 소자인 사이리스터가 다수 필요하며, 이의 스위칭 동작을 통해 LC 공진회로에서의 충·방전이 진행된다. 이는 고장 전류가 커패시터의 충전된 공진전류(역전류)에 의해 억제되는 Active DC 차단 방식을 사용한다. 제안된 회로의 동작 원리에서 사이리스터의 능동적인 구분동작이 매우 중요한 요소로 자리 잡고 있다. 현재까지 제안된 사이리스터 스위치와 LC 공진을 활용한 하이브리드 DC 차단기는 PSCAD/EMTDC 소프트웨어 시뮬레이션을 통해 구현하였으며, 이 모델은 추후 실험 데이터를 통한 동작 특성 입증에 필요할 것으로 판단된다. 이러한 연구는 미래의 MTDC가 발전하면서 계통 용량이 증대된다면, 이를 기반으로 전력용 반도체와 기계식 DC 차단기의 성능 및 용량이 증대되어야 하며 이에 대한 비용과 규모는 점점 커질 것으로 사료된다.

2016년 Manchester 대학교에서 각종 하이브리드 DC 차단 기술로써 초전도체의 활용에 대해 언급하고 이를 검토한 논문[28]이 발표되면서, 많은 연구자는 초전도 한류기에 관심을 쏟기 시작했다[29-30]. 초전도 한류기는 전력용 반도체의 단점을 보완할 수 있는 초전도 특성을 가지고 있으며, 한류 속도는 약 2 ms 이내로 매우 빠르다. 초전도 한류기의 초전도 상태를 유지하기 위해서는 냉각 시스템이 필요하다는 단점이 있지만, 전력용 반도체의 정상 전로에서 발생하는 발열 및 잦은 고장에 대한 기계적 및 전기적 내구성 저하 특성보다 월등히 안정적이며 신속한 동작을 가지고 있기 때문에 많은 연구자들이 관심을 보이고 있다. 2018년까지 초전도 한류기(저항형, 유도형)와 결합한 여러 하이브리드 타입의 DC 차단기가 시뮬레이션 분석 결과를 기반으로 제안되었다. 초전도 하이브리드 DC 차단기 연구는 Jiaotong University, Huazhong University에서 가장 활발히 진행되고 있으며, 최근까지는 시뮬레이션 및 실험 단계의 연구가 진행되고 있다[31-34].

### C. 연구목적 및 연구범위

DC 공급 및 수요 증가로 인한 HVDC 계통의 활용 범위가 확대되고 있다. 이에 따른 기존 AC 계통과 DC 계통의 연계에 따라 저하될 수 있는 공급 신뢰도를 여러 해법을 통해 해결해나가고 있다. DC 계통에서 우선시 연구되어야 하는 분야는

선로의 과도상태에 대한 보호 기술 분야이며, 이 분야는 실증 및 연구 단계에 머물고 있다. 현재 상용화되고 있는 하이브리드 DC 차단기(전력용 반도체)의 기술 개발로 DC 계통의 발전이 점차 이어지고는 있지만, 이는 수백~수천 개의 고가인 전력용 반도체가 필요하다는 설계 조건을 가지고 있음에 따라 경제적인 한계를 가지고 있다. 본 논문에서는 미래의 MTDC의 공급 신뢰도를 확보하기 위한 방안으로 새로운 유형의 하이브리드형 DC 차단기를 제안한다. 이는 초전도 한류 모듈과 기계식 DC 차단기가 직렬로 연결된 구조이며, DC 차단에 매우 적합한 조합이다. 저온 상태의 초전도 한류 모듈은 선로의 정상상태에서 초전도 특성(임피던스가 제로)이 발생한다. 선로의 과도상태에서는 Quenching(급격한 온도 변화를 통해 물질의 성질이 변함)이 발생하며, 이는 약 2 ms 이내에 초전도 상태에서 상전도 상태로 상변이하는 특성을 말한다. 이는 순간 도체 내에 저항을 발생시켜 DC 고장 전류를 빠르게 한류 할 수 있다. MTDC에서 과도 상태로 인한 고장 전류로부터 보호되어야 할 요소는 MMC(Modular Multi-level Converter) 내에 설계되어 있는 전력용 반도체(IGBT)이다. 이는 매우 민감한 소자이면서 정상 및 고장 전류로부터 쉽게 열이 발생한다. 만약 전력용 반도체의 한 부분이 고장 난다면, 연쇄반응에 따른 MMC의 전력 변환 기능에 큰 차질이 생길 수 있다.

본 논문에서는 이에 대한 해결책으로 초전도 DC 차단기를 제안한다. 이는 초전도 한류 모듈과 기계식 DC 차단기가 결합한 차단 기술이며 한류와 차단 기술은 장·단점을 가지고 있다. 첫 번째, 초전도 한류 모듈은 초기고장 전류를 한류하며, 한류율을 높이는 아이디어를 통해 최소한의 부피를 유지하면서 고장 전류의 성장 속도를 강력하게 제한할 수 있다. 하지만, 고장이 차단 완료되기까지 모든 전력 부담을 감당해야 하는 단점을 가지고 있다. 두 번째, LC 발산진동회로를 적용한 기계식 DC 차단기는 인위적인 차단 전류 영점을 생성하여 매우 신뢰도 높은 차단 기술로 고장 전류를 차단할 수 있다. 하지만, 차단 시간이 느리다는 단점을 가지고 있다. 이러한 초전도 한류 모듈과 기계식 DC 차단기를 결합한다면, 초전도 한류 모듈과 기계식 DC 차단기의 단점을 서로 보완할 수 있다. 그러므로 본 논문에서 PSCAD/EMTDC 프로그램을 통해 MMC 전압형 HVDC와 초전도 DC 차단기를 모델링하고 초전도 DC 차단 기술의 동작 신뢰도를 분석하기 위한 시뮬레이션 분석을 수행한다. 또한, 시뮬레이션 결과 데이터를 통해 분석된 초전도 DC 차단기의 한류부와 차단부를 Scale-down 시제품 제작을 통해 각 동작 특성을 분석한다. 본 논문의 연구 목적은 위의 유효한 시뮬레이션 및 실험 데이터가 앞으로의 다양한

DC 차단 기술 발전에 기초가 될 수 있는 참고 문헌으로 활용되며, DC 차단 기술 수준을 높이는 데 이바지하는 것이다.

본 논문의 각 장을 요약하면 다음과 같다. 2장에서는 HVDC 계통 시스템에 대해 비교 분석하여 차단 요구 조건을 도출하고 제안된 초전도 DC 차단 기술이 원리 및 메커니즘을 분석한다. 그러므로, HVDC 송전 시스템의 구성 요소와 방식들을 분석하고, 선로 과도 상태에서 중요한 요소인 HVDC의 수전단 및 송전단의 단락비를 확인하며, 이에 따른 차단 기술을 모색한다. 또한, HVDC의 실계통 발전 현황을 기업별로 조사하고, HVDC의 송전 방식인 전류형과 전압형 HVDC의 구성 요소와 장단점을 비교 분석한다. MTDC를 위한 MMC 전압형 HVDC의 회로 구성 및 구동 원리 그리고 다양한 알고리즘을 살펴보고, HVDC 차단 요구 조건을 정립한다. 3장에서는 PSCAD/EMTDC 프로그램을 활용한 초전도 DC 차단기의 동작 신뢰도 검토에 대한 연구가 진행된다. 초전도 DC 차단기의 동작 신뢰도를 검토하기 위한 인프라로서 MMC 전압형 HVDC 계통을 모델링해야 하며, 이는 신뢰도 높은 모델 파라미터를 확보하여 원리 및 송전 방식, 알고리즘 등을 적용한다. 모델링된 MMC 전압형 HVDC 계통은 각 AC 및 DC 상정 고장에 따른 동작 특성을 검토한다. 위의 시뮬레이션을 고장 유형에 따른 동작 특성 결과 데이터를 기반으로 DC 차단 기술이 필요한 고장 유형을 선정한다. 초전도 DC 차단기의 시뮬레이션 모델링은 초전도 한류 모듈과 기계식 DC 차단기를 한류부와 차단부로 나누어 각각의 특성 연구를 먼저 진행하고, 이후에 결합한 초전도 DC 차단기의 특성 연구를 진행한다. 추가로, 한류부에서의 초전도 한류 모듈의 한류율 개선 연구가 Maxwell 프로그램을 통해 수행된다. 마지막으로는 MMC 전압형 HVDC 계통 모델에 선정된 고장 유형 조건을 적용하고, 초전도 DC 차단기의 적용 유무에 따라 발생하는 계통내의 특성을 비교 분석하여 초전도 DC 차단기의 동작 신뢰도 검토가 진행된다. 4장에서는 한류부와 차단부의 Scale-down 시작품을 제작하여 실현 가능성을 검토한다. 한류부의 초전도 한류 모듈은 Bifilar-meander 방식을 적용하여 제작하고, quenching 특성에 따른 한류율을 분석한다. 위의 데이터를 기반으로 초전도 한류 모듈의 설계 기준을 정리한다. 차단부의 기계식 DC 차단기는 LC 발산진동회로를 적용하여 제작하고, 인위적인 차단 전류 영점 및 차단 동작 특성을 분석한다. LC 발산진동회로의 리액터와 커패시터의 변수에 대한 변화를 비교·분석하고 설계 기준을 정리한다. 5장에서는 본 논문의 결과를 요약 및 정리하고, 향후 본 논문의 연구 데이터와 제안된 아이디어에 대한 적용 가능성 및 활용성을 논한다.

## II. 이론적 배경

### A. HVDC 계통 시스템

#### 1. HVDC 송전 시스템 구성

HVDC 시스템의 구성 요소에는 기본적으로 AC와 DC의 전력 변환을 수행하는 인버터, 컨버터, 평활 리액터가 있다. 이 평활 리액터는 직류 선로의 고조파를 줄이고, 전력용 반도체의 오류로부터 발생 되는 고장 전류를 차단하는 역할을 한다. 또한, 경부하 및 선로 단락 상태에서의 전류 파고치를 제한한다. 그 외에 HVDC 시스템 구성 요소에는 고조파 필터와 무효전력 공급원, 전극, 직류 선로, 교류 차단기 등이 있다.

HVDC 시스템을 구성할 때 고려해야 할 사항은 수전단과 송전단의 단락비(Short circuit ratio, SCR), HVDC 시스템의 용량, DC 전압, 밸브 및 주변장치 용량, 제어기 형태 및 파라미터이다. 그중 가장 중요한 요소는 HVDC 계통의 단락 용량을 결정짓는 SCR이며, 이는 단락 용량 수준(Short circuit level, SRL)을 DC 전력으로 나눈 값이다. ESCR(Effective Short circuit ratio, ESCR)는 무효전력 보상용 콘덴서를 고려한 SCR 수치이며, 계통 강도의 척도로 활용한다. 이는 식 (2-1)~(2-3)으로 설명된다. 표 2-1은 일반적인 계통 강도에 대한 ESCR의 척도를 나타낸다.

$$SCL = \frac{E_{dc}^2}{Z_{dc}} \quad (2-1)$$

$$SCR = \frac{SCL(MVA)}{P_d(MW)} = \frac{MVA(SCL)}{P_d} = \frac{E_{dc}^2}{P_d \cdot Z_{dc}} = \frac{1}{Z_{dc}} Z_{base} = \left( \frac{1}{Z_s} + \frac{1}{Z_l} \right) Z_{base} \quad (2-2)$$

$$ESCR = \frac{SCL - Q_c}{P_d} = \frac{1}{Z_e} Z_{base} = \left( \frac{1}{Z_s} + \frac{1}{Z_l} + \frac{1}{Z_f} + \frac{1}{Z_c} \right) Z_{base} \quad (2-3)$$

$Z_s$ 와  $Z_l$ 는 계통 및 선로의 등가 임피던스이며,  $Z_f$ 와  $Z_c$ 는 필터와 커패시터 뱅크의 등가 임피던스이다. 또한,  $Z_{base}$ 는 기준 용량에 대한 기준 임피던스이다.  $P_d$ 는 DC 전송 전력이다. HVDC 시스템에서 발생 되는 무효전력  $Q_c$ 은 DC 전력  $P_d$ 의 약 60 %에 해당하며, 식 (2-4)를 통해 설명된다. 식 (2-4)에서 커패시터(C)와 인덕

턴스(L)에 대한 식으로 유도하면 식 (2-5)로 표현된다. 기존 DC 계통의 인덕턴스와 무효전력 보상용 커패시터 사이의 공진 주파수는 식 (2-6)을 통해 얻을 수 있다.

HVDC 계통 시스템의 송전 방식에는 PTP(Point To Point), BTB(Back To Back), MT(Multi-Terminal)로 나뉜다.

$$Q_c \cong 0.6P_d = \omega_0 C E_{dc}^2 \quad (2-4)$$

$$C = \frac{0.6 \cdot P_d}{\omega_0 \cdot E_{dc}^2}, L = \frac{Z_{dc}}{\omega_0} = \frac{E_{dc}^2}{\omega_0 \cdot (SCR \cdot P_d)} \quad (2-5)$$

$$\omega_r (\text{Resonant freq.}) = \frac{1}{2\pi\sqrt{LC}} = \omega_0 \sqrt{\frac{SCR}{0.6}}, \frac{\omega_r}{\omega} = \sqrt{\frac{SCR}{0.6}} \cong 2 \cdot \omega_0 (\text{If SCR is 2.5}) \quad (2-6)$$

표 2-1 일반적인 전력 계통 강도에 대한 ESCR 척도  
 Table 2-1 ESCR scale for typical power system strength

Definition	ESCR
High	$\geq 2.5$
Low	1.5 ~ 2.5
Very Low	$\leq 1.5$

a. Point to Point

HVDC 계통 시스템의 가장 기본적인 송전 방식으로, 두 지역 간 가공선이나 케이블을 활용하여 Monopole 및 Bipole로 DC 전력을 보낸다. Monopole은 하나의 송전선과 2개의 변환기가 구성되며, 대지 귀로 혹은 도체 귀로 방식을 사용한다. Bipole은 양극(+)과 음극(-)에 각각 1개의 도체를 사용하며, 4개의 변환기가 구성된다. 이 방식은 Monopole 방식에 비해 두 개의 극 중 하나의 극에 고장이 발생하면, 다른 하나의 극으로 전력 송전이 가능하다. 그러므로 Bipole 방식을 사용하는 PTP 송전 방식에서는 DC 차단기의 필요성이 낮다.

### b. Back to Back

BTB(Back to Back) 방식은 2개의 변환기가 동일한 장소에 설계되어 PTP와 같은 송전선은 없지만, 전력(저전압, 대전류)에 대한 주파수 및 위상 변환 기능이 가능하다. 이에 따라, 위상 및 주파수가 다른 두 전력계통이 있는 경우, 계통의 단락 용량을 높여야 하는 경우, 계통 내에 존재하는 저조파(Subharmonic)를 저감해야 하는 경우에 BTB HVDC 사용을 고려한다. 그러므로 주파수 연계가 항상 진행되고 DC 계통 길이가 짧은 BTB HVDC 시스템에서는 DC 차단기의 필요성이 낮다.

### c. Multi-Terminal

MT(Multi-Terminal) 방식은 2개 이상의 터미널이 구성된다. 이는 일반적인 PTP 방식보다 복잡하며, 세밀한 제어 시스템이 요구된다. 이렇게 병렬 연결된 다단자 구성에서 점호각의 제어나 기계식 스위치로 터미널의 접속을 역전시킴으로써 각각의 변환기는 정류기나 인버터로 동작하여 전력조류의 방향과 크기를 제어할 수 있다. DC 계통의 다단자 구성의 Multi-terminal 방식에서는 일반적인 고장 전류의 특성과 전력용 반도체 기반의 전력 장비(정류기, 인버터 등)에 악영향을 주는 고장 전류의 특성을 고려한 차단 기술이 필히 적용되어야 한다.

### d. HVDC-MMC 실계통 현황

HVDC 시스템을 개발하고 제작하며 판매까지 진행하는 대표적인 제조사는 각각의 상품명을 통해 고객들과 소통한다. ABB는 “HVDC Light”, SIEMENS는 “HVDC PLUS”, 그리고 GE(General Electric)는 ‘HVDC MaxSine’이다. ABB는 1999년 스웨덴의 Gotland 섬에 전압형 컨버터 HVDC 시스템을 설치한 것이 최초였으며, 이후 Dolwin2 프로젝트 및 여러 프로젝트를 수주하여 진행하고 있다. SIEMENS는 2010년 Trans Bay Cable 프로젝트를 통해 세계 최초 MMC를 상용 운영하였으며, 유럽 내의 해상풍력 프로젝트를 다수 진행하고 있다. GE는 2014년 미국의 Tres Amigas Superstation에 전압형 컨버터 HVDC를 수주하여 진행하였다.

다음 표 2-2 ~ 2-4는 각 제조사에서 진행한 프로젝트를 바탕으로 HVDC 시스템의 DC/AC 정격, 용량, 선로 길이 등을 정리하였다[35-46].

표 2-2 ABB VSC-HVDC 파라미터

Table 2-2 Parameters of the ABB VSC-HVDC

기술	HVDC Light (VSC)			
연도	2021	2020	2019	2019
나라	영국-노르웨이	독일-노르웨이	노르웨이	중국
프로젝트	NSL	NordLink	Johan Sverdrup	Zhangbei
DC 정격 [kV]	±515	±400	±80	±500
AC 정격 [kV]	420 (Nor) 400 (UK)	380 kV	300(Onshore) 33 (Offshore)	230 kV
정격 용량 [MW]	1400	1400	100	1500
선로 길이 [km]	623	720	200	818
SM	Half bridge	Half bridge	Half bridge	Half bridge

표 2-3 SIEMENS VSC-HVDC 파라미터

Table 2-3 Parameters of the SIEMENS VSC-HVDC

기술	HVDC PLUS (VSC)				
연도	2021	2020	2020	2020	2010
나라	독일	프랑스-영국	인도	독일-벨기에	미국
프로젝트	ULTRANET	ElecLink	PK2000	ALEGrO	Trans Bay Cable
DC 정격 [kV]	±380	±320	±320	±320	±220
AC 정격 [kV]	400	400	400, 220	400	115, 230
정격 용량 [MW]	2,000	1,000	2,000	1,000	800
선로 길이 [km]	340	51	165	90	85
SM	Full bridge	Half bridge	Half bridge	Half bridge	Half bridge

표 2-4 GE VSC-HVDC 파라미터

Table 2-4 Parameters of the GE VSC-HVDC

기술	MaxSine (VSC)		
연도	2021	2019	2017
나라	스웨덴	프랑스-이탈리아	독일
프로젝트	South-West Link	France-Italy Link	Dolwin3
DC 정격 [kV]	±320	±300	±320
AC 정격 [kV]	Not found	400	380
정격 용량 [MW]	1200	1440	900
선로 길이 [km]	190	250	162
SM	Half bridge	Half bridge	Half bridge

## 2. HVDC 송전 방식

### a. 전류형(Current Source Converter, CSC)-HVDC

전류형 HVDC는 DC 송전의 이점을 최대한 활용하기 위해 개발하였으며, DC 송전의 대표적인 장단점은 아래 표 2-5와 같다.

그림 2-1은 전류형 HVDC의 구성도이며, 사이리스터 소자(SCR, Diode AC switch, Triac)를 구성한 밸브를 기반으로 DC 전력을 송전한다. 전력용 반도체 중 항복전압이 큰 사이리스터는 높은 전류 용량을 제어할 수 있어 동작 신뢰도가 높은 편이다. 또한, 썬지 전압 및 전류에 강하므로 게이트 신호가 없어도 스위칭 ON 상태를 유지할 수 있다. 하지만, 사이리스터는 스위칭 과정에서 전류의 지연 특성(지상)이 발생하기 때문에 AC-DC 연계 모선에 대한 전압에 악영향을 준다. 이에 대한 무효전력 보상 설비에는 동기 조상기, 병렬 콘덴서, 커패시터 필터, SVC, STATCOM(Static Synchronous Compensator) 등이 있다. 이러한 장점을 통해 오랜 기간 전류형 HVDC 시스템이 활용되어 왔으며, 사용된 기간만큼 기술의 성숙도가 매우 높은 시스템으로 평가받고 있다. 국내에는 제주-해남(1998), 제주-진도(2013)의 전류형 HVDC 프로젝트가 진행되었고, 각 송전 용량은 300 MW/±180 kV, 400 MW/±250 kV이다. 이 전류형 HVDC 시스템의 무효전력 보상 설비는 STATCOM (50 MVar)으로 신제주와 한라 변전소에 설치 및 운행 중이다[47-54].

### b. 전압형(Voltage Source Converter, VSC)-HVDC

그림 2-2는 전압형 HVDC 시스템의 회로 구성도이며, 전력 변환장치 외 다른 구성 요소는 전류형 HVDC 계통과 동일하다. 전압형 HVDC의 전력 변환장치는 IGBT(Insulated Gate Bipolar Transistor)가 구성된 밸브를 통해 DC 전력을 변환하여 송전한다. IGBT는 Gate와 Emitter, Collector로 구성되고, Gate와 Emitter에는 높은 입력 임피던스가 존재하기 때문에, 실제 전류는 Collector에서 Emitter를 통해서만 흐른다. Gate는 전류 흐름을 결정짓는 스위칭 역할을 하며, 적은 인가 전압(±15 V)으로 구동된다. 이러한 구성으로 인해 사이리스터의 단점인 스위칭할 때 발생하는 전류 지연 문제가 해결되며, 무효전력 보상 설비가 필요치 않게 된다. 이에 따른 전압형 HVDC 시스템의 장단점은 표 2-6과 같다[55-56]. 국내에는 제주-완도(DC ±150 kV, 200 MW, cable 약 100 km)의 전압형 HVDC 프로젝트가 진행되고 있다.



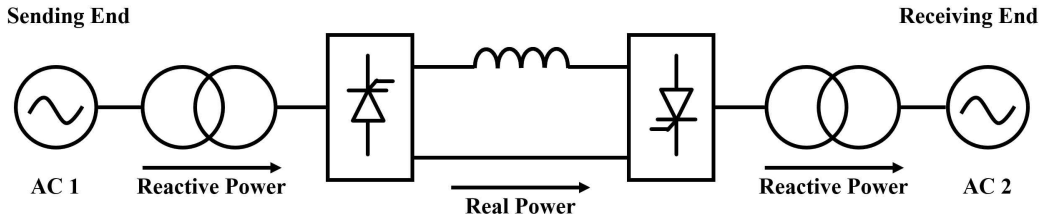


그림 2-1 CSC HVDC 계통 시스템 회로도

Fig. 2-1 The circuit diagram of CSC-HVDC grid system

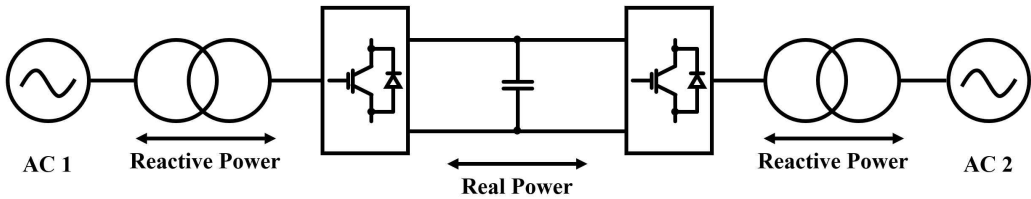


그림 2-2 VSC HVDC 계통 시스템 회로도

Fig. 2-2 The circuit diagram of VSC-HVDC grid system

표 2-5. DC 송전의 장단점

Table 2-5 Advantages and disadvantages of DC transmission system

장점	단점
<ul style="list-style-type: none"> <li>- DC 송전 전압은 AC 전압(실효값) 최고값의 <math>1/\sqrt{2}</math> 배(<math>\approx 0.707</math>)이므로 선로의 절연계급을 낮출 수 있음.</li> <li>- DC 송전에는 AC 송전의 무효전력 및 표피효과에 대한 손실이 없어, 역률 100% 컨디션을 유지할 수 있음.</li> <li>- DC 송전에는 AC 송전에서 고려되는 계통 리액턴스 및 송수전단의 전압차에 의한 위상각 문제를 고려할 필요가 없음.</li> </ul>	<ul style="list-style-type: none"> <li>- DC 송전에서의 변환 과정에는 전력용 반도체 소자의 스위칭을 통해 구현되며, 이에 따른 고조파가 발생하게 되며, 이는 곧 출력 전압 파형의 왜곡을 야기시키고 반도체 소자들의 고장을 불러 일으키게 됨.</li> <li>- 위의 문제점을 보완하기 위해 고조파 필터, 스위칭 보조 장비, 특수 직류 차단기 등의 고가의 설비들이 구비되어야 함.</li> <li>- DC 송전에서는 주파수가 없으므로, 전류 차단 영점이 존재하지 않아, 차단이 어려움.</li> </ul>

표 2-6 전류형 및 전압형 HVDC의 장단점[57]

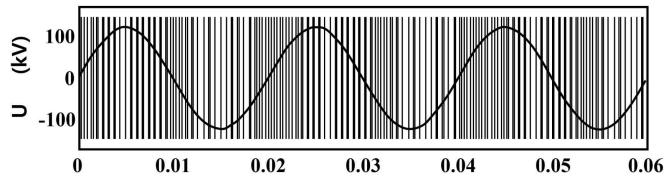
Table 2-6 Advantages and disadvantages of CSC and VSC-HVDC

	전류형 HVDC	전압형 HVDC
원리	<ul style="list-style-type: none"> <li>- Thyristor 소자 사용 (스위칭 ON 가능, OFF 불가)</li> <li>- 소자의 스위칭 ON time 제어를 통해 전류의 크기를 제어 (1초=120번)</li> </ul>	<ul style="list-style-type: none"> <li>- IGBT 소자 사용(스위칭 ON and OFF 가능)</li> <li>- 소자의 스위칭 ON/OFF 제어를 통해 AC 전압 크기와 위상을 제어 (1초=수천번)</li> </ul>
구성	<ul style="list-style-type: none"> <li>- 컨버터, 평활 리액터, 고조파 필터, 전극, DC 선로, AC 회로 차단기, 무효전력공급원</li> <li>- 컨버터 발생 고조파 및 흡수되는 무효전력 공급을 위한 고조파 필터, 병렬 커패시터(또는 무효전력 보상설비)</li> <li>- 접지 위한 전극, AC 측 고장시 건진구간과 고장구간 구분하는 AC 회로 차단기</li> </ul>	<ul style="list-style-type: none"> <li>- 컨버터 스테이션, 변압기, AC 필터, 위상리액터, 커패시터, DC 차단기, DC 케이블</li> <li>- MMC 방식-200 레벨 이상의 일반 변압기 사용 가능, AC 필터 사이즈가 크게 감소 가능</li> <li>- 전류형 HVDC와는 다르게 무효전력 공급의 설비가 필요하지 않으므로 설치 면적을 감소시킴</li> </ul>
장점	<ul style="list-style-type: none"> <li>- 철탑 크기 AC에 비해 작음</li> <li>- 대용량 설비 가능 (최대 800 kV, 8 GW급)</li> <li>- 전력변환손실이 적음 (0.7 %)</li> <li>- 컨버터 가격 저렴</li> <li>- 오랜 경험의 상용 운전을 통한 기술 검증</li> <li>- 지중화 케이블(장거리) 활용 가능</li> <li>- 전압 및 전류의 변동이 낮으므로 전자기파 유도 발생에 문제 없음</li> <li>- 타계통과의 연계가 가능</li> </ul>	<ul style="list-style-type: none"> <li>- 철탑 크기 AC에 비해 작음</li> <li>- 설치 면적 작음 (전류형에 비해 60 %)</li> <li>- Black start 가능</li> <li>- 교류대비 손실 작음 (60-70 %)</li> <li>- 무효전력 보상 설비가 불필요</li> <li>- 지중화 케이블(장거리) 활용 가능</li> <li>- 양방향 송전 가능</li> <li>- DC 그리드 적용 가능</li> <li>- 전압 및 전류의 변동이 낮으므로 전자기파 유도 발생에 문제 없음</li> <li>- 타계통과의 연계가 가능</li> </ul>
단점	<ul style="list-style-type: none"> <li>- 설치면적이 큼(200x120x22 m, 600 MW)</li> <li>- 복잡한 운영</li> <li>- AC 전압원 필요</li> <li>- DC grid 적용 어려움</li> </ul>	<ul style="list-style-type: none"> <li>- 중급 용량 (최대 345 kV, 1 GW급)</li> <li>- 설비비용 고가 (전류형 대비 10-15 % 고가)</li> <li>- 전력변환손실 상대적으로 큼 (1 %)</li> </ul>
활용 범위	<ul style="list-style-type: none"> <li>- 1:1 대용량 / 장거리 DC 송전에 적합함</li> </ul>	<ul style="list-style-type: none"> <li>- 기술적 제약이 적음, 용도 제한 없음</li> <li>- 멀티 터미널(1:n) 연계에 적합함</li> </ul>

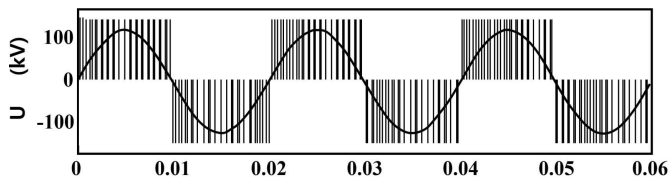
### 3. HVDC 회로 및 제어 기법

전압형 HVDC 시스템은 IGBT의 회로 구성 및 제어 기법에 따라 2-레벨(1세대), 3-레벨(2세대), 2-레벨에 고조파 제거를 위한 PWM 방식 적용(3세대), Multi-레벨(4세대)로 발전하였다. 그림 2-3은 IGBT의 2-레벨에서 Multi-레벨의 컨버터 출력 전압을 그래프로 나타내었다[58-63]. Multi-레벨 컨버터 방식은 2-레벨 혹은 3-레벨의 컨버터 모듈이 직병렬로 연결되어 있는 구조(Multilevel Modular Converters, MMC)이며, 다음과 같은 장점이 있다[64].

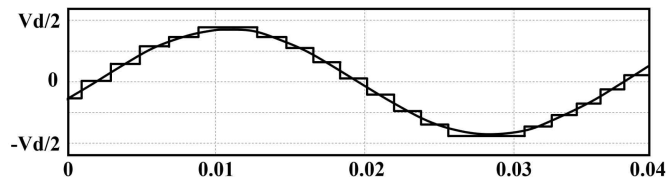
- 기존의 방식보다 낮은 스위칭 주파수와 직류단 전압 및 출력 전압이 높아 컨버터의 운전 손실을 최소화할 수 있음.
- Multi-레벨을 활용하여 스위칭하기 때문에 이상적인 정현파와 유사한 출력 전압을 얻을 수 있고 보조 출력 필터가 필요 없음.
- 이는 모듈 단위로 구성되므로 다양한 계통 환경에서 유연한 전압 레벨 및 용량을 조절할 수 있음.



(a) 2-level



(b) 3-level



(c) Multi-level

그림 2-3 IGBT의 레벨별 컨버터 출력 전압 그래프

Fig. 2-3 Graphs of the converter output voltage by the level of IGBT

그림 2-4는 MMC 방식이 적용된 AC-DC 계통 시스템이다. AC 계통 한 상(A phase)에 Upper arm과 Lower arm의 Leg가 각각 구성되어 있다. 또한, Upper arm과 Lower arm에는 인덕터  $L_0$ 가 연결되어 있으며, 이는 시스템 이내에 전력용 반도체의 스위칭 오류에 따른 순간 과도 전류 또는 순환 전류의 크기를 제어할 수 있다[65].

하나의 Leg에는 다수의 Sub-Module(SM)이 직렬로 연결되어 있고, 내부에는 IGBT와 커패시터, 다이오드가 있다. 이는 다수의 IGBT를 통해 단위 시간당 전압 및 전류 상승률( $dv/dt$ ,  $di/dt$ )을 제어하기 때문에 전압 레벨의 승압이 용이하며, 이상적인 정현파 형태의 교류 전압을 출력할 수 있다.

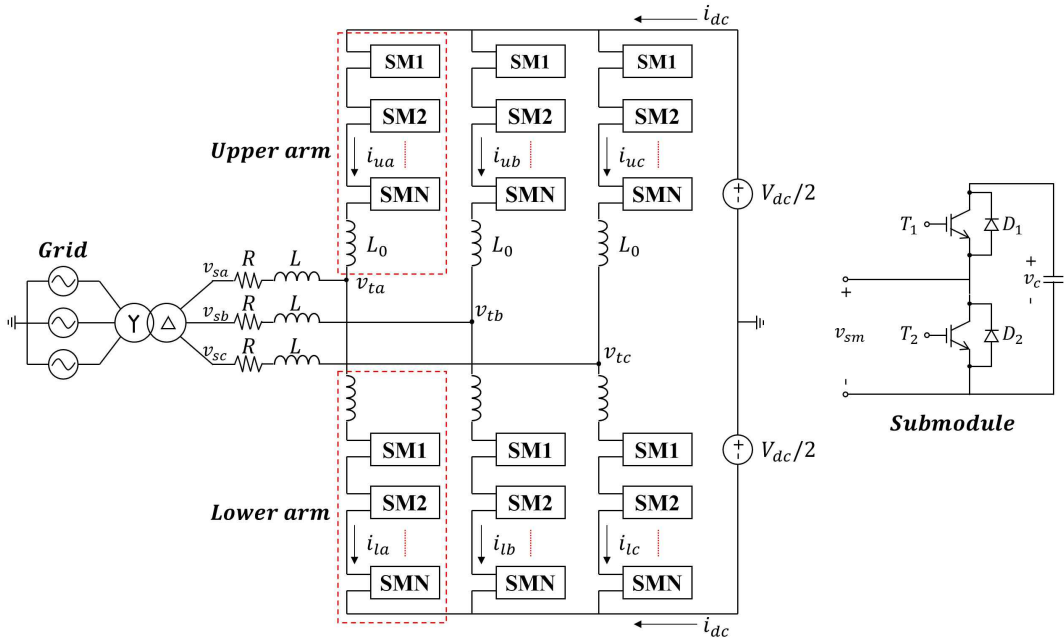


그림 2-4 MMC 방식의 AC-DC 계통 시스템 회로도

Fig. 2-4 The circuit diagram of MMC type AC-DC system

## 4. HVDC 변조 방식 및 알고리즘

### a. MMC 변조 방식

그림 2-5와 같이 MMC 변조 방식은 공간벡터(Space Vector)방식과 전압레벨(Voltage Level)방식으로 구분된다. 공간벡터 방식은 전압 레벨에 따라 회로 구성이 복잡해지는 반면, 전압레벨 방식은 전압 레벨에 따라 회로 구성이 간단해진다. 이와 같은 전압레벨 방식에는 펄스폭변조(Pulse Width Modulation, PWM)과 계단파변조 방식으로 나뉜다[66]. PWM 방식은 반송파(Carrier wave)를 통해 SM의 출력 전압을 발생시키지만, 계단파변조 방식은 반송파를 사용하지 않아 PWM과 같은 스위칭 변환은 없다. 이러한 계단파변조 방식은 선택고조파 제거(Selective Harmonic Elimination, SHE) 방식과 근사계단 변조(Nearest Level Control, NLC) 방식으로 나뉜다. SHE 방식은 푸리에 급수(fourier series)를 활용해 고조파를 분석하여 출력 전압의 고조파를 소거시키므로 고조파를 줄일 수 있다. 하지만, 고조파 저감을 위해 스위칭 시점을 결정해야 하는데, 초월 함수의 비선형 연립 방정식의 해를 통해야 가능하며, 이러한 과정은 스위칭 속도에 영향을 준다. 전압 레벨 또한 연산 속도에 영향을 준다. NLC 방식은 반송파에 의한 스위칭 변환은 없고, 반송파에 대한 반올림(ROUND)함수의 스위칭 변환이 존재한다. NLC 방식은 PWM 변조 방식보다 스위칭 횟수가 적다. 또한, 이는 전력 손실이 적고 직렬로 연결된 SM의 개수가 많아도 고조파에 대한 영향을 덜 받는 방식이다[67]. 이러한 장점 때문에, HVDC 응용 분야에서 사용되는 변조 방식은 NLC 방식(전압레벨 방식-계단파변조 방식)이다. MVDC 또는 LVDC에서는 PWM 방식을 주로 사용한다.

### b. NLC(Nearest Level Control) 방식

NLC(Nearest Level Control) 방식은 MMC HVDC 계통 시스템에서 처음 사용된 방식으로, 높은 전압 레벨의 MMC에서 사용되고 있다. 이는 기준 전압을 샘플링한 후에 크기를 반올림하여 근사한 레벨을 결정하는 방식으로, 간단한 알고리즘으로 되어 있으며, 과도 사이에서도 적용이 가능하다는 장점이 있다. 또한, 이 방식은 스위칭 손실이 적고, 회로 적용이 간단하여 서브모듈을 다수 구성할 수 있다. 이 방식은 다른 방식들에 비해 높은 제어 대역폭을 갖고 있으며, 평균 스위칭 주파수가 낮다. 하지만, 기준 신호에 따른 의존도가 높아 기준 신호에 왜곡이 발생할 경우, 불규칙한 펄스폭이 발생할 수 있다.

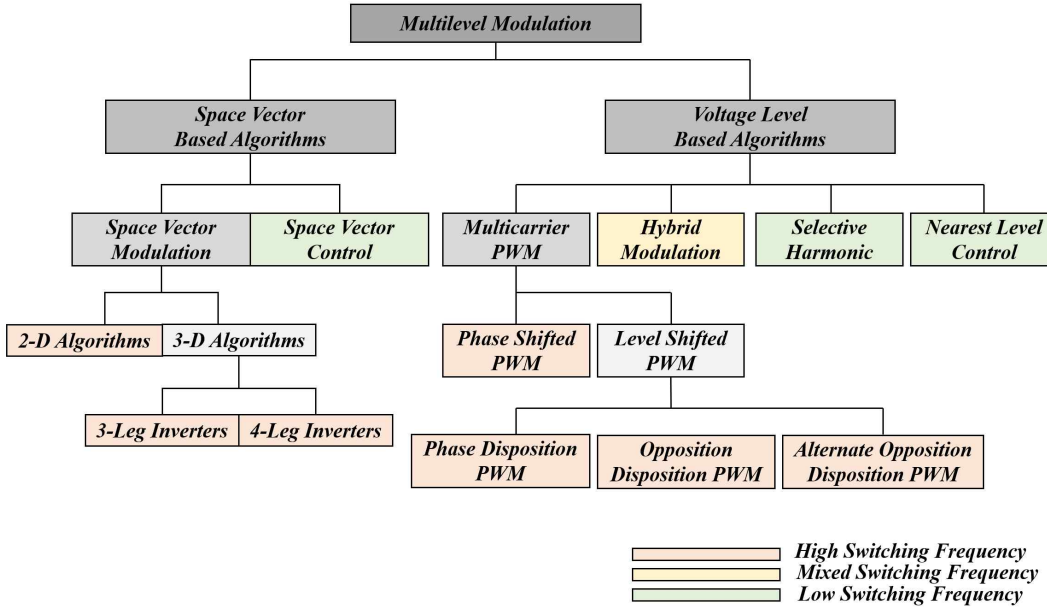


그림 2-5 MMC의 변조 기법

Fig. 2-5 The modulation technique of MMC

### c. 커패시터 밸런싱 알고리즘

커패시터 밸런싱 알고리즘(Balancing Control Algorithm, BCA)은 하나의 arm 내의 SM 커패시터의 전압 균형을 유지하는데 활용되며, 커패시터 전압은 IGBT 스위칭에 의해 결정된다. SM 커패시터의 전압 불균형은 각 SM의 커패시터 충·방전의 횟수에 의해 발생하며, 이를 방지하기 위해 BCA와 같은 알고리즘을 적용하여야 한다. 그림 2-6과 같이 BCA에는 주파수를 경감하는 알고리즘과 리플을 경감하는 알고리즘으로 나뉜다. 주파수 경감 알고리즘에는 RSF(Reduced Switching Frequency) 방식과 IRSF(Improved Reduced Switching Frequency) 방식이 있다 [68]. 기본 BCA 알고리즘은 그림 2-7의 순서도에 나타났다.

그림 2-8과 같이 RSF는 샘플링 주기마다 하나의 SM 상태를 변경하여 스위칭 주파수를 줄이는 방법으로 IGBT 스위칭이 ON되어 있는 SM과 OFF되어 있는 SM을 구별하고 *MAX* 및 *MIN* 함수를 활용해 모든 SM의 최대 및 최소 전압을 샘플링하게 된다. 이 샘플링을 통해 각 주기에 따른 SM(ON/OFF) 개수 차이를 계산하게 된다. 만약, IGBT Switching OFF(bypass 상태)에 있는 SM을 IGBT Switching ON(insert 상태)으로 변경해야 하는 경우에는 양수이며, Switching OFF 상태에 있는 SM에만 해당 알고리즘이 적용된다. 반대로, Switching ON 상태인 SM을 Switching OFF 상태로 변경해야 할 경우는 음수이며, Switching ON 상태인 SM에만 해당 알고리즘이 적용된다. RSF 알고리즘은 그림 2-8에 제시된 순서도에 따라 Switching ON 상태 이거나 Switching OFF 상태에 따라 적용할 SM을 선택한다. 그림 2-9는 IRSF에 대한 순서도이다. IRSF는 기존의 RSF에 비해 SM 커패시터의 전압 균형을 더 잘 유지할 수 있고 전압 리플을 줄일 수 있다는 장점이 있다. IRSF 방식의 원리는 RSF 방식과 거의 동일하지만,  $\Delta n$ 이 0일 경우를 고려한다.  $\Delta n$ 이 0일 경우, 전압 리플이 높아지면 Switching ON 상태와 Switching OFF 상태의 SM을 구별하고 *MAX*와 *MIN* 함수를 통해 모든 SM의 최대 및 최소 전압을 샘플링하여 알고리즘을 적용한다.

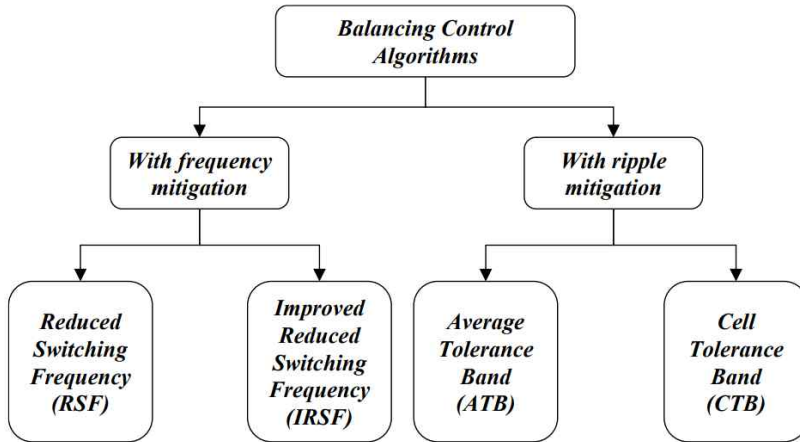


그림 2-6 BCA(Balancing Control Algorithm)의 종류  
 Fig. 2-6 The types of BCA (Balancing Control Algorithm)

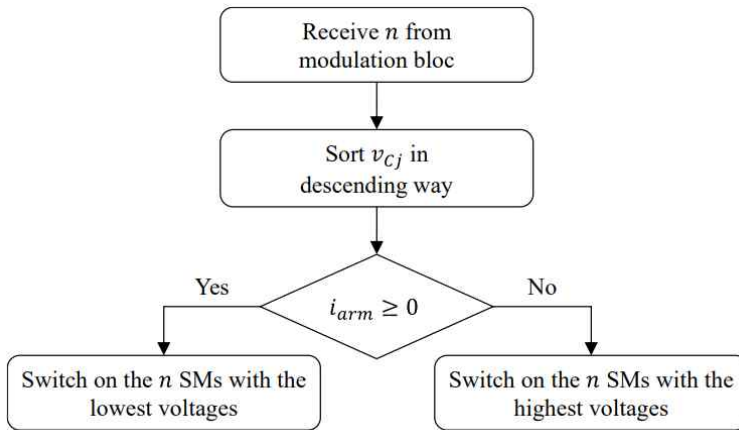


그림 2-7 Basic BCA(Balancing Control Algorithm) 순서도  
 Fig. 2-7 The flowchart of Basic Balancing Control Algorithm (BCA)



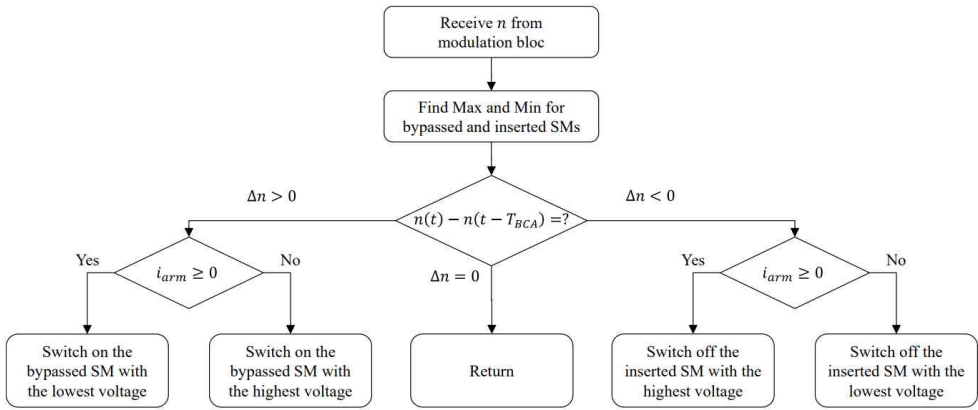


그림 2-8 RSF(Reduced Switching Frequency) 순서도

Fig. 2-8 The flowchart of RSF(Reduced Switching Frequency)

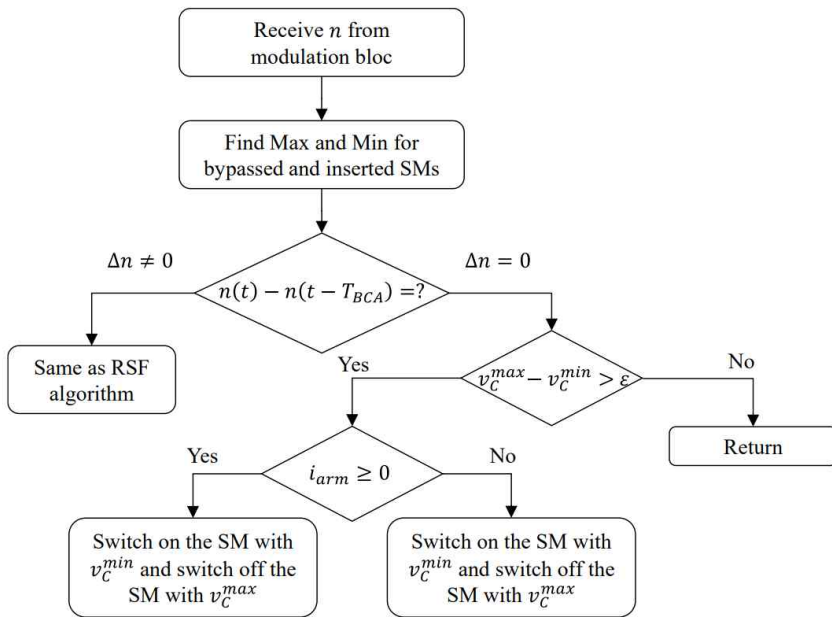


그림 2-9 IRSF(Improved Reduced Switching Frequency) 순서도

Fig. 2-9 The flowchart of IRSF(Improved Reduced Switching Frequency)

## 5. HVDC 차단 요구 조건

DC는 사회적인 흐름속에서 필요에 의해 발전해오고 있으며, 주요한 구성요소로 전력용 반도체가 있다. HVDC는 전류형(사이리스터)에서 전압형(IGBT)으로 발전해 오면서 그 중요도는 더욱 높아지고 있고, 이에 대한 보조 설비가 개발되고 있다. 그러므로 DC 계통의 과도 상태에 따른 전력 계통 설비에 대한 보호 기준을 전력용 반도체의 보호 기준에 맞춰야 한다. 본 논문에서는 HVDC의 전류형과 전압형으로 나누어 DC 고장 전류에 대해 분석하였다.

첫 번째, 전류형 HVDC에는 사이리스터를 기반으로 구성된 컨버터와 전류 진상 특성을 보정하기 위한 무효전력공급원, 전류 리플 보정을 위한 평활 리액터 및 고조파 필터 등이 구성된다. 이를 기준으로 그림 2-10에서 전원에 따른 4 가지 유형(평활리액터의 유무에 따른 AC-DC 변환(정류기), 납축 배터리, 평활 커패시터, 질량 관성의 유무에 따른 DC 모터)의 DC 고장 전류 흐름을 보여준다. 그림 2-11은 IEC(International Electrotechnical Commission)에서 제안하는 표준 단락 기능 곡선이다. 식 (2-7)~(2-9)는 단락 전류 흐름을 수학적 함수로 표현하였다. 그림 2-10과 2-11에서 보는 것과 같이 사이리스터를 기반으로 한 컨버터를 중심으로 이를 보조하기 위한 장비들이 구성된 것을 확인할 수 있다. 이러한 차단 조건은 전압형 HVDC에서도 공통점으로 작용한다.

$$i_1(t) = i_p \frac{1 - e^{-\frac{t}{\tau_1}}}{1 - e^{-\frac{t_p}{\tau_1}}} \quad (2-7)$$

$$i_2(t) = i_p [(1 - \alpha)e^{-(t-t_p)\tau_2} + \alpha] \quad (t \geq t_p) \quad (2-8)$$

$$\alpha = \frac{I_k}{i_p} \quad (2-9)$$

$I_k$  : 정상상태의 단락 전류 [A]

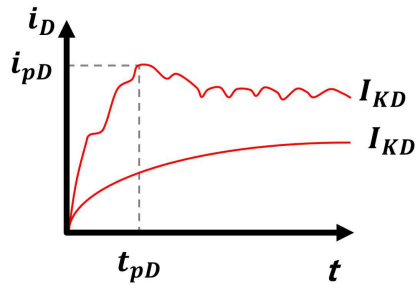
$i_p$  : 최대 단락 전류 [A]

$T_k$  : 단락 지속 시간 [sec]

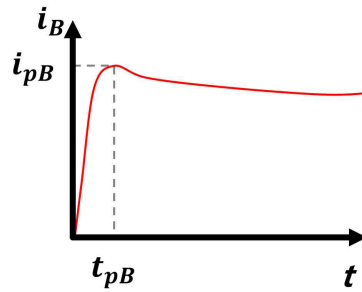
$t_p$  : 최대 단락 전류 도달 시간 [sec]

$\tau_1$  : 상승 시간 상수

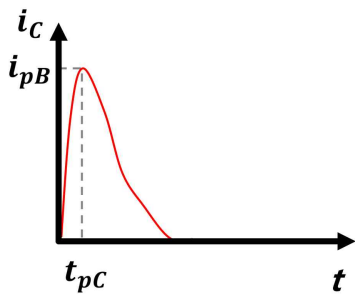
$\tau_2$  : 감쇠 시간 상수



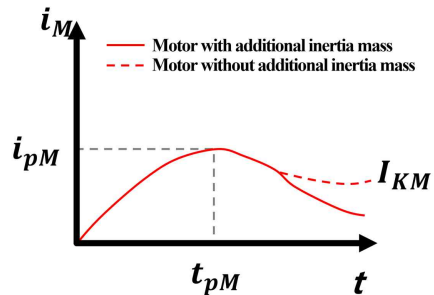
(a) 평활 리액터의 유무에 따른 정류



(b) DC 납축 배터리



(c) 커패시터



(d) 초기 관성 질량에 따른 DC 모터

그림 2-10 다양한 DC 전원의 단락 고장 특성

Fig. 2-10 Short circuit profiles of different DC sources

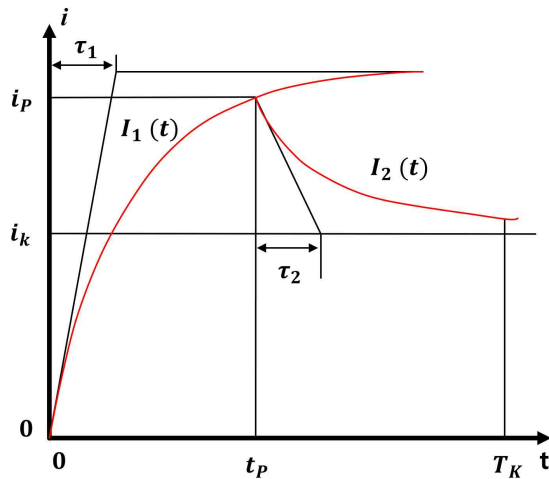


그림 2-11 표준 단락 기능 곡선

Fig. 2-11 The standard short circuit function curve

두 번째, VSC-HVDC를 기준으로, 그림 2-12(a)는 MMC의 회로 구성도이며 다수의 모듈이 직병렬 연결되어 있다. 여기서, 하나의 모듈은 Sub-module(SM)이라고 하며, 그림 2-12(b)와 같이 IGBT, Diode, Capacitor가 Half-Bridge 방식으로 연결되어 있다. 그림 2-13은 선로의 정상상태와 과도상태에 따라 동작하는 SM의 각 요소들의 특성을 나타냈다. 정상 상태에서는 각 SM 커패시터가 충전을 하며, 충전 전압은 AC 선간전압을 arm으로부터 구성된 SM 개수만큼 나눈 값이 된다. 과도 상태에서는 DC 고장지점으로부터 발생한 고장 전류와 모든 SM 커패시터의 방전에 의해 발생하는 전류가 합하여 선로에 발생하게 된다. 커패시터의 방전 동작은 IGBT가 선로상의 고장을 감지하고 모든 IGBT의 스위칭을 OFF하여 고장 전류의 흐름을 다이오드 선로로 bypass하기 때문이다. 이에 따라 약 ms 이내에 수십 kA의 고장 전류가 선로에 흐르게 된다. 1차적인 가장 큰 문제는 고장 전류를 감지하고 모든 IGBT의 스위칭이 OFF 되기까지 걸리는 시간은 약 2~3 ms이다. 이 시간 동안 고장 전류는 DC 선로에 연결되어 있는 시스템 전반적으로 구성된 민감한 반도체 소자에게 부정적인 영향을 주게 된다. 일반적인 IGBT 반도체 소자들은 이러한 서지를 견딜 수 있도록 제작되었지만, 잦은 횃수의 충격 혹은 전력용 반도체의 스위칭 오류가 발생 된다면 큰 고장으로 이어질 수 있다. 2차적인 큰 문제는 선로에 발생한 고장 전류의 피해이며, DC 특성상 초기에 고장 전류를 제어하지 못한다면, 높은 전류 레벨에서 차단 동작이 이루어져야 하는 어려운 차단 조건을 갖게 된다.

그림 2-14는 선로 과도상태일 때의 MMC 등가회로도이다.  $L_{arm}$ 와  $R_{arm}$ 은 각 arm의 인덕턴스와 저항이며,  $L_{dc}$ 와  $R_{dc}$ 는 각 고장선로의 인덕턴스와 저항이다.  $R_f$ 와  $C_{leg}$ 는 고장 저항과 leg 커패시턴스이다. 그림 2-14의 등가회로에서 kirchhoff 전압 법칙을 적용하여 식 (2-10)을 가정한다면 각 leg의 SM 커패시터의 전압 및 전류는 식 (2-11)과 (2-12)에 의해 계산된다[69].

$$i_c = i_{cf}/3 \quad (2-10)$$

$$v_c = \left( \frac{2L_{arm}}{3} + 2L_{dc} \right) \frac{di_{cf}}{dt} + \left( \frac{2R_{arm}}{3} + 2R_{dc} + R_f \right) i_{cf} \quad (2-11)$$

$$i_c = \frac{i_{cf}}{3} = -C_{leg} \frac{dv_c}{dt} \quad (2-12)$$

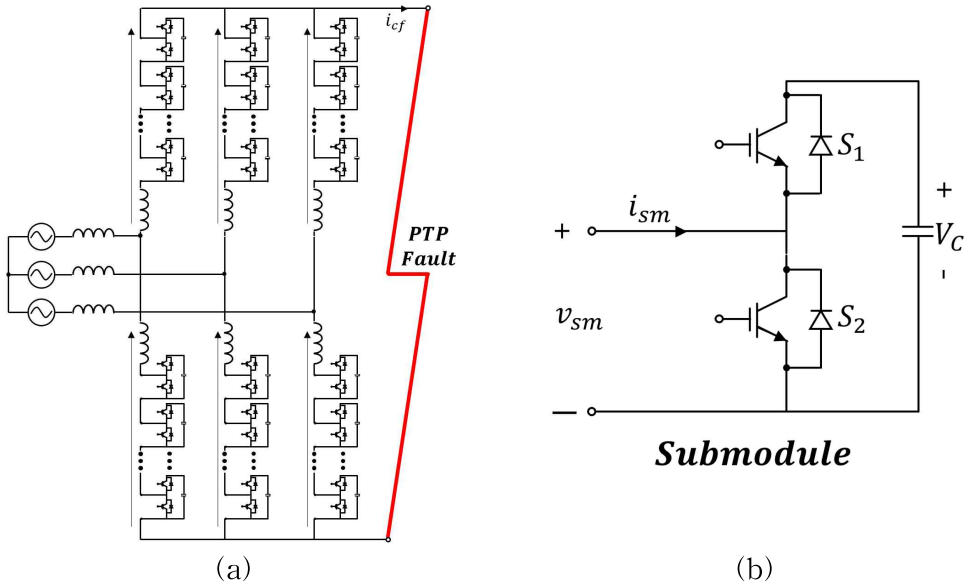


그림 2-12 MMC의 회로 구성도와 SM 구성 요소

Fig. 2-12 The circuit diagram of MMC and components of the submodule

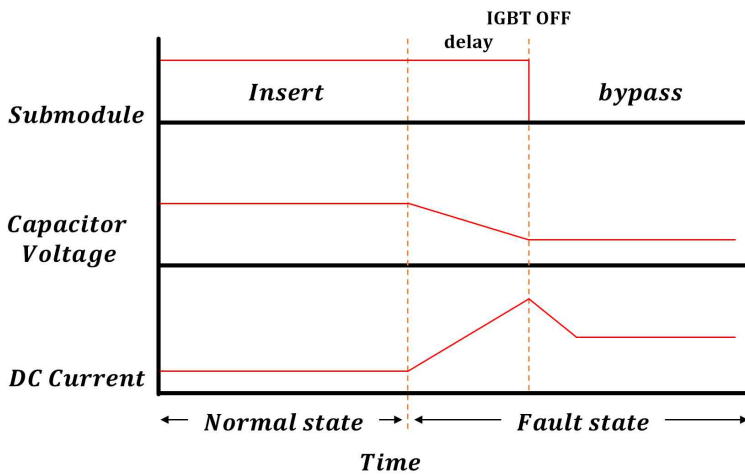


그림 2-13 SM의 각 요소들의 동작 특성(정상 및 과도)

Fig. 2-13 Operating characteristics of each element of SM (normal and transient)

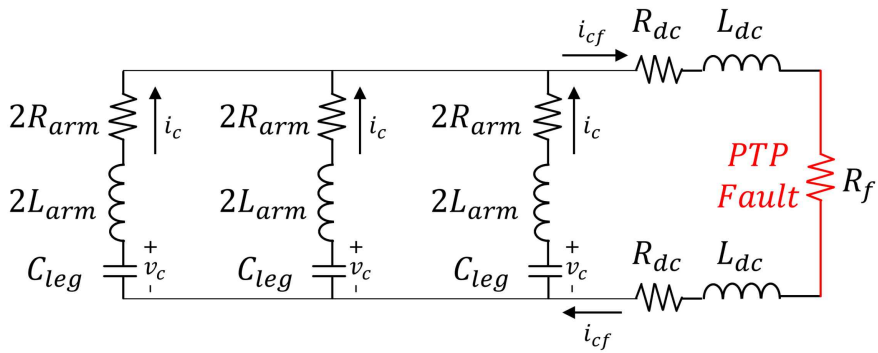


그림 2-14 DC 단락고장 시 MMC 시스템 등가회로

Fig. 2-14 The equivalent circuit of MMC system in case of DC short circuit fault

## B. DC 차단 기술

### 1. 초전도 한류 모듈

#### a. 초전도체 종류

초전도체는 임계 온도 30 K를 기준으로 저온초전도체와 고온초전도체로 나뉜다. 1911년 Hg(수은) 액화를 시작으로 저온초전도체 연구가 진행되어왔으며, 1986년 고온초전도체가 발견되어 임계온도 77 K 이상에서 동작하는  $YBa_2Cu_3O_{7-y}$ (YBCO) 초전도체가 개발되었다. 초전도체는 한류 리액터, 고임피던스 기기, 초전도 한류기 등과 같은 다양한 응용 분야에 따라 초전도 자석, 초전도 케이블, 초전도 선재, 초전도 박막 등 다양한 형태로 활용되고 있다. 특히, 초전도 한류기는 AC 및 DC 계통의 고장 전류를 빠르게 한류 하는 목적을 가지고 있으며, 계통 전력 용량에 맞게 형태를 박막 혹은 선재 등으로 사용되고 있다.

고온 초전도 선재는 1세대와 2세대로 나뉜다. 1세대는  $Bi_2Sr_2CaCu_2O_{8+\delta}$ (BSCCO : 비스무트)계열의 초전도 선재이고, 2세대는 고도의 양축 배향기술로 만든  $REBa_2Cu_3O_{7-y}$ (REBCO : 희토류) 계열의 초전도 선재이다. 최근에는 1세대 고온 초전도 선재의 단결정 및 장선재 제조의 문제점들을 보완한 2세대 고온 초전도 선재의 연구가 활발하다. 1세대를 대표하는 고온 초전도체 YBCO의 선재는 미국의 SuperPower社, AMSC社와 일본의 Furukawa社, Fujikura社에서 연구 및 생산을 한다. 2세대를 대표하는 고온초전도 선재인  $GdBa_2Cu_3O_{7-y}$ (GdBCO)는 독일의 Theva社와 국내의 (주)서남社가 있다. (주)서남社는 국내에서 유일하게 초전도 선재를 생산하는 기업이다. 선행연구에 따르면, YBCO와 GdBCO 선재가 동일한 온도(77 K)에서 수 마이크로미터의 선재 두께에 변화를 주어 임계 전류( $I_C$ )[A/cm]를 분석한 결과, 두께가 얇아질수록 임계전류는 상승하고 너비의 증가에 따라 임계전류밀도( $J_C$ )[A/cm<sup>2</sup>]는 감소하였다. 또한, YBCO 선재보다 GdBCO 선재의 임계전류 및 임계전류밀도가 두께에 비례하여 높은 특성을 보였다. GdBCO는 YBCO에 비해 임계점이 높아 초전도 상태를 유지하기 유리한 특성을 가지고 있다.

b. 초전도체 특성

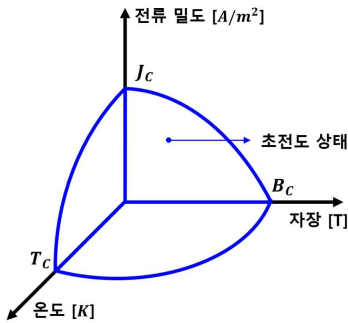


그림 2-15 초전도체 임계곡면  
Fig. 2-15 Critical surface of a superconductor

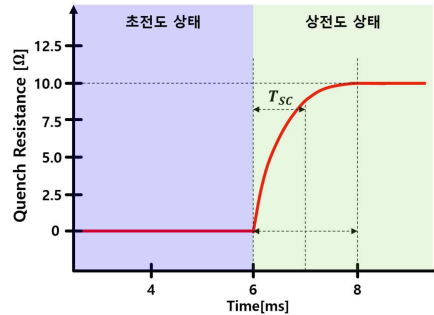


그림 2-16 초전도체 quench 특성  
Fig 2-16 Quenching characteristics of a superconductor

그림 2-15는 초전도체의 임계 특성을 나타내며, 초전도체가 각각의 임계 곡면 내부에 존재할 때, 초전도 상태인 0 저항을 유지할 수 있다.  $J_c$ 는 임계전류밀도이고,  $B_c$ 는 임계자장,  $T_c$ 는 임계온도이다. 초전도체의 어느 하나의 임계점을 초과한다면, 초전도 특성이 사라지면서 상전도 특성으로 전이된다. 이 특성 변위를 quench 현상이라고 하며, 0 이상의 저항이 발생한다. 그림 2-16은 초전도체의 quench 현상을 시간에 따른 저항 그래프로 나타내었다. 초전도 상태는 0 저항에 가까운 특성을 보이지만, 상전도 상태에는 상대적인 고임피던스를 얻게 된다. 초전도 상태에서 상전도 상태로 전이되는 동안 초전도체는 초전도 상태, flux flow 상태, 상전도 상태로 구분된다[70]. 식(2-13)과 식(2-14)을 통해 초전도 상태의 전기장이 임계값 미만으로 유지됨을 나타낼 수 있다.  $E_c$ 는 임계 전기장  $1 \mu V/cm$ 이며,  $J_c$ 는 임계 전류 밀도이다.  $T_0$ 는 초기 온도이며,  $T_c$ 는 임계 온도이다.  $T$ 는 임계 전류 밀도에 의해 계산된 온도이다.

$$E(J, T) = E_c \left( \frac{J}{J_c(T)} \right) \quad (2-13)$$

$$J_c(T) = J_c(T_0) \left( \frac{T_c - T}{T_c - T_0} \right) \quad (2-14)$$



Flux flow 상태는 전류 밀도( $J$ )가 임계전류밀도( $J_c$ )를 초과할 때 발생한다. 이 상태에서 전기장은 식 (2-15)로 나타낼 수 있다.  $E_0$ 는 과도 상태 동안의 전기장 세기이다.

$$E(J, T) = E_0 \left( \frac{E_c}{E_0} \right)^\alpha \left( \frac{J_c(T_0)}{J_c(T)} \right) \left( \frac{J}{J_c(T_0)} \right)^\beta \quad (2-15)$$

$$\beta = 2 \sim 4$$

상전도 상태는 flux flow 상태로 인한 온도 상승이 임계 온도( $T_c$ ) 값을 초과할 때 발생하며, 이 상태에서 초전도체는 저항과 같이 동작한다. 전기장은 식(2-16)으로 나타낼 수 있으며 이를 통하여 초전도체 저항은 식 (2-17)로 나타낼 수 있다.  $\rho(T_c)$ 는 정상 상태에서의 초전도 한류기의 저항값으로 약  $\geq 1 \mu\Omega m$ 를 유지한다.  $l$ 은 초전도체의 길이이며,  $A$ 는 초전도체의 면적이다.

$$E(J, T) = \rho(T_c) J \left( \frac{T}{T_c} \right) \quad (2-16)$$

$$R = \rho \frac{l}{A} \quad (2-17)$$

초전도체는 도체에 가해지는 전류, 자장, 온도의 복합적인 성분을 고려하여 설계해야 한다. 초전도체의 quench 특성은 지수함수적인 저항 상승 값을 나타내며 최대 quench 저항값을 갖는다.

초전도 한류기에는 저항형과 유도형, 철심포화형으로 구분되어 연구되고 있다[71]. 초전도 저항형 한류기는 그림 2-17과 같이 DC 전원과 초전도 한류기가 직렬로 연결되어 있는 회로로 구성된다. 정상상태일 때, 초전도 한류기는 초전도 상태이며, 초전도체에 발생하는 저항  $R_{sc}$ 는 약 0이다. 과도상태일 때, 초전도 한류기는 고장 전류에 의해 임계점을 초과하게 되어 quenching이 발생한다. 초전도 한류기의 quenching 속도는 약 2 ms이며, 초전도 한류기의 용량에 따라 고장 전류의 한류율을 제어할 수 있다. quenching 현상은 고장 전류가 정상상태로 복귀될 때까지 발생하며, 이후 초전도 한류기의 회복이 진행된다. 저항형 타입은 다른 유형에 비해 고장 전류를 직접적으로 부담하는 회로 구성이기 때문에 냉각 시스템 설계와 회복 시간을 고려해야 한다.

초전도 유도형 한류기는 그림 2-18과 같이 DC 전원과 1차 및 2차 코일을 이용한 변압기 형태의 회로가 구성되고, 초전도 한류기는 변압기 2차측에 연결된다. 정상상태일 때, DC 정상 전류의 흐름으로 1차측 코일에는 쇄교되는 에너지가 없으므로 2차측에 연결되어 있는 초전도 한류기에는 전류가 흐르지 않는다. 그러므로 1차 및 2차 코일에 적용되어 있는 코어는 공심형 인덕터로 작용하게 된다. 과도상태일 때, DC 고장 전류가 빠르게 발생하면서 1차 코일을 통해 코어가 자화되며 2차 코일의 전류를 발생시킨다. 이에 따라 변압기 2차 코일에 발생한 고장 전류가 초전도 한류기의 임계점을 초과할 때에 quench 현상이 발생한다, 초전도 유도형 한류기는 변압기를 통해 고장 전류의 흐름을 제어하기 때문에 변압기의 권선비가 중요하다 [72].

초전도 포화철심형 한류기는 그림 2-19와 같이 DC 전원과 1차 구리코일 및 2차 초전도 코일을 이용한 변압기 회로 그리고 보조 전원이 추가로 적용된다. 정상상태일 때, DC 정상 전류는 1차 구리 코일을 통해 흐르고 이에 따라 발생하는 자속이 없기 때문에 코어는 자화되지 않지만, 2차 초전도 코일에 연결된 보조 전원이 동작하며 코어의 포화 상태를 만든다. 이때의 코어는 낮은 자기 투자율을 갖게 되어 공심형 인덕터로 작용하게 된다. 과도상태일 때, 1차 구리 코일을 통해 흐르는 고장 전류의 변화에 의해 코어가 역포화 상태에 이르게 되어 코어의 투자율이 증가하게 된다. 이에 따라 1차 구리 코일의 인덕턴스 성분이 증가하며, 고장 전류를 제한한다[73].

본 논문에서는 신속하고 안정된 한류 동작을 구현하고 기계식 DC 차단기와와의 상호 보완 관계를 분석하고자, 차단 빠른 quench 특성을 보이는 초전도 저항형 한류기를 선정하였다. 또한, 초전도 한류기는 고장 전류에 직접적인 전력 부담을 받는 부분이기 때문에 초전도 선재를 사용하며, 다양한 선재의 권선법 중 한류율을 높일 수 있는 Bifilar-Meander 방식을 선정하였다.

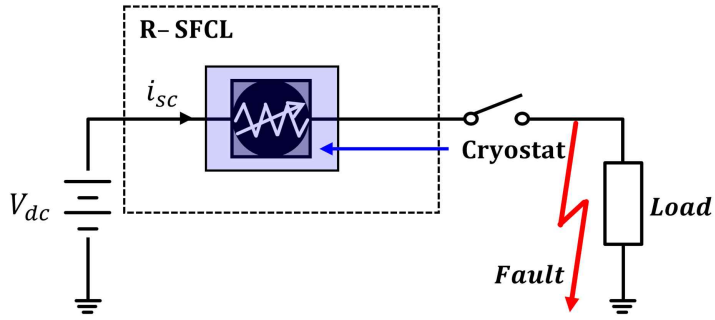


그림 2-17 저항형 초전도 한류기의 등가회로

Fig. 2-17 Equivalent circuit of resistive superconducting current limiter

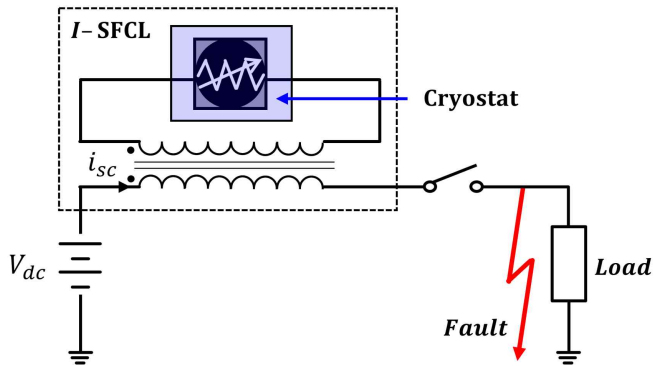


그림 2-18 유도형 초전도 한류기의 등가회로

Fig. 2-18 Equivalent circuit of inductive superconducting current limiter

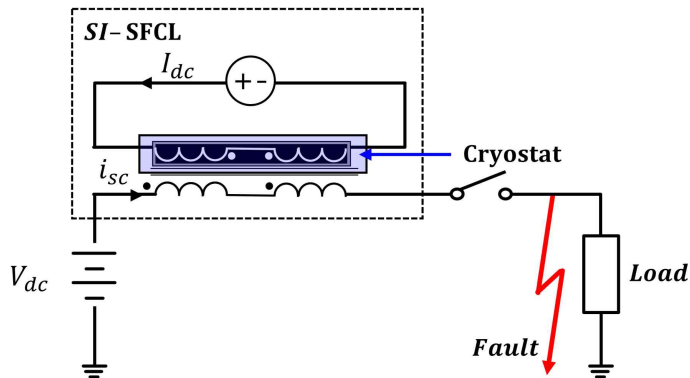


그림 2-19 포화철심형 초전도 한류기의 등가회로

Fig. 2-19 Equivalent circuit of saturated iron core type superconducting current limiter

## 2. 기계식 DC 차단기

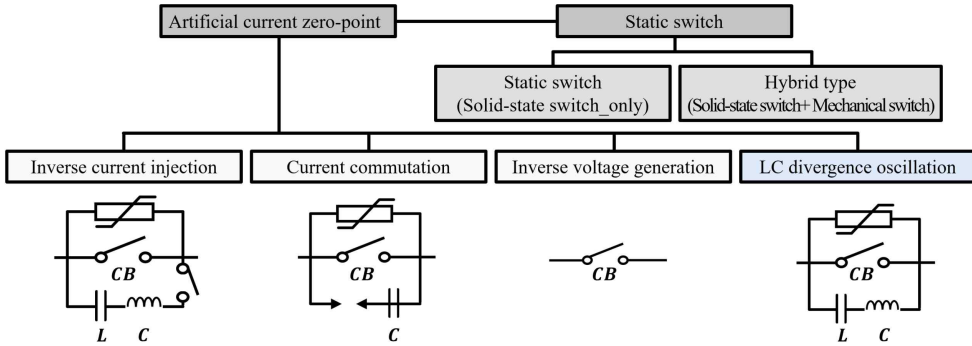


그림 2-20 DC 차단 방식의 종류

Fig. 2-20 DC cutting-off methods

그림 2-20과 같이 일반적인 기계식 DC 차단 기술의 차단 방식에 따라 구분할 수가 있다[74-77]. 일반적으로 인위적인 전류 차단 영점을 생성시키는 방식과 고속 스위칭이 가능한 전력용 반도체(Static switch)를 이용한 방식으로 나뉜다. 인위적인 전류 차단 영점 생성 방식에는 수동방식과 능동방식으로 나눌 수 있으며, 수동 방식과 능동 방식으로 나뉜다. 수동 방식에는 아크의 부특성을 활용한 방식이 있고, 능동 방식에는 커패시터의 충·방전을 활용하여 역전류를 통한 인위적인 차단 영점을 생성하는 방식이 있다. 또한, 능동 방식에는 커패시터의 충전 방식이 내부인지, 외부인지에 따라 그 원리와 메커니즘이 다르다.

반도체 소자를 이용한 차단방식은 반도체 소자의 단일 구조(Static switch)와 다중 구조로 나뉘며, 다중 구조(Hybrid switch)에는 반도체 소자를 포함한 기계식 접점 스위치, 피뢰기 등이 구성된다.

DC 계통은 전압 레벨에 따라 Low Voltage Direct Current(LVDC), Medium Voltage Direct Current(MVDC), High Voltage Direct Current(HVDC)로 나뉘며, 전압 레벨에 적합한 차단기를 요구한다. LVDC에서는 기계식 DC 차단기가 사용되고 있으며, 역전압 및 역전류 방식, 전류전환 방식, LC 발산진동 방식이 연구되고 있다. MVDC에서는 LVDC에서 활용되고 있는 기계식 DC 차단 방식에 소량의 반도체 소자를 결합한 하이브리드 모델이 연구되고 있다. HVDC에서는 기계식 DC 차단 방식과 대량의 반도체 소자를 결합한 하이브리드 모델이 대표적으로 연구되고 있다. 최근에는 초전도 한류기와 기계식 DC 차단기가 결합한 모델이 연구되고

있다. 기계식 DC 차단기는 기계적 및 전기적인 차단 동작의 신뢰도가 높다는 장점 때문에 다양한 DC 전압 레벨에서 필수 차단 요소로 자리 잡고 있다.

a. Active 방식 (역전류 주입 방식 - Inverse current injection)

Active 방식은 역전류 주입 방식으로 인위적인 전류 차단 영점을 생성하는 방식이다. 회로는 주회로와 역전류 주입 회로로 구성된다. 주회로에는 기계식 DC 차단기가 있고, 역전류 주입 회로에는 충전용 커패시터와 보조 전원 장치가 있다. 또한, 주회로와 역전류 회로를 연결하는 반도체형 스위치가 연결되어 있다.

정상 상태에서는 상시로 보조 전원을 통해 커패시터가 충전되어 있다. 과도 상태에서는 주회로에서 고장 전류가 검출되고 전력용 스위치가 동작함에 따라 주회로와 역전류 회로가 연결이 된다. 두 회로가 연결되는 순간 충전된 커패시터의 방전 전류가 고장 전류의 역방향으로 발생하여 인위적인 차단 영점이 빠르게 형성되고 기계식 DC 차단기의 안정적인 개방 동작이 이루어진다.

Active 방식의 장점은 개방되는 차단 접점으로부터 발생하는 아크 에너지 크기가 역전류(커패시터의 방전 전류)에 의해 작아진다는 점이다. 단점은 선로의 발생하는 고장 전류에 비해 역전류가 클 경우, 주회로에 연결되어 있는 인버터, 컨버터의 민감한 전력용 반도체 설비에 심각한 고장을 일으킬 수 있다는 것이다. 또한, 이 방식은 상시에 구동되고 있는 보조 전원이 있고, 커패시터의 충전 상태를 유지해야 하는 조건이 있다. 이러한 이유로 회로가 복잡하다는 단점이 있다.

b. Passive 방식 (전류전환 방식 - Current commutation)

Passive 방식은 전류 전환 회로를 통해 고장 전류를 충전용 커패시터의 충전회로로 전환해 커패시터의 충전과 방전을 도와 인위적인 전류 차단 영점을 생성하는 방식이다. 이 방식은 주회로와 전류전환 회로 그리고 피뢰기가 각각 병렬로 연결되어 있다. 주회로에는 기계식 DC 차단기가 있고, 전류전환 회로에는 충전용 커패시터가 구성된다. 전류전환 회로에 구성된 충전용 커패시터는 무충전 커패시터이며, 상시 보조로 사용하여 높은 아크 전압의 상승률을 이용한다[78].

Passive 방식의 장점은 Active 방식과 차단 원리는 비슷하지만, 사전에 충전할 필요가 없어 보조 전원 장치가 없다. 그러므로 Active 방식에 비해 차단 회로 및 부피가 작아진다는 장점을 가지고 있다. 단점은 고장 전류에 의해 충전용 커패시터

가 충전되어 방전 전류가 발생하는 회로 구성이지만, 선로에 발생하는 고장 전류를 사전에 분석하여 커패시터의 용량을 선정해야 한다. 또한, 고장 전류에 의한 커패시터의 과충전에 따른 문제가 발생할 수 있다.

c. Forced 방식(역전압 발생 방식 - Inverse voltage generation)

Forced 방식은 아크 전압을 전원 전압보다 높게 상승시켜 차단하는 방식으로, 주로 약 3 kV 이하의 전기철도 및 제철소에 활용되고 있다. 이 방식은 주회로에 기계식 DC 차단기로만 구성된다.

Forced 방식의 장점은 기계식 DC 차단기의 차단 접점 및 아크 슈트를 이용하는 매우 간단한 구조이며, 무게 및 부피가 작은 것이다. 단점으로는 MVDC, HVDC의 전압 레벨에서는 단독으로 사용할 수 없다.

d. LC 발산진동 방식(Divergence oscillation)

LC 발산진동 방식은 기계식 DC 차단기에 LC 발산진동회로가 병렬로 연결되어 기계식 DC 차단기의 개방 동작에 따른 공진 주파수에 따라 고장 전류의 발산진동을 일으켜 인위적인 차단 영점을 생성해내는 방식이다. 이 방식의 회로구성은 주회로와 LC 발산진동 회로, 피뢰기가 병렬로 연결되어 있다. 주회로에는 기계식 DC 차단기(Mechanical Circuit Breaker, MCB)가 있고, LC 발산진동 회로에는 인덕터(L)와 커패시터(C)가 직렬로 연결되어 있다.

LC 발산진동 방식의 장점은 Active 및 Passive 방식과 같이 커패시터를 사용하지만, 비교적 용량이 작고, 보조 전원 장치가 필요하지 않아 매우 간단한 회로로 구성된다. 또한, 모든 DC 전압 레벨에서도 활용이 가능하다. 단점은 고장 전류의 발산진동을 일으켜 인위적인 차단 영점을 생성하는 원리이기 때문에 그만큼 다른 차단 방식에 비해 차단 시간이 느리다. 또한, LC 발산진동회로의 리액터와 커패시터는 회로에 발생하는 고장 전류를 통해 설계해야 한다는 점이다.

본 논문에서는 초전도 한류 모듈과 기계식 DC 차단기의 하이브리드 방식을 고려한 새로운 DC 차단 기술을 제안하였다. 초전도 한류 모듈은 초기고장 전류를 2 ms 이내에 한류시킨다는 강점을 가지고 있지만, 고장 전류가 정상전류 레벨까지 도달하는데 걸리는 시간동안 상전도 상태로 모든 고장 전류의 전력부담을 감당하게 된다. 이는 신뢰도 높은 기계식 DC 차단기를 결합함으로써 초전도 한류 모듈의

회복시간을 앞당길 수 있는 장점을 갖는다. 기계식 DC 차단기의 LC 발산진동 방식은 회로주파수에 의한 공진을 통해 LC 발산진동 전류에 고장 전류가 영향을 받아 인위적인 차단 영점이 생성된다는 점이 매우 강점이다. 하지만 이 방식은 차단 시간이 길다는 단점이 있지만, 초전도 한류 모듈에 의해 고장 전류의 레벨을 차단 동작하기 전에 저감시켜 최종 차단 시간을 고장 전류 한류율에 따라 줄일 수 있다.

본 논문에서는 초전도 한류 모듈과의 하이브리드 방식에 적합한 차단 방식으로 LC 발산진동방식을 선정하였다. 이는 위의 설명과 같이 수동소자로 이루어진 LC 발산진동 회로의 인덕터와 커패시터의 값에 따라 동작하며, 인덕터와 커패시터를 제어할 수 있어야 한다. 하지만, 이 기술은 선로의 과도상태에서 발생하는 불특정한 회로 주파수에 공진을 일으켜야 하는 조건을 가지고 있기에 여러 상황 조건 속의 데이터를 확보하는 것이 우선이다.

LC 발산진동전류의 발생 원리는 다음과 같다.

초전도 한류 소자에 의해 저감된 고장 전류는 MCB를 통해 흐르게 되고 MCB의 개방동작이 시작되며, 기계식 차단 접점 사이에는 DC 아크 전류가 발생한다. 이 DC 아크 전류( $i$ )는 식 (2-18)과 같이 정상적인 DC 아크 전류( $I$ )와 다양한 요소들에 따른 동적 특성이 결합하여 발생한다.

$$i = I + I_m \sin \omega t \quad (2-18)$$

이러한 동적 특성은 불특정한 주파수를 동반하여 발생하게 되며, 주파수의 레벨에 따라 전압-전류 특성이 변한다. 또한, 고장 전류는 MCB 회로의 DC 아크 저항이 발생함에 따라 LC 발산진동회로로 흐르기 시작한다. MCB에 흐르는 고장 전류는 LC 발산진동회로의 LC 발산진동전류에 의해 진동이 발생한다.

LC 발산진동전류가 발생하는 원리는 다음과 같다.

LC 발산진동회로로 흐르는 전류는 키르히호프 전압 법칙을 바탕으로 식 (2-19)에 따라 각 요소에 발생하는 성분들을 고려해야 한다[77-78].

$$L \frac{di}{dt} + Ri + \frac{1}{C} \int i dt + e_a = 0 \quad (2-19)$$

이를 시간에 대해 미분하고 유도하여 아크에 대한 전압 방정식으로 치환하게 되

면, 식 (2-20)이 된다.

$$L \frac{d^2 i}{dt^2} + \left( R + \frac{de_a}{di} \right) \frac{di}{dt} + \frac{i}{C} = 0 \quad (2-20)$$

여기서, 식 (2-21)과 같이 DC 아크 전류( $i$ )의 변화함에 따라 전압-전류 특성의 평균 기울기인  $de_a/di$ 가  $R$ 과의 합을 통해 0이 되는 조건을 얻을 수 있다.

$$R + \frac{de_a}{di} = 0 \quad (2-21)$$

그러므로 식 (2-21)에 의해 식(2-20)은 식 (2-22)이 된다.

$$L \frac{d^2 i}{dt^2} + \frac{i}{C} = 0 \quad (2-22)$$

LC 발산진동회로에 L성분과 C성분이 남아있으며, 두 성분의 에너지의 합은 0이 된다. 이는 식 (2-23)과 (2-24)의 자기에너지 그리고 정전에너지로 설명된다.

$$\frac{1}{2} LI^2 \quad (2-23)$$

$$\frac{1}{2} CV^2 \quad (2-24)$$

각 성분의 임피던스에 따른 방정식은 식 (2-25)으로 표현할 수 있다. 식 (2-25)를 통해 각 성분의 위상이 반대라는 것을 확인할 수 있다.

$$j\omega L = \frac{1}{j\omega C} \quad (2-25)$$

이는 식 (2-26)과 같이 LC 발산진동회로에서의 고유 주파수가 결정된다.



$$f = \frac{1}{2\pi\sqrt{LC}} \quad (2-26)$$

정리하면, MCB의 개방동작이 시작되고, 기계식 차단 접점 사이에 DC 아크 전류가 흐르면서 불특정 주파수가 생성된다. 이 주파수가 LC 발산진동회로의 고유주파수와 같은 값이 되었을 때, 회로에 공진현상이 발생하므로, 식 (3-4)의 저항을 갖게 된다. 즉, 고장 전류에서 발생한 회로 주파수와 LC 발산진동회로의 고유주파수가 같아질 때 공진이 일어난다. 이 LC 발산진동회로는 L과 C가 직렬로 연결되어 있으므로 전류의 진동 폭이 점점 커진다. 키르히호프 전류 법칙에 의해 주회로에 흐르는 전류는 MCB와 LC 발산진동회로 그리고 SA회로의 합과 같다. MCB 회로에 흐르는 고장 전류는 LC 발산진동회로에 영향을 받게 된다. 그러므로, LC 발산진동회로의 전류 진동 폭의 변화에 MCB에 흐르는 고장 전류의 진동 폭이 변화하게 된다. 이후, MCB에 흐르는 고장 전류가 차단 0점에 도달하여 차단이 완료되면, DC 아크 전류-전압 특성에서 동적 특성을 제외한 정상적인 DC 아크 전류( $I$ )가 LC 발산진동회로로 모두 흐르게 된다. 또한, MCB의 회로가 개방됨에 따라 임피던스가 무한대로 변하여, 회로에 정격전압의 약 2배 높은 TIV(Transient Interruption voltage)가 발생한다. 전압상승 기울기가 높은 TIV의 발생으로 인해 피뢰기가 동작한다. 피뢰기는 회로에 남아있는 고장 전류를 접지를 통해 소호시켜 모든 차단 동작을 마무리한다.

### 3. 초전도 DC 차단기의 동작 순서

그림 2-21은 정상 및 과도상태에서의 MMC HVDC 계통 동작 순서와 초전도 DC 차단기 차단 동작 순서를 시간 순서대로 나열한 그림이며, 아래와 같다. MMC 전압형 HVDC 계통에서 MMC를 구성하는 SM내에 구성되는 IGBT의 역할이 중요하다. MMC를 포함한 송전단과 수전단 계통이 연결되기 전, IGBT와 연결되어 있는 커패시터에 두 차례 초기 충전이 진행된다. 이는 계통 연결에 따른 돌입전류로부터 피해를 방지하는 이유와 스위칭 장치 혹은 필터의 스트레스를 줄이기 위함이다. 1차 충전은 AC 전원에 의해 충전이 되며, 2차 충전은 SM 전압 제어에 의해 충전이 진행된다. 충전이 완료되면 AC 계통과 MMC 변환장치가 연결되며, 이 때 일시적인 스트레스가 발생한다. 계통의 부득이한 고장이 발생하면, 약 2 ms 이내에 초전도 한류 모듈의 quench 동작으로 초기고장 전류가 한류되고, 기계식 DC 차단기의 CT(Current transformer)가 고장 전류를 감지하게 된다. 이후, 기계식 DC 차단기의 MCB가 개방동작을 수행하게 되며, 차단 접점간 아크 전압이 형성되면서 LC 발산진동회로의 발산진동전류가 발생한다. 이는 고장 전류에 영향을 주어 전류 발산 형태의 흐름을 유도한다. 고장 전류는 인위적인 전류 영점에 도달하게 되어 MCB의 안정적인 차단 동작이 이루어지며, 이 때 TIV에 의한 피뢰기의 소호 동작이 수행된다. 피뢰기는 선로의 잔류된 고장 전류를 접지선을 통해 소호 시키며 모든 차단 동작은 완료된다.

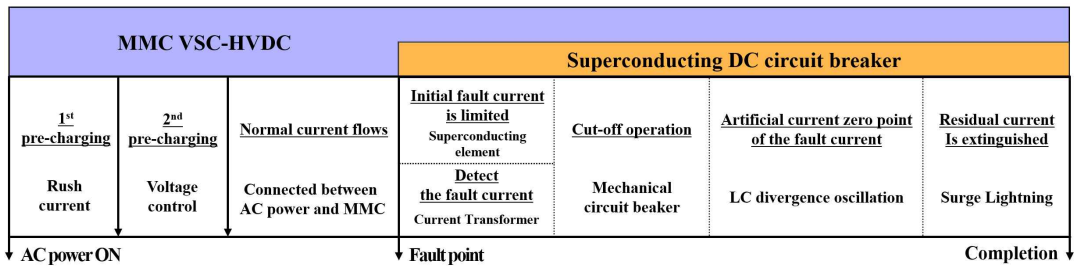


그림 2-21 MMC HVDC 계통과 초전도 DC 차단기의 동작 순서

Fig. 2-21 Operation sequence of MMC HVDC grid and a superconducting DC circuit breaker

### Ⅲ. 시뮬레이션 설계 및 해석

#### A. MMC VSC-HVDC 정상 상태

##### 1. MMC VSC-HVDC 시스템 구성

그림 3-1은 TBC MMC VSC-HVDC의 실계통 개략도이다. 이는 Trans Bay Cable(TBC) 프로젝트를 통해 구현하였으며, 최초의 MMC가 적용된 미국의 Pittsburg와 San Francisco를 잇는 HVDC 송전 계통이다. 또한, 이는 Siemens사의 HVDC PLUS 기술이 적용되었다. 선로 길이는 약 85 km이다[79-80]. 그림 3-2는 위의 실계통 파라미터를 바탕으로 PSCAD/EMTDC를 통해 설계한 계통 회로도이다.  $AC_1$ ,  $MMC_1$ ,  $DC_1$ 은 San Francisco(왼쪽)의 계통 시스템을 모델링하였고,  $AC_2$ ,  $MMC_2$ ,  $DC_2$ 는 Pittsburg(오른쪽)의 계통 시스템을 모델링하였다[80]. 본 논문에서 DC 케이블은 XLPE (Cross Linked-Polyethylene)을 사용하였다. 그림 3-3은 XLPE (Cross Linked - Polyethylene)의 단면도이며, HVDC 케이블 파라미터 값은 표 3-1에 정리하였다.

그림 3-4는 PSCAD/EMTDC로 설계한 MMC의 회로도이다. AC 각 상에 SM 시뮬레이션 모듈이 각각 연결되어 있으며, 이 모듈 내에서 SM의 개수 및 동작 특성을 제어한다. 그림 3-5(a)는 MMC 1상에 연결되는 leg 회로도와 그림 3-5(b)는 Y- $\Delta$  변압기, Star point reactor의 회로도이다. TBC MMC VSC-HVDC 계통은 AC ( $AC_1$ ,  $AC_2$ ) 전압 각각 115, 230 kV이며, DC( $DC_1$ ,  $DC_2$ ) 전압  $\pm 220$  kV로 연결된다. MMC 내의 각 arm당 SM 개수는 200개와 여분의 16개로 구성하였으며, 시뮬레이션 모델에서는 여분의 SM을 제외한 200개를 설계하였다. SM의 커패시터 용량은 10 mF이며, 누설 저항은 10 M $\Omega$ , IGBT와 Diode의 ON 저항, OFF 저항은  $1 \times 10^{-3}$   $\Omega$ ,  $1 \times 10^8$   $\Omega$ 으로 설정하였다. 변압기에 적용되는 파라미터는 1차측(송/수전단) 230, 115 kV, 2차측(DC cable) 220 kV, 정격 용량 800 MVA, 누설임피던스 18 %, 리액터 용량 29 mH이다. Star point reactor의 접지선에 연결되어 있는 리액터와 저항은 각 5,000 H, 5,000  $\Omega$ 으로 설정하였다. AC/DC 기준 유효전력은 약 400 MW/ 400 MW, DC 전류는 약 1.0 kA가 출력되도록 설정하였다. MMC의 변조 기법은 일반적인 NLC(Nearest Level Control) 변조 기법을 적용하였다. NLC 변조 기법은 필요한 출력 기준 전압에 반올림(ROUND)함수를 적용해서 샘플링 기간에

전압 레벨을 맞춰 SM을 동작시키는 방식이다. SM의 커패시터 전압 균형을 유지하기 위한 알고리즘 BCA(Balancing control algorithm)는 RSF(Reduced switching frequency)를 적용하였다. 이는 각 샘플링 주기마다 SM 하나의 상태를 변경하여 스위칭 주파수를 줄이는 방법이다. 표 3-2는 시뮬레이션에 적용된 TBC MMC VSC-HVDC의 파라미터 값이다[79-83].

본 논문에서 설계한 MMC VSC-HVDC 계통 시뮬레이션 모델의 정상 상태와 빈번히 발생하는 AC 1선 지락 고장을 시작으로 대표적인 과도 상태를 통해 동작 특성을 분석하고 P-V 특성을 통해 심각한 상정 고장을 선별하였다.

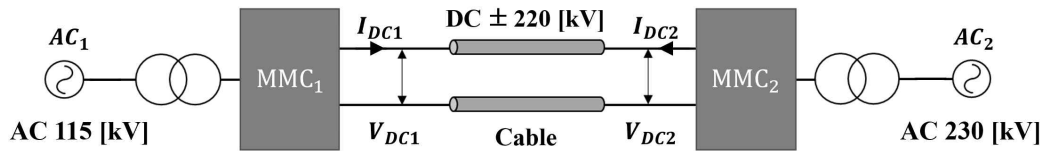


그림 3-1 TBC MMC VSC-HVDC 개략도

Fig. 3-1 The schematic diagram of TBC MMC VSC-HVDC

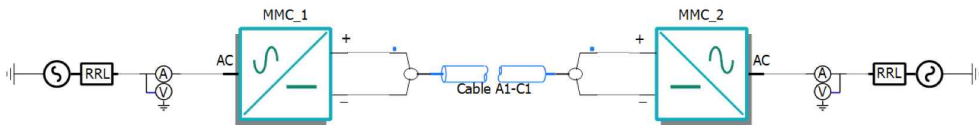


그림 3-2 TBC MMC VSC-HVDC의 시뮬레이션 회로도

Fig. 3-2 The circuit diagram for simulation of TBC MMC VSC-HVDC

표 3-1 XPLE 케이블 파라미터

Table 3-1 Parameters of the XPLE cable

Core [mm]	$\rho_{core}$ [ $\Omega\text{m}$ ]	$\epsilon_{r1}$	$\tan\phi1$	$r_1$ [mm]
22	$27.4 \times 10^{-8}$	2.3	0.0001	17.5
$r_2$ [mm]	$\rho_{sh}$ [ $\Omega\text{m}$ ]	$\epsilon_{r2}$	$\tan\phi2$	$S_{cable}$ [mm]
4.5	$18.15 \times 10^{-8}$	2.3	0.0001	63.5

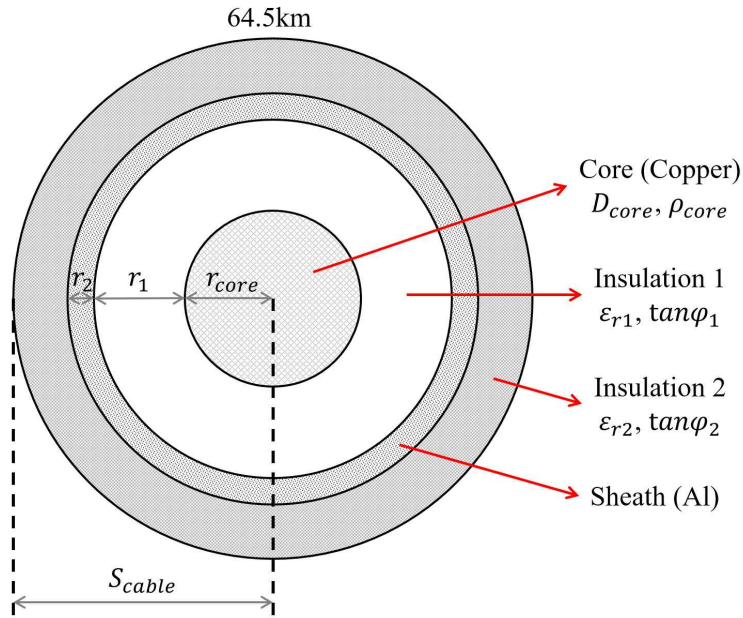


그림 3-3 XLPE 케이블 단면도

Fig. 3-3 Cross section of the XLPE cable

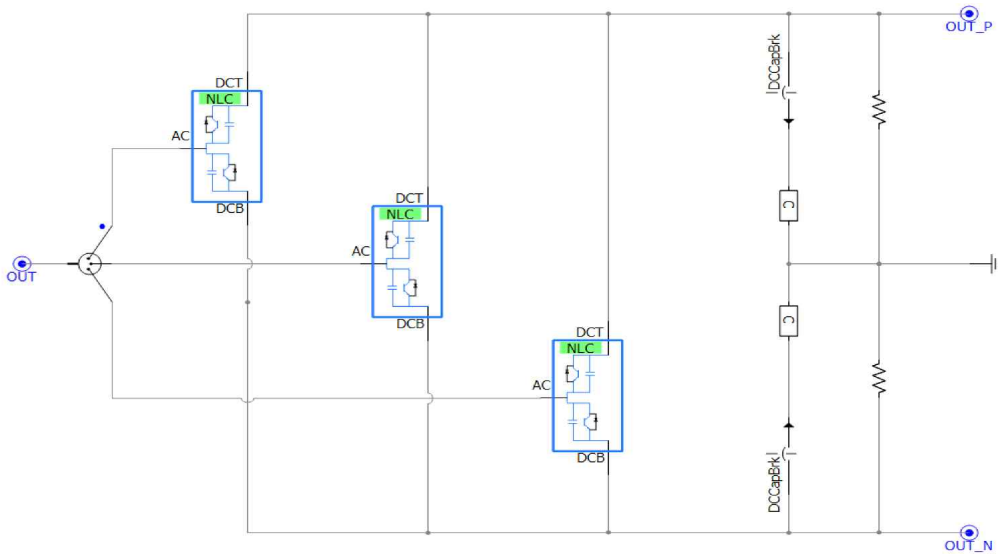


그림 3-4. PSCAD/EMTDC 변환기 회로도

Fig. 3-4 The schematic of a PSCAD/EMTDC converter

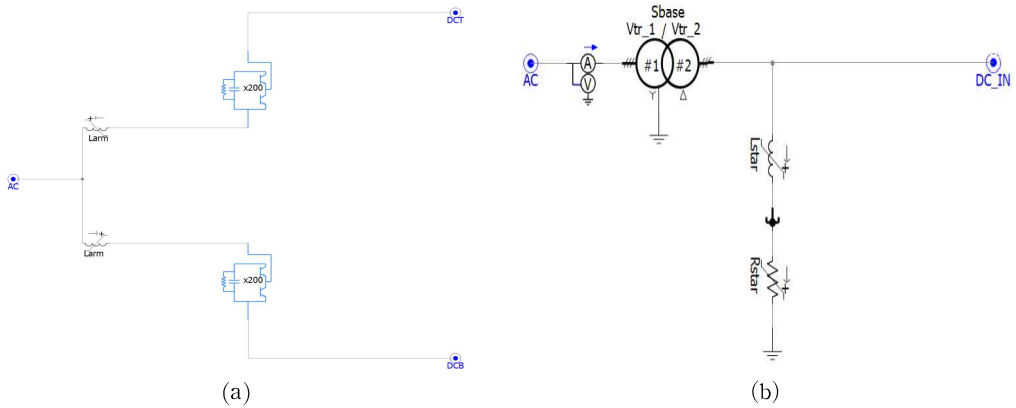


그림 3-5 PSCAD/EMTDC leg 및 Y-Δ 변압기 회로도

Fig. 3-5 Schematic diagrams of a PSCAD/EMTDC leg and a Y-Δ transformer

표 3-2 TBC MMC VSC-HVDC 파라미터

Table 3-2 Parameters of TBC MMC VSC-HVDC

파라미터		PSCAD/EMTDC	TBC VSC-HVDC
정격 용량		800 [MVA]	800 [MVA]
AC <sub>1</sub>	정격 전압	380 [kV]	115 [kV]
	주파수	50 [Hz]	50 [Hz]
	변압기	380/220 [kV] (Y/Δ)	115/220 [kV] (Y/Δ)
	부하손실	0.006 [p.u]	-
AC <sub>2</sub>	정격 전압	145 [kV]	230 [kV]
	주파수	50 [Hz]	50 [Hz]
	변압기	145/220 [kV] (Y/Δ)	230/220 [kV] (Y/Δ)
	부하손실	0.006 [p.u]	-
MMC (DC)	정격 전압	±200 [kV]	±220 [kV]
	Arm 인덕티 용량	29 [mH]	29 [mH]
	arm 당 SM 수	200	200
	SM 커패시터 용량	10 [mF]	25 [uF]
	IGBT blocking delay	30 [μs]	30 [μs]
	fault pick-up time	10 [μs]	10 [μs]
	Star point reactor	5,000 [H], 5,000 [Ω]	5,000 [H], 5,000 [Ω]
ACCB	동작 시점	40 [ms]	-
케이블	선로길이	200 [km]	85 [km]

## 2. 정상 특성

그림 3-6과 같이 시뮬레이션 결과 데이터를 해석함에 있어서 구분하기 쉽게 1차 SM 커패시터 충전이 시작되는 시점부터 2차 SM 커패시터 충전이 시작되는 시점까지를 A구간으로 정하였고, 2차 SM 커패시터 충전이 시작되는 시점부터 AC전원과 MMC 계통이 연결되기 시작하는 시점까지를 B구간, 고장발생이 시작되는 시점까지를 C구간, 그 외의 시간을 D구간으로 나누어 설명하였다.

A 구간(0~200 ms)에서는 SM 커패시터의 1차 충전이 진행된다. 이는 수전단  $AC_1$  전원으로부터 충전을 시작하며, arm 전류(돌입전류)에 의해 진행하는데 동시에 IGBT의 전기적 충격을 가할 수 있다[84]. 그러므로 MMC에서는 각 arm 회로에 그림 3-7과 같이 저항  $L_{arm}$ 을 적용하여 IGBT의 전기적 충격을 줄일 수 있다. 돌입전류는 약 0 ms 시점에서 모든 SM을 구성하는 상·하단 IGBT가 스위칭 OFF된 상태로  $AC_1$  전원과 연결되기 때문에  $AC_1$  전원과 MMC 시스템간의 전압차가 생겨 발생하게 된다. 그러므로, MMC에서는 각 arm 회로에 저항  $L_{arm}$ 을 적용해서 돌입전류에 대한 고장을 방지한다[85]. 그림 3-8은  $AC_1$  전원에 의해 발생하는 arm 전류가 SM 역방향 다이오드를 통해 흐르는 경로를 보여준다. 1차 초기 충전을 통해 DC 선간전압은  $AC_1$  선간전압 최댓값( $\sqrt{2} V_{L-L}$ )인 약 310 kV까지 상승하였다. 하나의 SM 커패시터 전압은 DC 선간전압 310 kV를 arm당 SM 수로 나눈 값으로 계산되며, 약 1.55 kV까지 상승함을 예측할 수 있다.

B 구간(200~600 ms)에서는 SM 커패시터의 2차 충전이 진행된다. 2차 초기 충전은 그림 3-8, 3-9와 같이 SM 커패시터의 전압 제어에 의해 충전되며, 약 404 kV까지 상승하게 된다[86]. 2차 초기 충전 구간은 그림 3-10을 통해 약 200~250 ms임을 확인하였고, 전압 제어 메커니즘은 다음과 같다. 특정 SM이 독립적으로 PWM 스위칭을 Duty비를 통해 Switching ON/OFF를 반복적으로 수행한다[87]. 어느 SM이 switch ON에서 switch OFF로 변경될 때, arm 전류가 상승하게 되고, 그 외의 switch ON 상태인 SM 커패시터는 충전을 진행한다.

C 구간(600~1000 ms)에서는  $AC_1$  전원부와 연결된 MMC HVDC 계통이 송전단  $AC_2$  전원과 연결된다. 이 시점부터는 모든 SM이 NLC 변조 기법과 BCA에 의해 개별적인 스위칭 동작을 수행하며, 정격전압을 유지한다.

D 구간(1000~2000 ms)에서는 임의적인 고장이 발생하며, AC 및 DC의 다양한

고장 유형이 설정되어 발생된다. 모의 시뮬레이션은 약 0~2000 ms까지의 동작을 수행하였고, 각 시점에 따른 상태 변화를 모의하였다.

본 논문에서의 MMC HVDC 계통에 흐르는 정상 전류는 약  $\pm 1$  kA이며, MMC 내의 SM 커패시터에 인가되는 전압은 약 2.0 kV이다. 이는 DC 정격전압인  $\pm 405$  kV를 arm당 SM 개수 200으로 나눈 값이며, 그림 3-10을 통해  $SM_{cap}$  전압 평균값은 약 2.0 kV가 인가되었음을 확인하였다. 특히, 일반적인 MMC의 커패시터 전압 리플율은 약 10 % 미만이어야 한다. 현재 설계된 MMC VSC-HVDC 계통의 전압 리플율은 약  $\pm 0.17$  kV가 발생하고 있으며, 약 8.5 %의 리플율을 확보하였다. MMC 내의 IGBT 보호 제어 시스템이 설정되어 있으며, 표 3-3에 의해 동작한다.

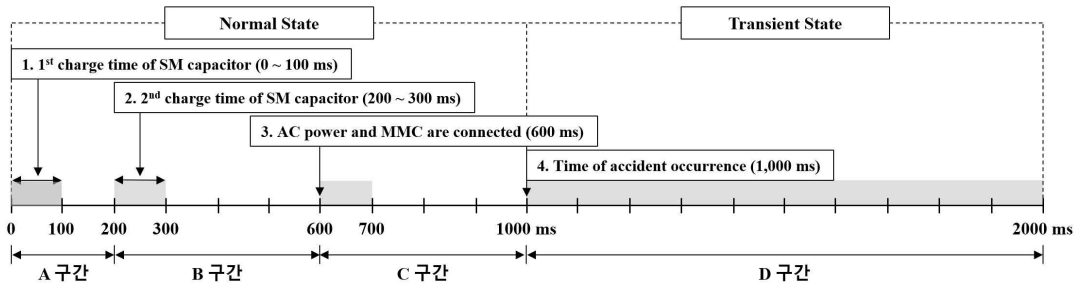


그림 3-6 MMC VSC-HVDC 계통 동작 메커니즘

Fig. 3-6 Operation mechanism of MMC VSC-HVDC system

표 3-3 AC와 DC의 IGBT 차단 동작 설정 파라미터 기준

Table 3-3 Standard on the IGBT's cutting-off operation setting parameters for AC and DC

IGBT block 차단동작 기준	AC		DC	
	과전류 [kA]	4.0 이상	과전류 [kA]	6.0 이상
저전압 [kV] (단락고장시)	정격의 90 % 하락시	저전류 [kA]	0.8 이하	



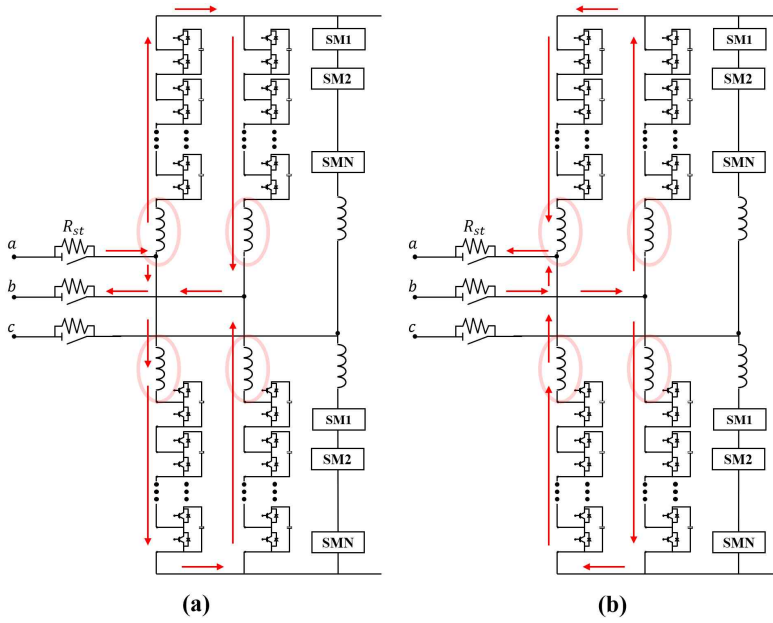


그림 3-7 AC 전원 에 의한 초기 SM 커패시터 충전 경로

Fig. 3-7 Charging circuits of the initial SM capacitor by the AC power

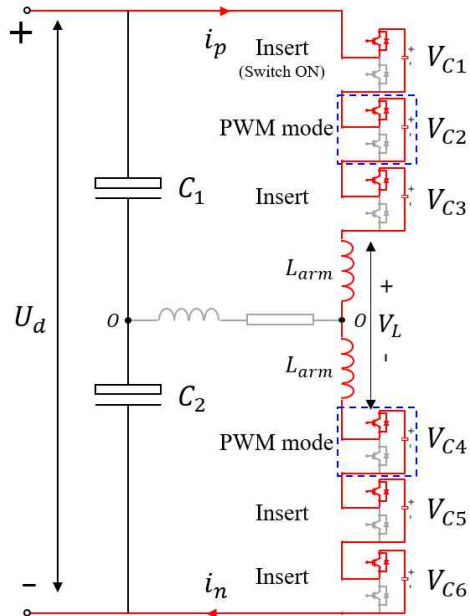


그림 3-8 SM 커패시터의 전압제어 흐름 회로도

Fig. 3-8 Voltage control flow schematic of SM capacitors

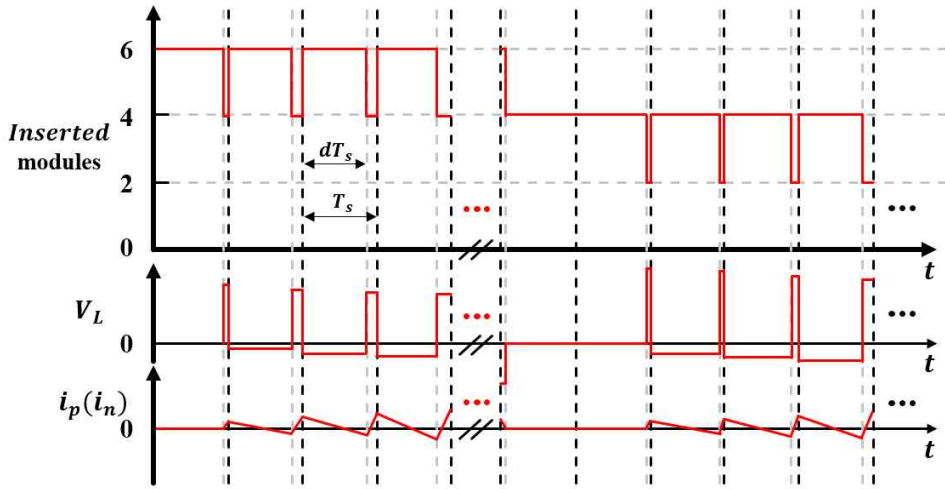


그림 3-9 SM 커패시터의 전압제어에 따른 Switch ON/OFF 파형  
 Fig. 3-9 Switch ON/OFF waveforms according to voltage control of SM capacitors

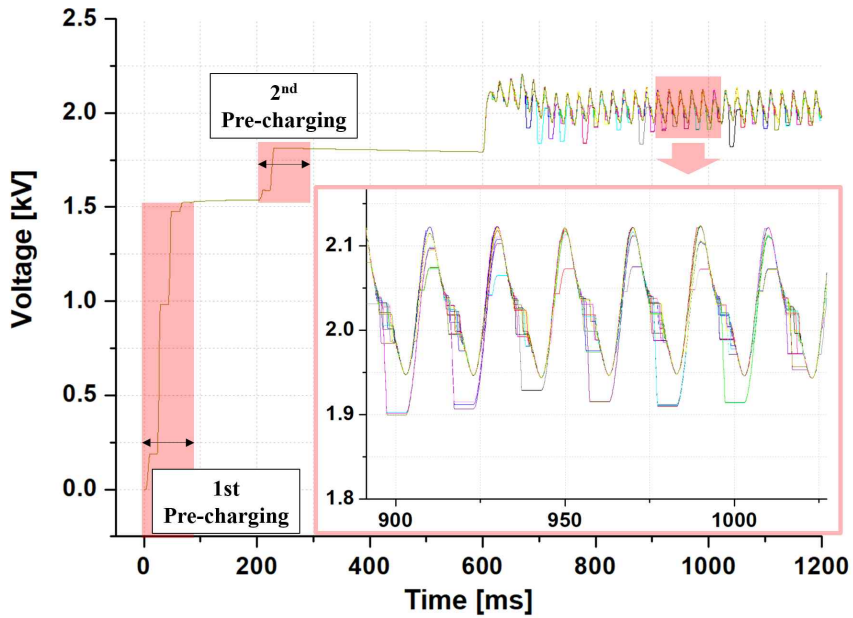


그림 3-10 SM 커패시터 전압  
 Fig. 3-10 Voltage of SM capacitors

### 3. PV 특성

일반적인 전력 안정도는 정태 안정도와 과도 안정도를 구분 지어 판단된다. 정태 안정도는 수전단의 부하량이 증가할 때의 안정도로 안정적인 운전에 대한 지표로 활용된다. 과도 안정도는 예기치 못한 상정 고장(계통고장, 발전기고장, 부하의 급격한 증가 등)에 따라 변화하는 전압 불평형 환경에서의 안정적인 운전을 할 수 있는지에 대한 지표로 활용된다. 본 논문에서는 TBC MMC VSC-HVDC 계통 모델을 기반으로 과도 안정도 측면에서 발생하는 전압 불평형 특성을 확인하고자 P-V 곡선을 활용하였다. P-V 곡선의 판단 기준은 송전단 전압과 수전단 전압의 전압차(δ), 이에 발생하는 유효전력을 변화가 역률 1.0인 이상적인 상태이다. 그림 3-11에 나타난 곡선이 역률 1.0인 상태의 곡선이다. 계통의 환경(정태 및 과도 상태)에 따라 발생하는 안정도가 기준선 바깥쪽으로 분포되어 있다면 진상역률, 기준선 안쪽으로 분포되어 있다면 지상역률로 판단한다. 또한, 유효전력의 최대전력  $P_{max}$ 을 기준으로 상단은 안정 영역, 하단은 불안정영역으로 판단한다.

그림 3-2의 TBC MMC VSC-HVDC는 Monopole 방식의 모선 계통이며, 이를 기준으로 P-V 특성을 기준으로 안정도를 판단하였다. 각 유효전력과 무효전력인 식 (3-1)과 식 (3-2)를 통해 계산하였으며, 그림 3-6의 동작 메커니즘의 구간별로 나누어 판단하였다.

$$P_R = \frac{|V_S||V_R|}{X} \sin\delta \quad (3-1)$$

$$Q_R = P_R \tan\theta_R = \frac{|V_S||V_R|}{X} \cos\delta - \frac{|V_R|^2}{X} \quad (3-2)$$

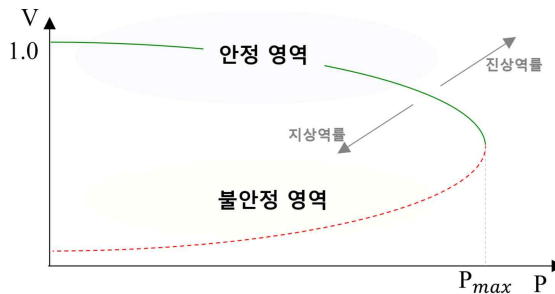


그림 3-11 P-V 곡선

Fig. 3-11 P-V curve

그림 3-1의 시뮬레이션 모델을 기반으로 그림 3-12는 계통의 정상상태에서 발생하는  $AC_1$ 과  $AC_2$ 의 전압이다.  $AC_1$ 의 a, b, c상 전압은 A~D 모든 구간에서 약 93.8 kV가 발생하였다.  $AC_2$ 의 a, b, c상 전압은 모든 구간 약 186.9 kV가 발생하였다.

그림 3-13은  $AC_1$ 과  $AC_2$ 에 흐르는 전류이며, 각 a, b, c상별로 A~D 구간에 흐르는 전류를 확인하였다. SM 커패시터를 충전하는 A와 B구간에서 전류의 흐름을 확인하였고, 계통이 연결되는 C 구간에서부터 원활한 정상 전류의 흐름을 확인하였다.  $AC_1$ 에서의 정상 전류는 약 2.7 kA였고,  $AC_2$ 에서의 정상전류는 약 1.4 kA였다. 그림 3-14는 MMC를 통해 출력되는  $DC_1$ 과  $DC_2$ 의 전압 및 전류 그래프이며, 각 구간마다 동일한 전압 흐름을 확인하였다. 특히, 전류 그래프에서는 SM 커패시터 충전 시점마다 전류의 흐름 방향이 전환되는 흐름을 확인하였다.  $I_{DC1}$ 의 A구간 흐름은  $MMC_1$ 에서 출력되어 시계방향으로  $MMC_2$ 로 향하였고, B구간 흐름은  $MMC_2$ 에서 시계 반대방향으로 흐름을 확인하였다. 위와 같은 초기 커패시터 충전은 MMC 시스템의 SM 커패시터가 받는 스트레스(큰 과도 전류, 스위칭 장치, 필터)를 감소시키기 위해 꼭 필요한 동작이다. C구간에서는  $AC_1$ 과  $AC_2$  계통이 연결되는 시점이며, 순간 전위차에 의한 돌입전류가 발생한 것으로 사료된다. 이후 안정된 전류 흐름을 보였으며, D구간에서의 전류 흐름은  $MMC_2$ 에서 시계반대 방향으로  $MMC_1$ 까지 흐름을 확인하였다.  $DC_1$ 에서의 전압과 전류는 약 406 kV와 약 -1.0 kA였고,  $DC_2$ 에서의 전압과 전류는 약 408 kV와 약 1.0 kA였다. 그림 3-15는  $AC_1$ 과  $AC_2$ 의 유효전력, 무효전력, 피상전력을 그래프로 나타내었다. A구간에서 발생하는 전압 불평형에 대해 조상설비에서 무효전력을 보충하는 흐름을 확인하였고, 이후 정상적인 흐름을 보였다. D구간에서 피상전력을 기준으로 수전단 약 391 kW, 송전단 약 400 kW의 유효전력이 발생함을 확인하였다. 무효전력은 A, B, C구간에서 발생하는 전압 불평형에 따라 발생함을 확인하였고, D구간에서는 송수전단 모두 0에 가까운 값을 확인하였다. 그림 3-16은 A~D 구간별 PV 특성 그래프이다. 이는 계통 안정도를 해석하는 지표로써, 고장 발생 이전의 정태 안정도와 상정고장 이후의 과도 안정도를 판단하고자 활용하였다. 정상상태에서의 구간별 정태 안정도는 매우 안정적인 흐름을 확인하였다. 하지만, A구간 SM 커패시터 충전 과정에서 발생하는 전압 불평형은 P-V 특성에서 불안정한 모습을 보였다. 이후, B, C, D구간에서는 전압 불평형의 모습은 보이지 않았으며, 매우 안정적인 모습을 확인하였다.

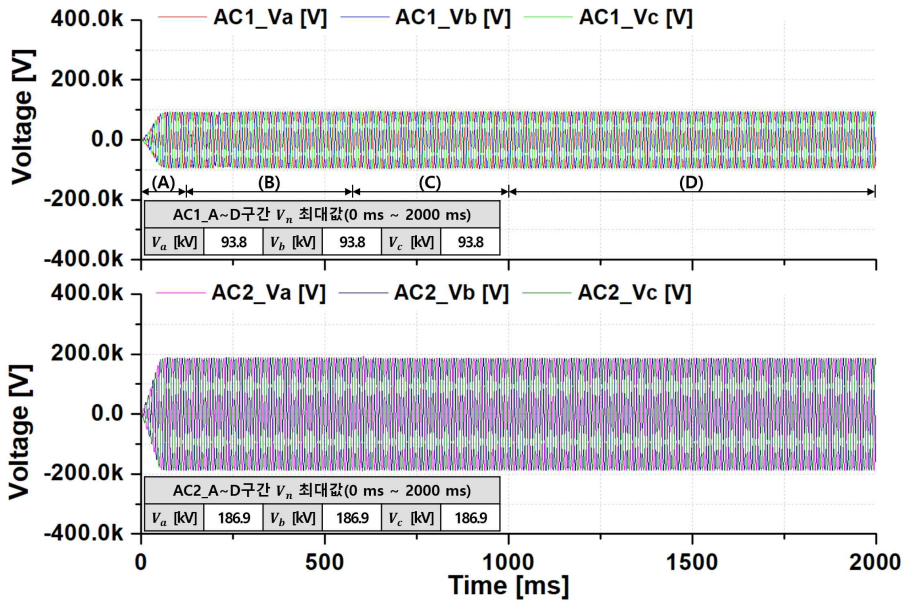


그림 3-12 AC<sub>1</sub>과 AC<sub>2</sub>의 전압

Fig. 3-12 Voltages of AC<sub>1</sub> and AC<sub>2</sub>

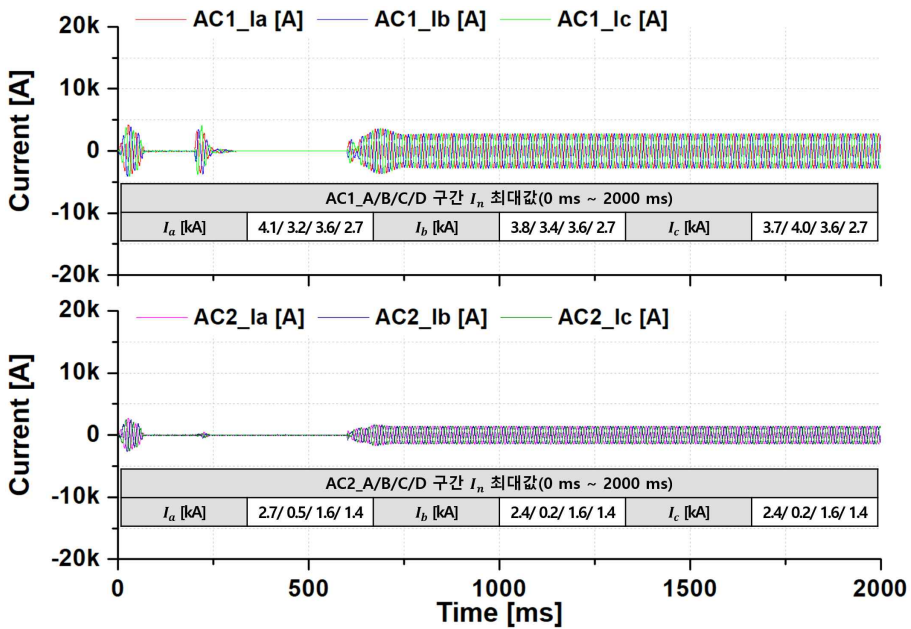


그림 3-13 AC<sub>1</sub>과 AC<sub>2</sub>의 전류

Fig. 3-13 Currents of AC<sub>1</sub> and AC<sub>2</sub>

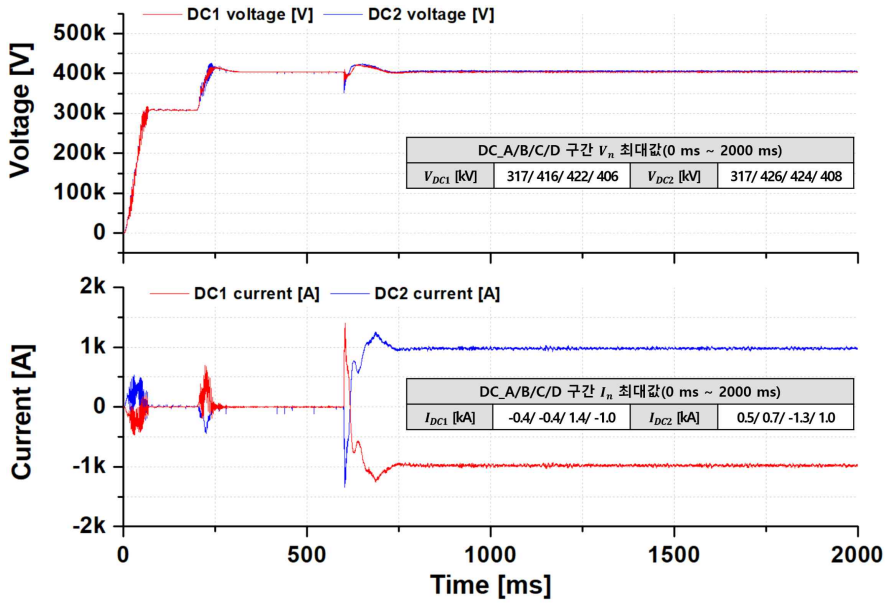


그림 3-14  $DC_1$ 과  $DC_2$ 의 전압 및 전류

Fig. 3-14 Voltages and currents of  $DC_1$  and  $DC_2$

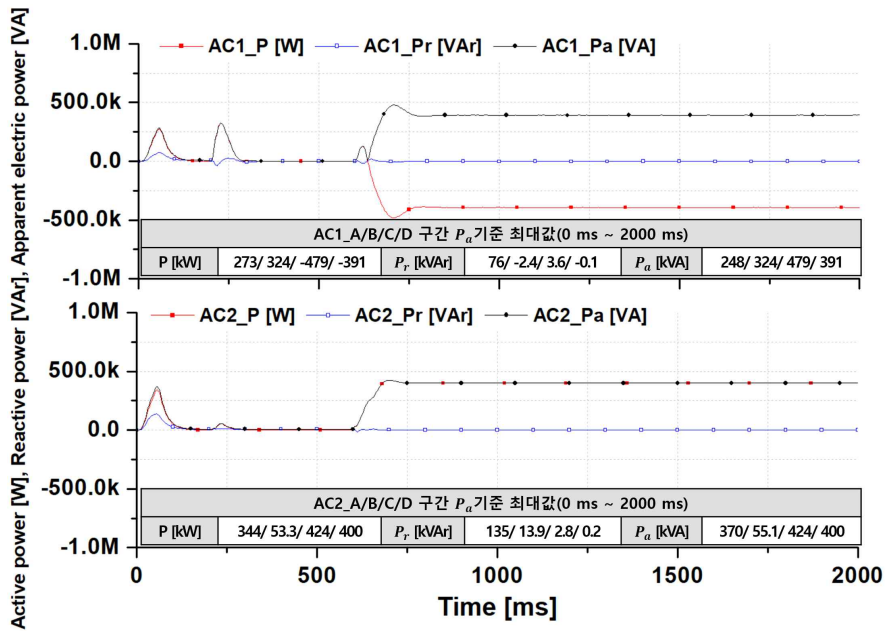


그림 3-15  $AC_1$ 과  $AC_2$ 의 유효전력, 무효전력, 피상전력

Fig. 3-15 Active, reactive, apparent electric power of  $AC_1$  and  $AC_2$

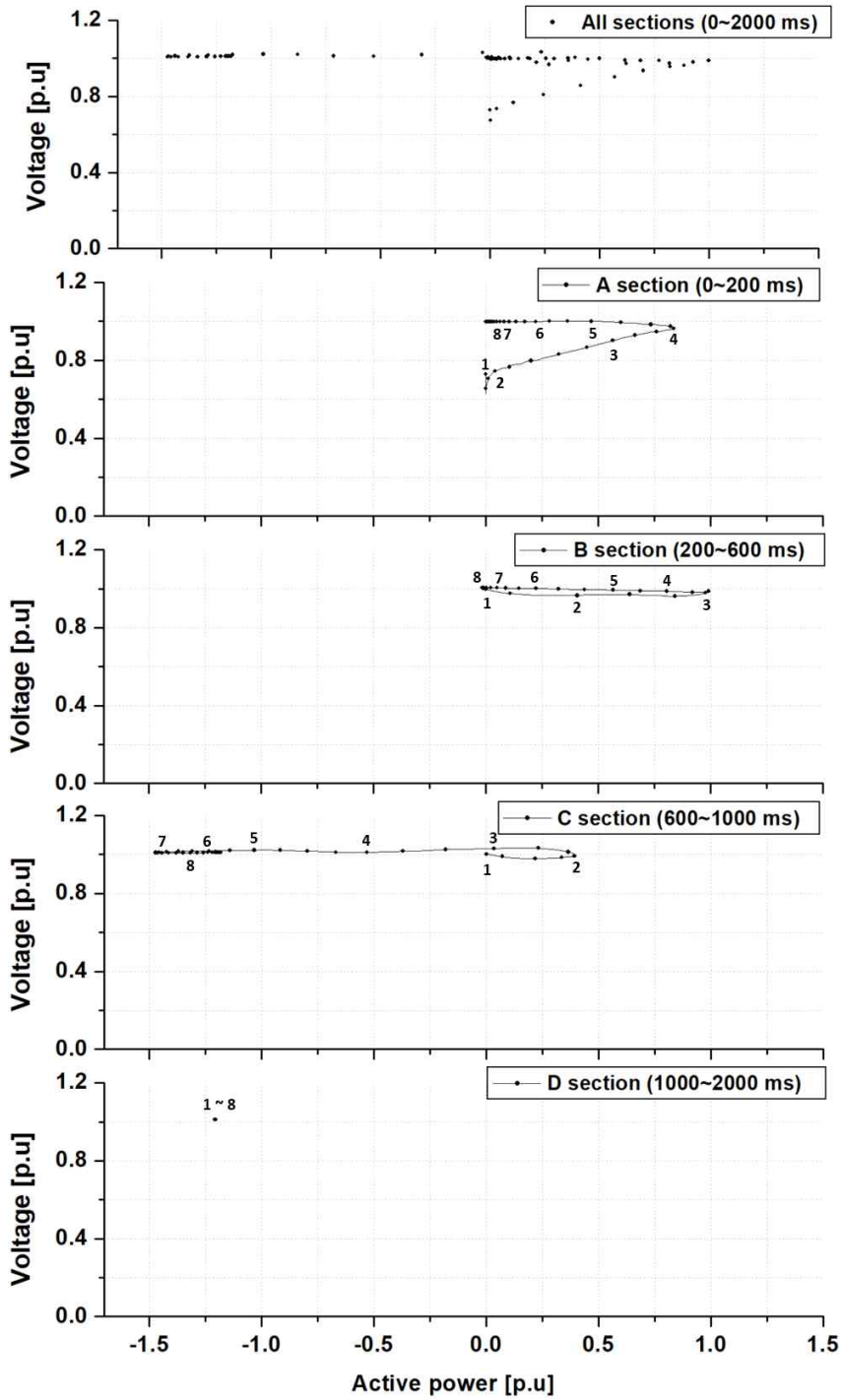


그림 3-16 구간별 P-V 특성 비교 그래프

Fig. 3-16 Comparison graph of P-V characteristics by each section

## B. MMC VSC-HVDC 과도 상태

본 논문에서 설계한 TBC VSC-HVDC 계통 시뮬레이션 모델에서의 과도 상태의 동작 특성을 분석하였다. 상정 고장의 경우, 그림 3-17과 같이 AC에서는 1선 지락 고장(Case 1)와 2선 지락고장(Case 2), 2선 단락고장(Case 3), 3선 단락고장(Case 4)을 선정하였다. DC에서는 1선 지락고장(Case 5), 2선 단락고장(Case 6)을 선정하였다. AC 고장은 AC1 수전단 지점에서 발생시켰고, DC 고장은 수전단  $MMC_1$ 에서 출력되는 DC 계통에서 발생시켰다. 각 상정 고장의 동작 특성을 확인하였고 P-V 특성을 통해 가장 위험한 상정 고장을 선정하였다. 또한, HVDC 계통에 발생하는 DC 고장 전류 흐름을 기준으로 문제점을 파악하며 이에 대한 대안을 마련하였다.

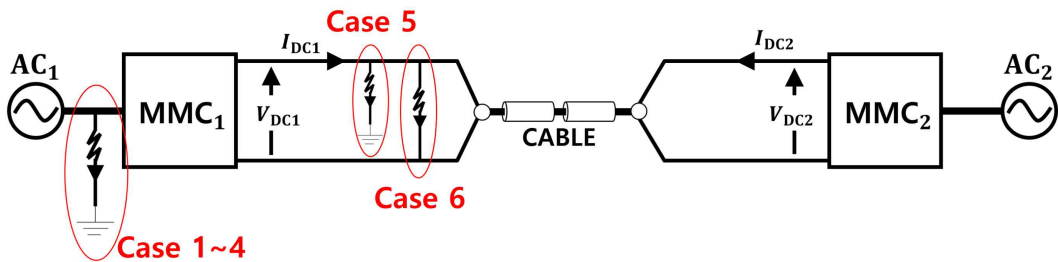


그림 3-17 MMC VSC-HVDC 상정 고장의 발생 지점

Fig. 3-17 Assumed fault points in MMC VSC-HVDC



## 1. Case 1 : AC 1선(a상) 지락 고장

그림 3-18은 AC 계통의 1선(a상) 지락 고장이 발생한 상태이다. 수전단  $AC_1$ , 송전단  $AC_2$ 의 a, b, c상 전압은 A구간에서 C구간까지 정상상태와 동일한 흐름을 보였다. 표 3-3을 기반으로 MMC 모델 내의 고장 감지 시스템은 동작 신호를 SM(IGBT 스위칭)과 AC 차단기에 보내어 선로를 개방하도록 신호를 보낸다.  $AC_1$ 와  $AC_2$ 에서 IGBT block 동작에 의해 약 1001.35 ms/ 약1001.95 ms 시점에서 내부 이상전압이 발생하였다.  $AC_1$ 과  $AC_2$ 의 내부 이상전압 발생 시점 차이(약 0.6 ms)는 상정 고장 지점이 수전단에서 발생하였고, 수전단과 송전단 사이의 HVDC 계통 케이블 길이(약 85 km)에 의한 임피던스 영향이 적용한 것으로 사료된다. D구간에서 AC 차단기 동작 시점은 각각 약 1043.5 ms( $AC_1$ ), 약 1020.15 ms( $AC_2$ )였다. AC 차단기가 동작 하기 전까지  $AC_1$ 의 전압은 약 92, 85, 93 kV가 발생하였다. 송전단  $AC_2$ 에서도 AC 차단기 동작 이전에 발생한 전압은 약 186.0, 186.5, 188.1 kV가 발생하였다.  $AC_1$ 과  $AC_2$ 의 선로 차단 완료 시점은 약 1043.5 ms와 1024.6 ms였다.

그림 3-19는  $AC_1$ 과  $AC_2$ 의 전류 특성 그래프이며, A~C 구간에서는 정상 상태에서의 흐름과 동일하였다. D구간 수전단  $AC_1$ 에서는 IGBT block 동작(약 1001.35 ms)과 AC 차단기 동작(약 1043.5 ms)이 순차적으로 수행되었다. 첫 번째 IGBT block 동작에 의해 a, b, c상의 위상차는 동위상으로 바뀌었으며, 약 -9.0 kA까지 발생하였다. 송전단  $AC_2$ 에서는 약 1001.95 ms에서 IGBT block 동작이 수행되었고, AC 차단기는 약 1024.6 ms에서 동작하였으며, 차단 동작 이전에는 약 0.02 kA의 고장 전류가 발생함을 확인하였다. AC 차단기의 동작은 수전단  $AC_1$  보다 송전단  $AC_2$ 에서 약 1.5 cycle(50 Hz 기준) 빠르게 발생하였다. 이는 선로에 발생한 고장 전류에 의해 지연하였음을 그림 3-19를 통해 확인하였다.

그림 3-20은  $DC_1$ 과  $DC_2$ 의 전압 및 전류 그래프이며, A~C구간까지는 정상 상태의 흐름을 보였다. D구간에서  $DC_1$ 과  $DC_2$ 의 전압이 각각 약 499 kV(1002.3 ms), 475 kV(1001.95 ms)가 발생하였으며, 이는 IGBT block 동작에 의해 발생한 내부 이상전압으로 확인되었다. 이후, DC 전압은 서서히 감소하였다.  $DC_1$ 과  $DC_2$ 의 전류 흐름은 각각 약 1001.35 ms와 1001.95 ms 시점에 0 kA가 되었다.

그림 3-21은  $AC_1$ 과  $AC_2$ 의 유효전력, 무효전력, 피상전력을 그래프로 나타내었

다. A~C구간에서는 정상 상태의 흐름과 동일하였으며, D 구간에서 IGBT 스위칭 OFF 동작과, AC 차단기의 동작이 발생하여 전력이 감소하였다.

그림 3-22는 각 1선 지락고장에 따른 A~D 구간의 P-V 특성이다. P-V 특성에서도 A~C 구간은 정상상태와 동일한 흐름을 보였다. 하지만, D구간에서는 전압 불평형이 약 0.7 p.u까지 떨어져 불안정한 안정도 흐름을 보였다.

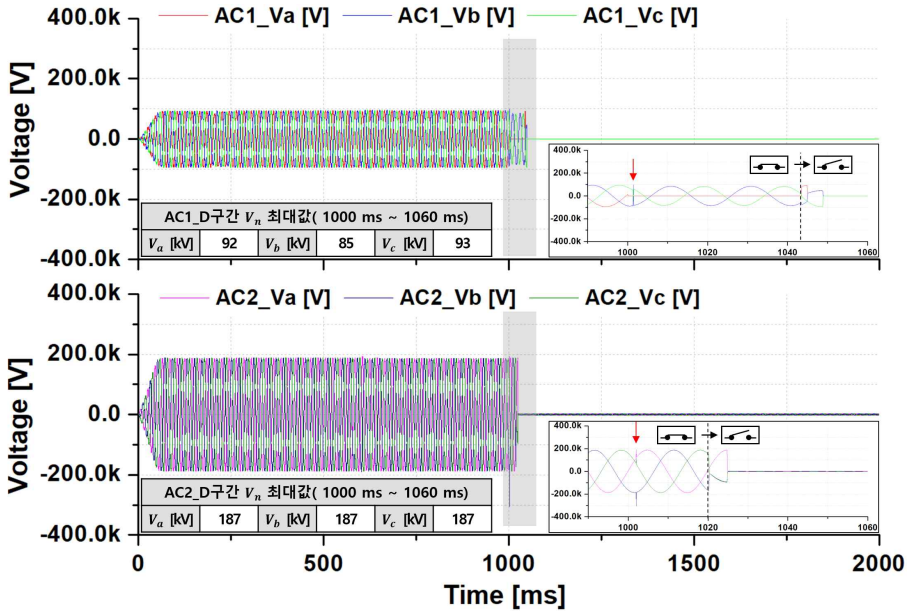


그림 3-18 AC 지락고장(1선)에 따른 AC 전압

Fig. 3-18 AC voltages according to a AC pole-to-ground fault (1-line)

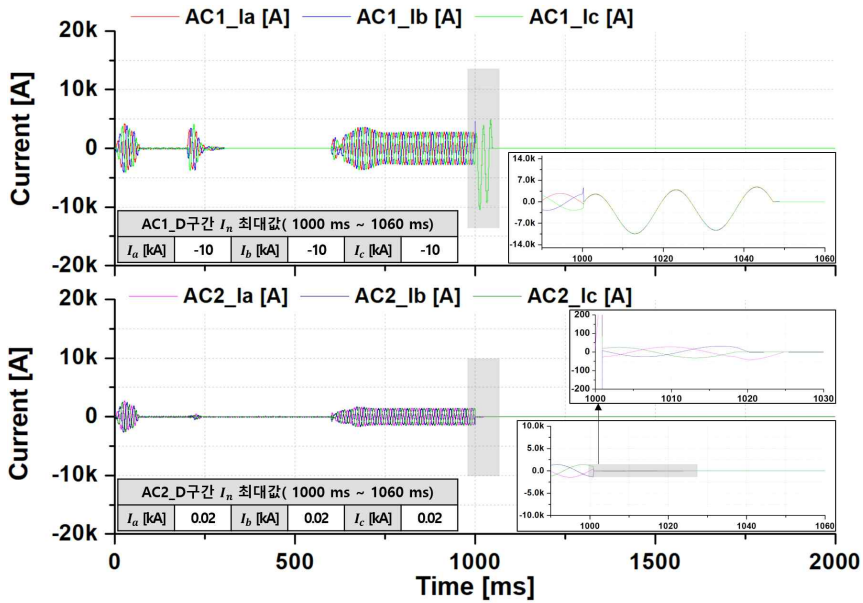


그림 3-19 AC 지락고장(1선)에 따른 AC 전류

Fig. 3-19 AC currents according to a AC pole-to-ground fault (1-line)

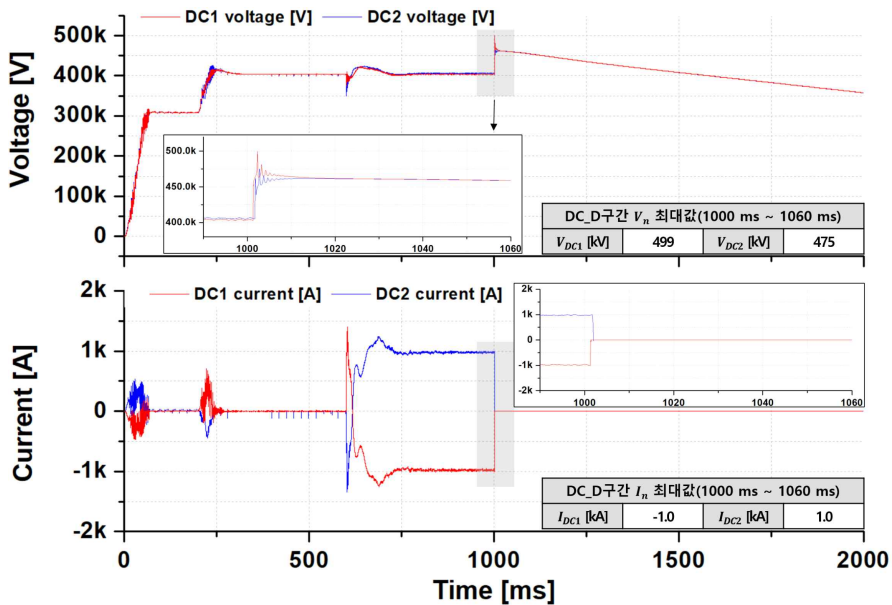


그림 3-20 AC 지락고장(1선)에 따른 DC 전압 및 전류

Fig. 3-20 DC voltages and currents according to a AC pole-to-ground fault (1-line)

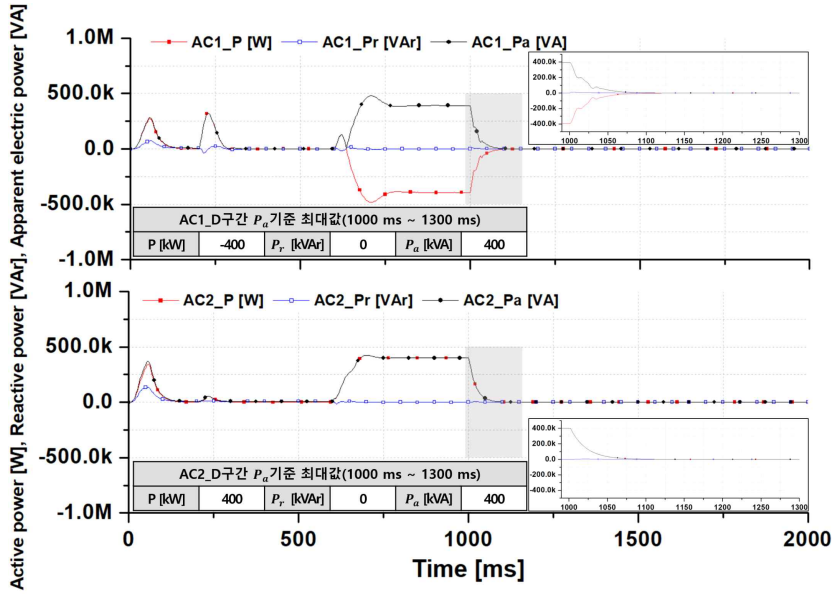


그림 3-21 AC 지락고장(1선)에 따른 AC 전력(유효, 무효, 피상)  
 Fig. 3-21 AC power(Active, reactive, apparent electric) according to a AC pole-to-ground fault (1-line)

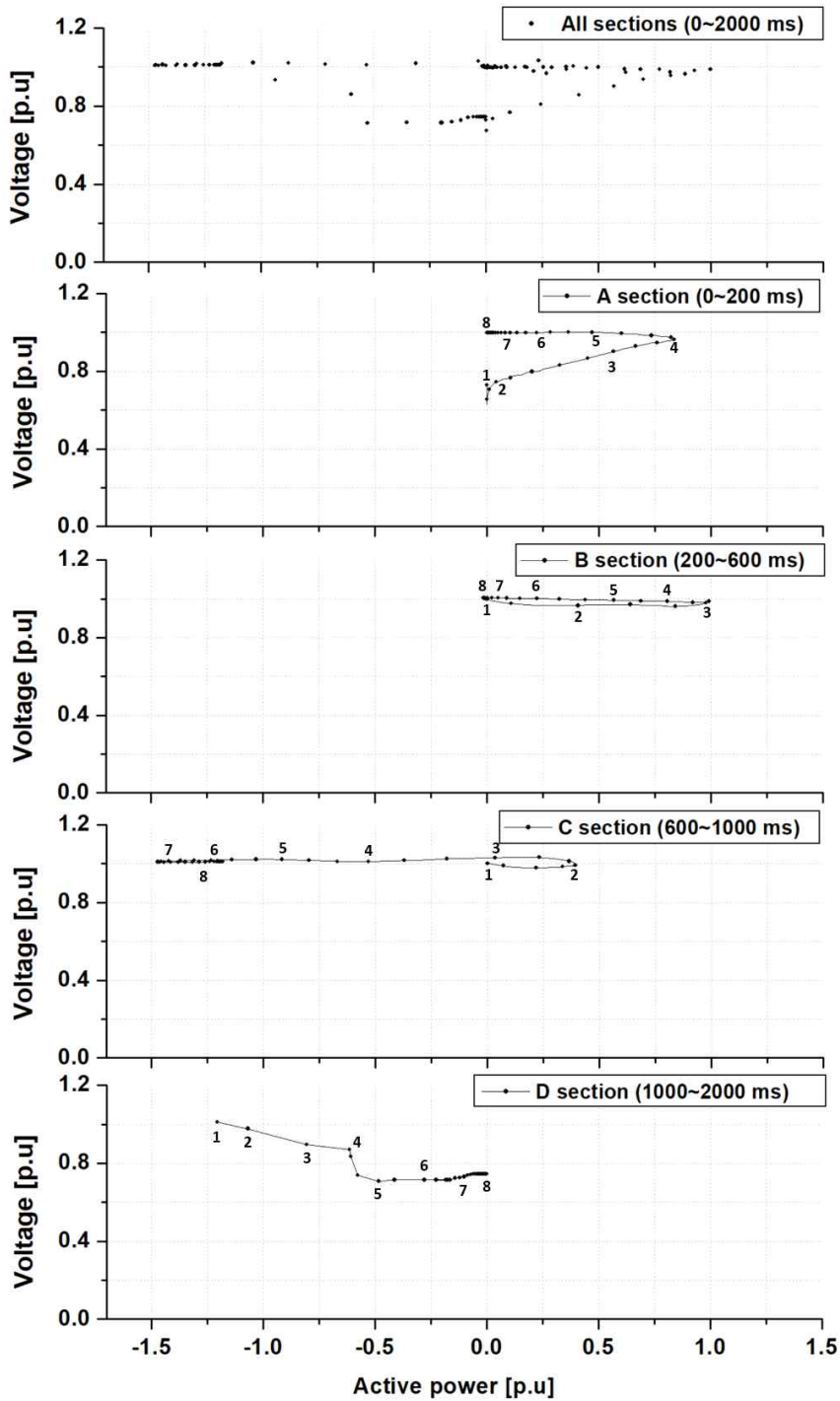


그림 3-22 구간별 AC 지락고장(1선)의 P-V 특성

Fig. 3-22 P-V characteristics of a AC pole-to-ground fault(1-line) by each section

## 2. Case 2 : AC 2선(a, b상) 지락 고장

A-C 구간의 모든 특성은 정상 상태와 동일한 흐름임을 확인하였다.

그림 3-23은 AC 계통의 2선(a, b상) 지락 고장이 발생한 상태에서의  $AC_1$ ,  $AC_2$ 의 전압 그래프이다.  $AC_1$ 의 a, b 상이 지락되어 약 1000.05 ms에서 0 kV가 발생하였으며, c 상 전압은 IGBT block 동작에 의해 약 1000.3 ms에서 내부 이상전압이 발생하였다.  $AC_2$ 의 IGBT block 동작은 약 1000.9 ms에서 발생함을 확인하였다. D 구간에서는 AC 차단기가 동작 하기 전까지  $AC_1$ 의 전압은 약 -0.1, -0.1, 61 kV가 발생하였다. 송전단  $AC_2$ 에서도 AC 차단기 동작 이전에 발생한 전압은 a, b, c상 모두 약 187 kV가 발생하였다. AC 차단기 동작은 약 1047.15 ms( $AC_1$ ), 약 1020.15 ms( $AC_2$ )였다. 수전단  $AC_1$ 에서 AC 차단기의 동작 시간이 AC 1선 지락 고장보다 약 3.7 ms 느려짐을 확인하였다.

그림 3-24는  $AC_1$ 과  $AC_2$ 의 전류 특성 그래프이다. D구간에서는 1선 지락 고장 유형과 동일한 흐름을 보였으며,  $AC_1$ 의 전류 크기는 동일한 위상으로 1선 지락 고장 유형보다 약 1 kA 높은 약 -10 kA가 발생하였다. 송전단  $AC_2$ 에서는 AC 차단기가 동작 하기 전까지 약 0.02 kA가 발생하였고 1선 지락 고장 유형 결과와 동일하였다.  $AC_1$ 과  $AC_2$ 의 전류 차단 완료 시점은 약 1049.6 ms와 1024.6 ms였다. 수전단  $AC_1$ 의 차단 시간이 약 6.1 ms 길어짐을 확인하였고, 송전단  $AC_2$ 의 차단 시간은 동일하였다.

그림 3-25는  $DC_1$ 과  $DC_2$ 의 전압 및 전류 그래프이며, D구간에서  $DC_1$ 과  $DC_2$ 의 전압이 각각 약 499 kV(1001.2 ms), 463 kV(1000.8 ms)가 발생하였다. 이 또한 AC 계통의 내부 이상전압에 따른 영향으로 보이며, DC 전압은 서서히 감소하였다.  $DC_1$ 과  $DC_2$ 의 전류 흐름은 각각 약 1000.25 ms와 1000.85 ms 시점에 0 kA가 되었다.

그림 3-26은  $AC_1$ 과  $AC_2$ 의 유효전력, 무효전력, 피상전력을 그래프로 나타내었다. D 구간에서 IGBT 스위칭 OFF 동작과, AC 차단기의 동작이 발생하여 전력이 감소함을 확인하였다.

그림 3-27은 2선 지락고장에 따른 A~D 구간의 P-V 특성이다. 하지만, D구간에서는 전압 불평형이 약 0.3 p.u까지 떨어졌으며, 안정도가 1선 지락고장보다 더 불안정한 흐름을 보였다.

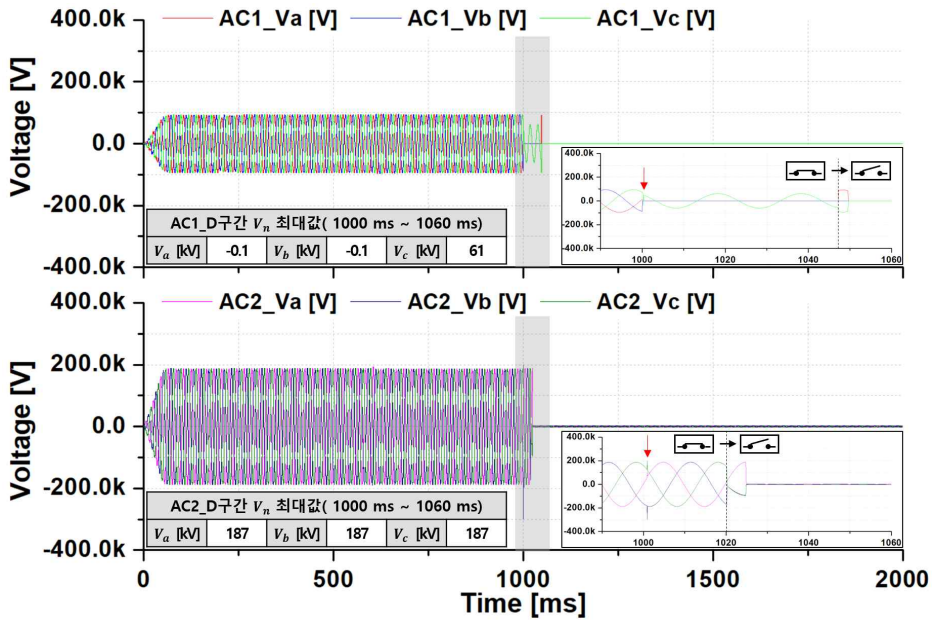


그림 3-23 AC 지락고장(2선)에 따른 AC 전압

Fig. 3-23 AC voltages according to a AC pole-to-ground fault (2-lines)

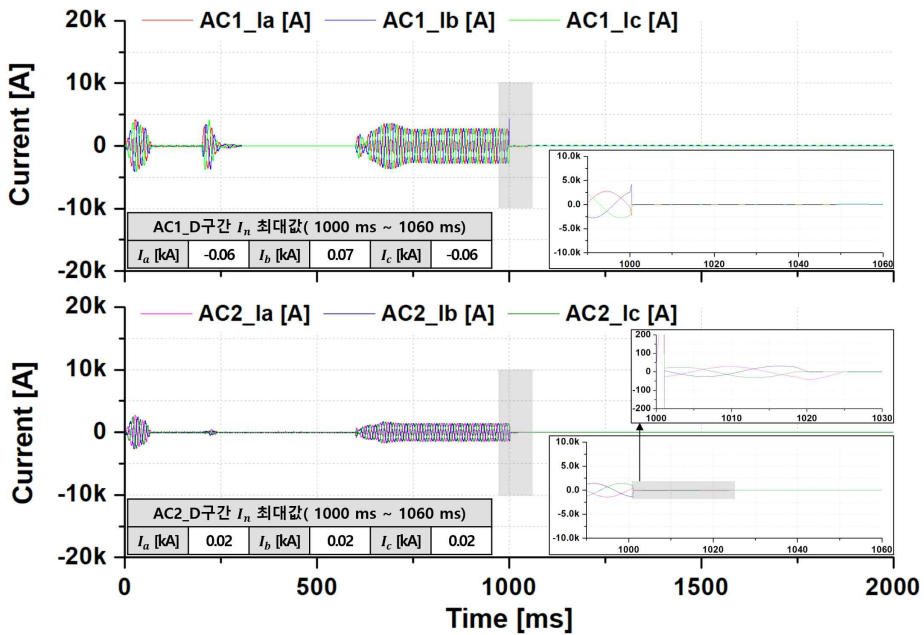


그림 3-24 AC 지락고장(2선)에 따른 AC 전류

Fig. 3-24 AC currents according to a AC pole-to-ground fault (2-lines)



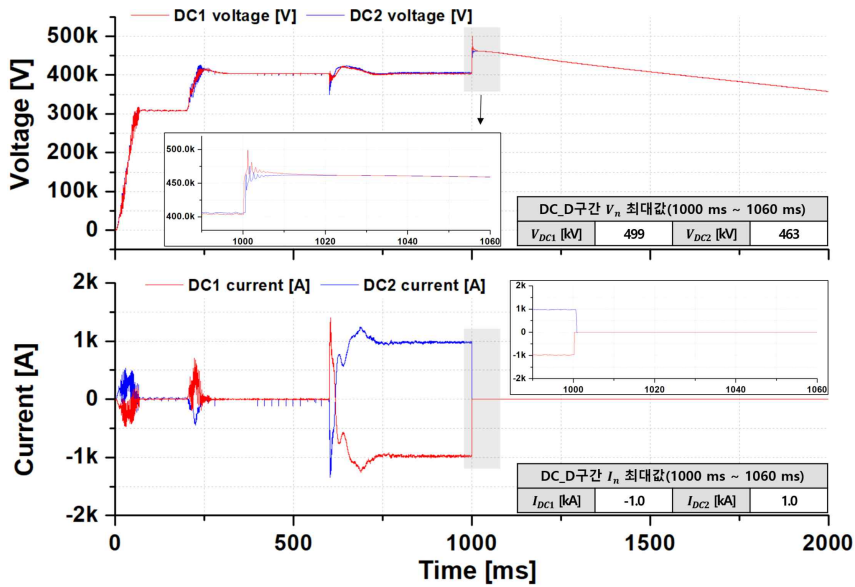


그림 3-25 AC 지락고장(2선)에 따른 DC 전압 및 전류

Fig. 3-25 DC voltages and currents according to a AC pole-to-ground fault (2-lines)

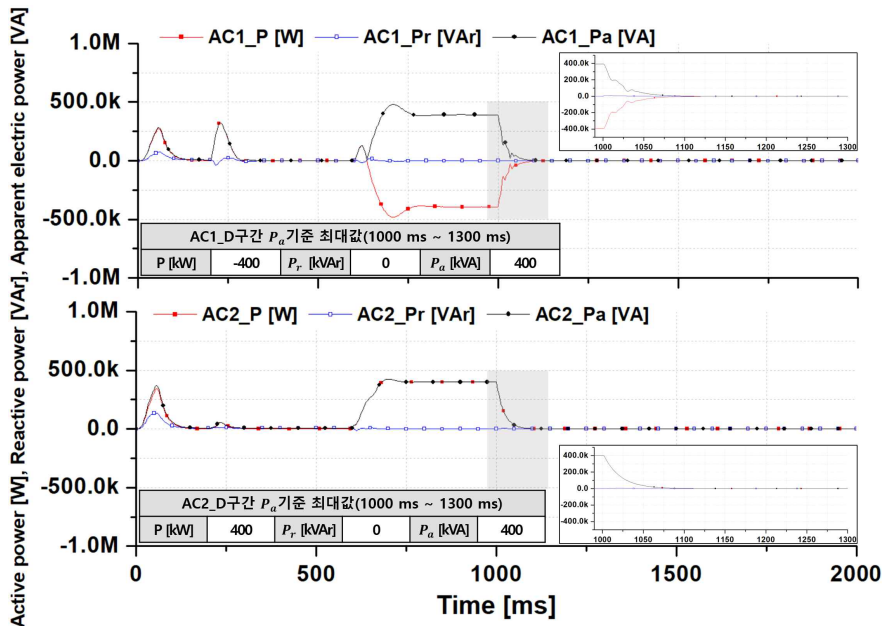


그림 3-26 AC 지락고장(2선)에 따른 AC 전력(유효, 무효, 피상)

Fig. 3-26 AC power(Active, reactive, apparent electric) according to a AC pole-to-ground fault (2-lines)



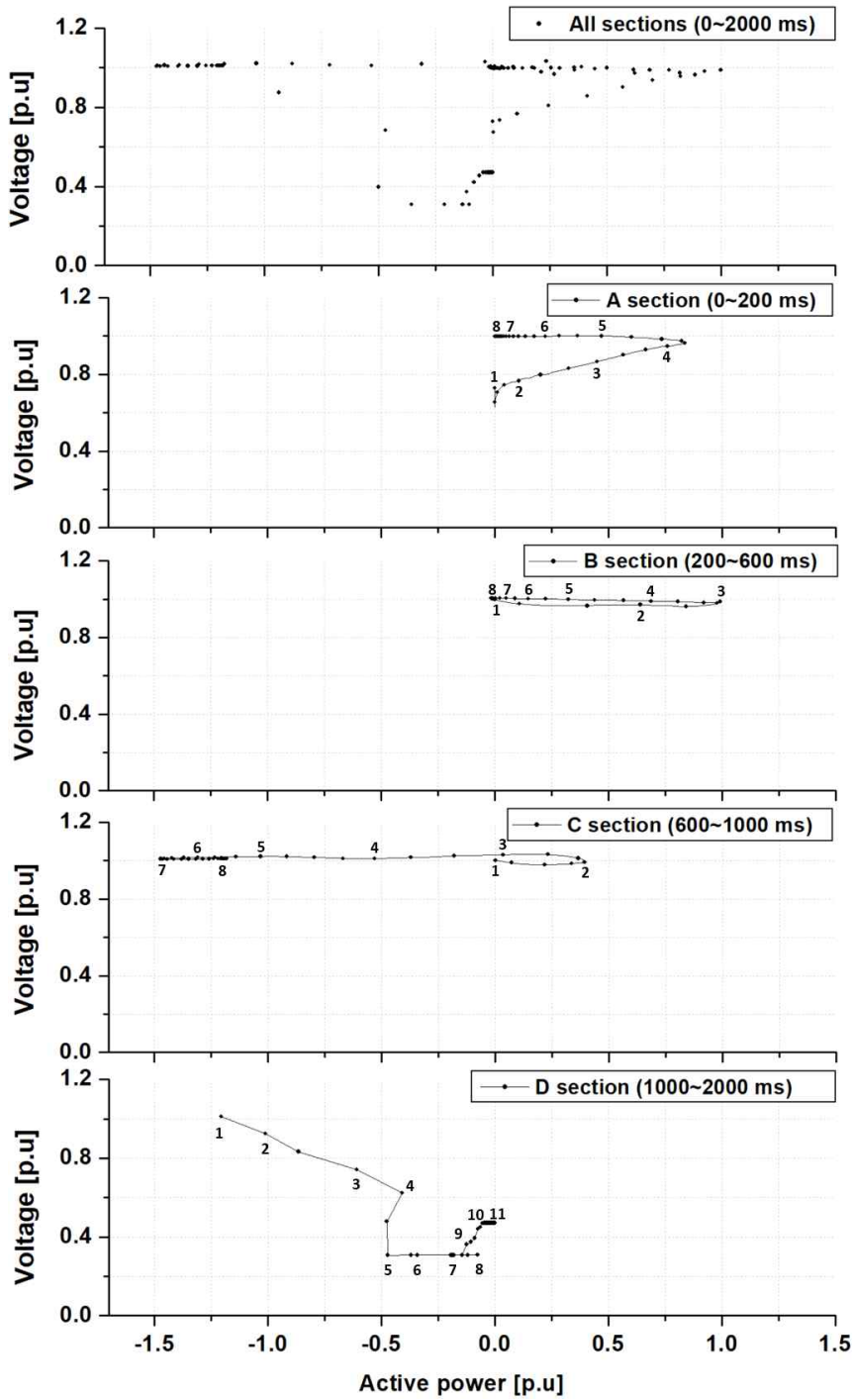


그림 3-27 구간별 AC 지락고장(2선)의 P-V 특성

Fig. 3-27 P-V characteristics of a AC pole-to-ground fault(2-lines) by each section

### 3. Case 3 : AC 2선(a, b상) 단락 고장

A-C 구간의 모든 특성은 정상 상태와 동일한 흐름임을 확인하였다.

그림 3-28은 AC 계통의 2선(a, b상) 단락 고장이 발생한 상태이며,  $AC_1$ 와  $AC_2$ 의 전압 그래프이다.  $AC_1$ 의 a, b 상이 단락되어 약 1000.05 ms에서 동위상이 되었으며, IGBT block 동작에 의해 a, b, c 상 모두 약 1000.4 ms에서 내부 이상전압이 확인되었다.  $AC_2$ 에서의 내부 이상전압은 약 1001.05 ms에서 발생하였다. AC 차단기 동작 시점은 각각 약 1049.65 ms( $AC_1$ ), 약 1020.15 ms( $AC_2$ )였다. 수전단  $AC_1$ 에서 AC 차단기의 동작 시간이 AC 1선 지락 고장보다 약 6.2 ms 느려짐을 확인하였고, AC 차단기가 동작하기 전까지  $AC_1$  a상과 b상의 전압은 약 46 kV가 발생하였고, c상 전압은 약 93 kV가 발생하였다. 송전단  $AC_2$ 에서도 AC 차단기 동작 이전에 발생한 전압은 a, b, c상 모두 약 187 kV가 발생하였다.

AC 2선 단락 고장은 다른 상정 고장과는 다른 전압 및 전류 흐름이 확인되었다.  $AC_1$ 의 a, b상이 단락되면서 AC 차단기의 동작이 수행되었지만, 전압 흐름이 유지됨을 확인하였다. 이는 AC 전류와 함께 분석하였다.

그림 3-29는  $AC_1$ 과  $AC_2$ 의 전류 특성 그래프이다. D구간  $AC_1$ 에서의 IGBT block 동작은 약 1000.4 ms에서 발생하였으며,  $AC_2$ 에서는 약 1001 ms에서 발생하였다. 수전단  $AC_1$ (a, b, c상)의 전류는 AC 차단기가 동작 하기 전에 약 -0.06 kA, 0.07 kA, -0.06 kA가 발생하였다. 송전단  $AC_2$ 에서는 AC 차단기가 동작 하기 전까지 약 0.02 kA가 발생하였고 전류 크기는 1선 지락 고장 유형 결과와 동일하였다.  $AC_1$ 과  $AC_2$ 의 선로 차단 완료 시점은 약 1049.7 ms와 1024.6 ms였다. 수전단  $AC_1$ 의 b상의 전압 및 전류가 AC 차단이 발생했음에도 불구하고 유지되는 결과를 확인하였다. 이는 HVDC 계통을 기준으로 설계된 MMC VSC-HVDC 계통 모델에서 AC 차단기는 그림 3-2의 MMC 모델내에 위치함에 따라 그림 3-17의 AC 2선 단락고장 지점에서 전류가  $AC_1$ 측 Y- $\Delta$  변압기의 Y결선 중성선에 연결된 접지선을 따라 귀로되는 흐름을 확인하였다. 귀로 전류는 약 0.05 kA이하 였다.

그림 3-30은  $DC_1$ 과  $DC_2$ 의 전압 및 전류 그래프이며, D구간에서  $DC_1$ 과  $DC_2$ 의 전압이 각각 약 498 kV(1001.35 ms), 474 kV(1001.8 ms)가 발생하였다.  $DC_1$ 과  $DC_2$ 의 전류 흐름은 각각 약 1000.4 ms와 1001.0 ms 시점에 0 kA가 되었다.

그림 3-31은  $AC_1$ 과  $AC_2$ 의 유효전력, 무효전력, 피상전력을 그래프로 나타내었다. D 구간에서 IGBT 스위칭 OFF 동작과, AC 차단기의 동작이 발생하여 전력이 감소함을 확인하였다.

그림 3-32는 2선 지락고장에 따른 A~D 구간의 P-V 특성이다. 하지만, D구간에서는 전압 불평형이 약 0.7 p.u까지 떨어졌으며, 안정도가 1선 지락고장과 동일한 흐름을 보였다.

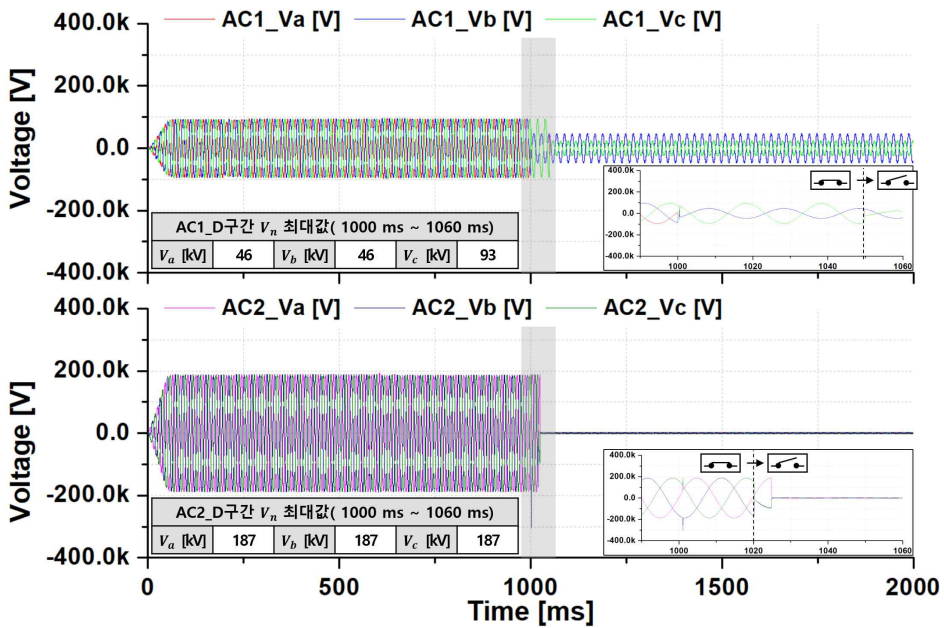


그림 3-28 AC 단락고장(2선)에 따른 AC 전압

Fig. 3-28 AC voltages according to a AC pole-to-pole fault (2-lines)

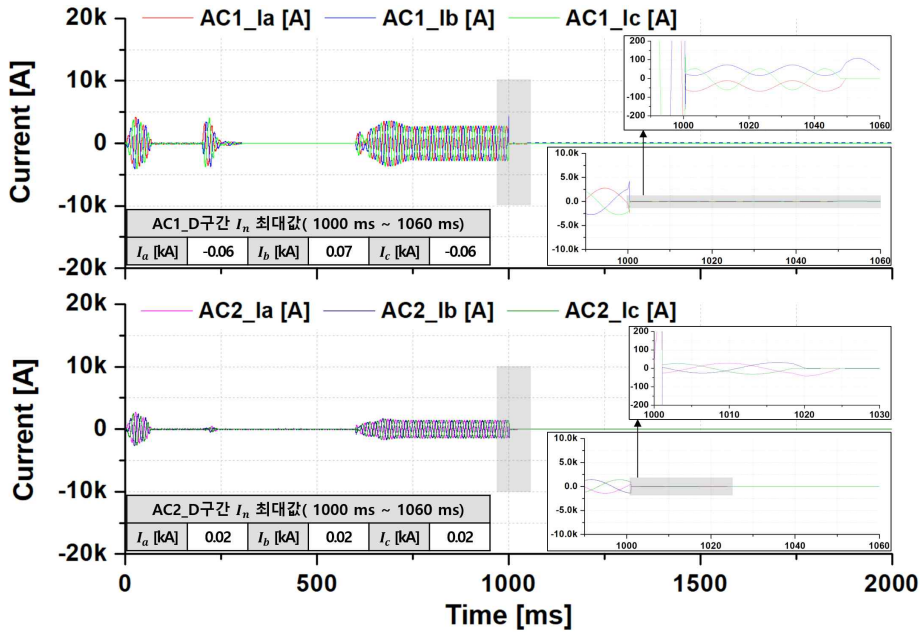


그림 3-29 AC 단락고장(2선)에 따른 AC 전류

Fig. 3-29 AC currents according to a AC pole-to-pole fault (2-lines)

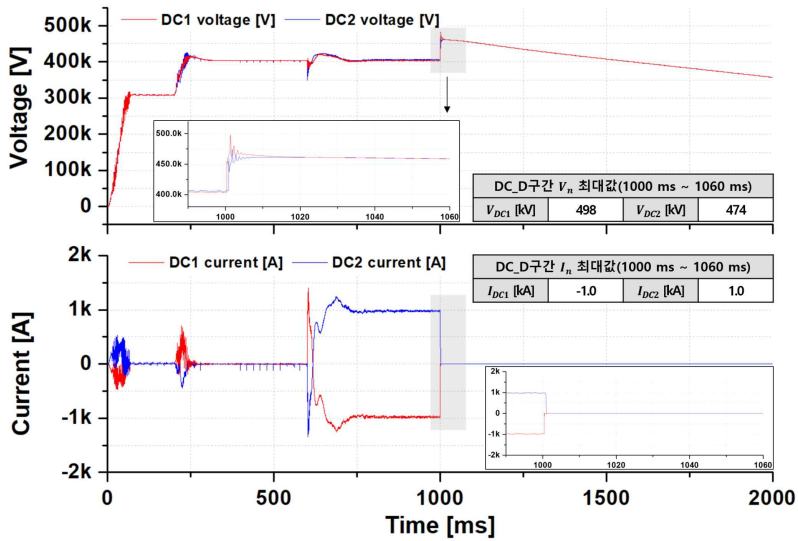


그림 3-30 AC 단락고장(2선)에 따른 DC 전압 및 전류

Fig. 3-30 DC voltages and currents according to a AC pole-to-pole fault (2-lines)

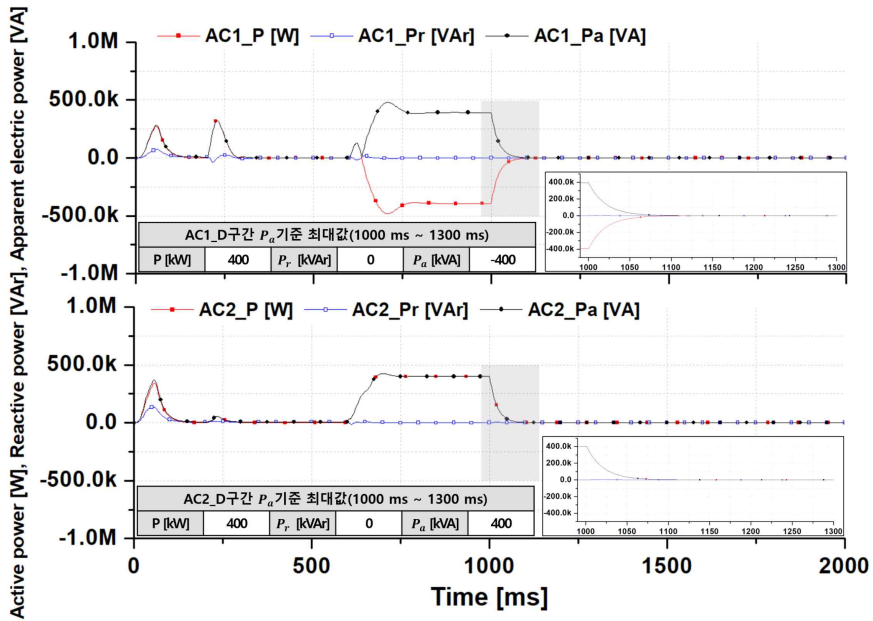


그림 3-31 AC 단락고장(2선)에 따른 AC 전력(유효, 무효, 피상)

Fig. 3-31 AC power(Active, reactive, apparent electric) according to a AC pole-to-pole fault (2-lines)

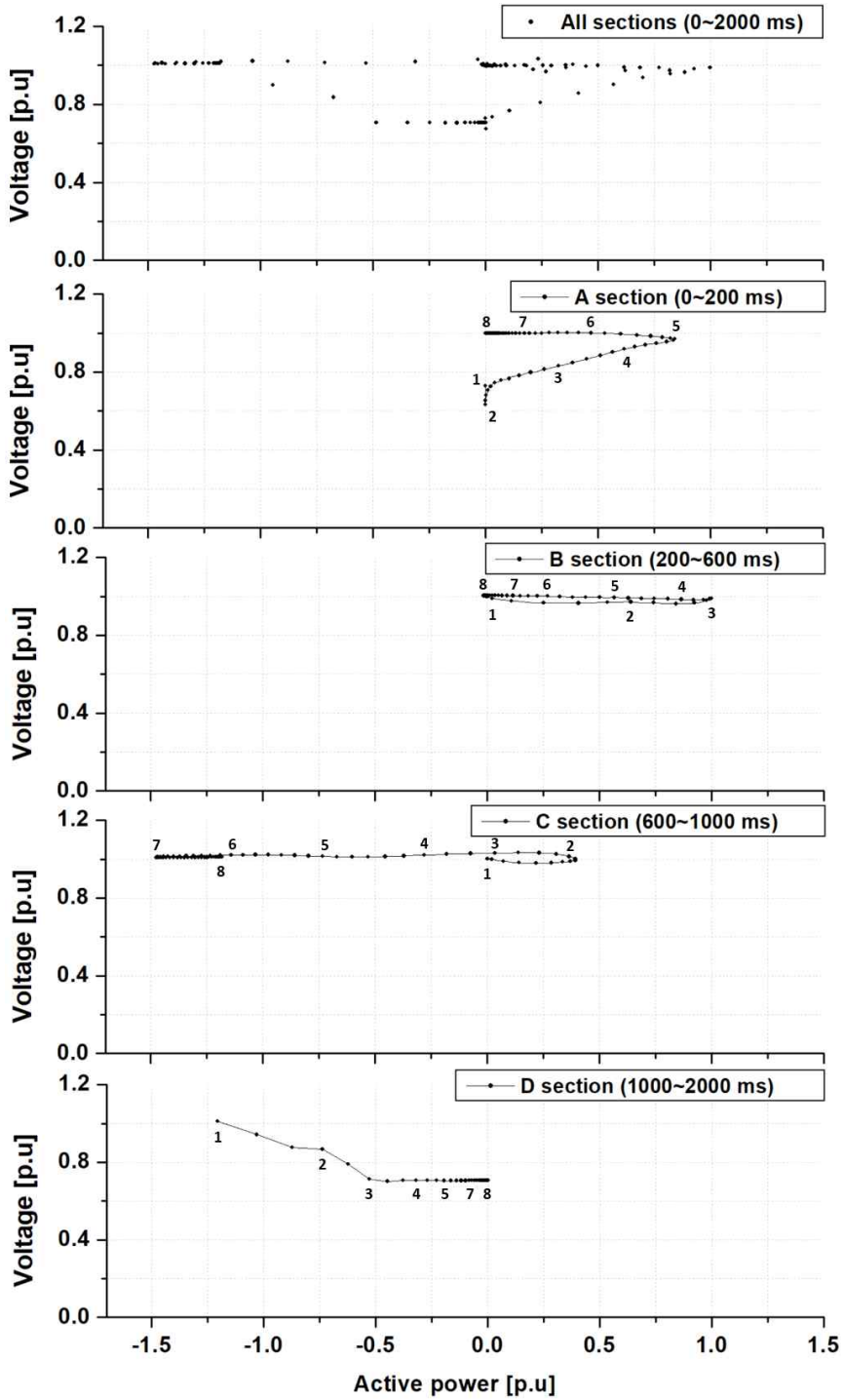


그림 3-32 구간별 AC 단락고장(2선)의 P-V 특성

Fig. 3-32 P-V characteristics of a AC pole-to-pole fault(2-lines) by each section

#### 4. Case 4 : AC 3선(a, b, c상) 단락 고장

A-C 구간의 모든 특성은 정상 상태와 동일한 흐름임을 확인하였다.

그림 3-33은 AC 계통의 3선(a, b, c상) 단락 고장이 발생한 상태이며,  $AC_1$ 와  $AC_2$ 의 전압 그래프이다. 수전단  $AC_1$  전압은 3선 단락 고장이 발생 되는 약 1000 ms 시점에서 바로 0 kV로 발생하였으며, 송전단  $AC_2$  전압은 약 1000.9 ms에서 내부 이상전압(IGBT block 동작)이 발생하였고, 약 1020.15 ms에서 AC 차단기 동작이 일어났음을 확인하였다. D구간에서는 AC 차단기가 동작하기 전까지 송전단  $AC_2$  전압은 a, b, c상 모두 약 187 kV가 발생하였다.

그림 3-34는  $AC_1$ 과  $AC_2$ 의 전류 특성 그래프이다. D구간에서는 수전단  $AC_1$ (a, b, c상)의 전류는 약 1000.25 ms 시점에서 약 -1.0 kA, 4.4 kA, -3.4 kA가 발생하였다. 이에 따라 표 3-3의 IGBT의 Block 동작 기준(AC 고전류 4 kA 이상)에 의해 차단이 이루어졌음을 확인하였다. 송전단  $AC_2$ (a, b, c상)에서도 약 1000.85 ms에서 약 0.4 kA, -1.4 kA, 1.0 kA가 발생하였다.  $AC_1$ 과  $AC_2$ 의 선로 차단 완료 시점은 약 1000.3 ms와 1024.6 ms였다.

그림 3-35는  $DC_1$ 과  $DC_2$ 의 전압 및 전류 그래프이며, D구간에서  $DC_1$ 과  $DC_2$ 의 전압이 각각 약 499 kV(1001.2 ms), 475 kV(1001.7 ms)가 발생하였다.  $DC_1$ 과  $DC_2$ 의 전류 흐름은 각각 약 1000.25 ms와 1000.85 ms 시점에 0 kA가 되었다.

그림 3-36은  $AC_1$ 과  $AC_2$ 의 유효전력, 무효전력, 피상전력을 그래프로 나타내었다. D 구간에서 IGBT 스위칭 OFF 동작과, AC 차단기의 동작이 발생하여 전력이 감소함을 확인하였다.

그림 3-37은 2선 지락고장에 따른 A~D 구간의 P-V 특성이다. A~D 구간은 정상 상태와 동일하지만, D구간에서는 전압 불평형이 약 0.0 p.u까지 떨어졌음을 확인하였다. 이는 약 1000 ms에서 고장이 발생한 이후, 수전단  $AC_1$ 의 전압이 거의 0의 수준으로 떨어졌고, AC 차단기의 동작에 의해 선로가 개폐되었음에 따른 시뮬레이션 결과임을 그래프를 통해 확인하였다.



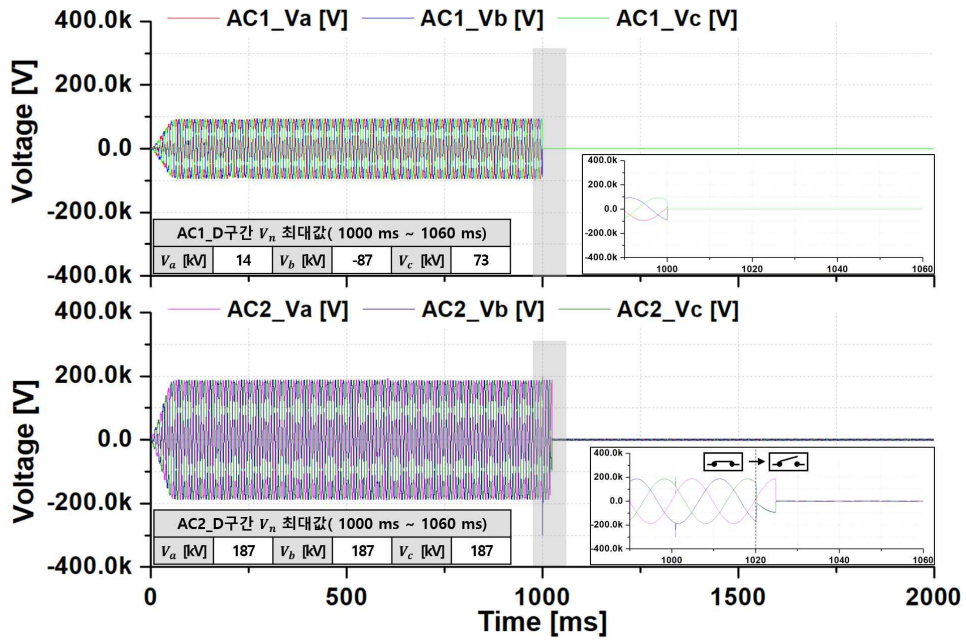


그림 3-33 AC 단락고장(3선)에 따른 AC 전압

Fig. 3-33 AC voltages according to a AC pole-to-pole fault (3-lines)

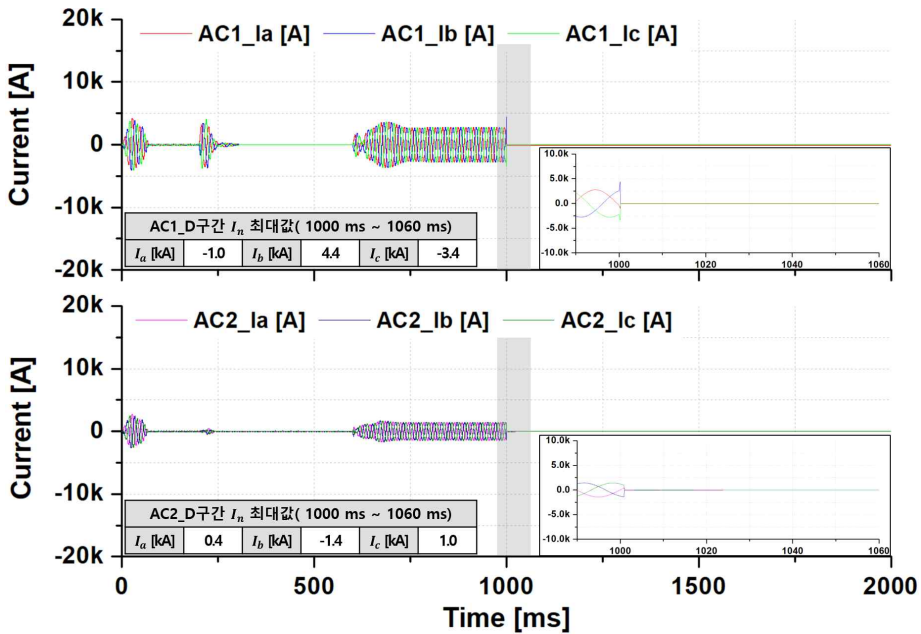


그림 3-34 AC 단락고장(3선)에 따른 AC 전류

Fig. 3-34 AC currents according to a AC pole-to-pole fault (3-lines)



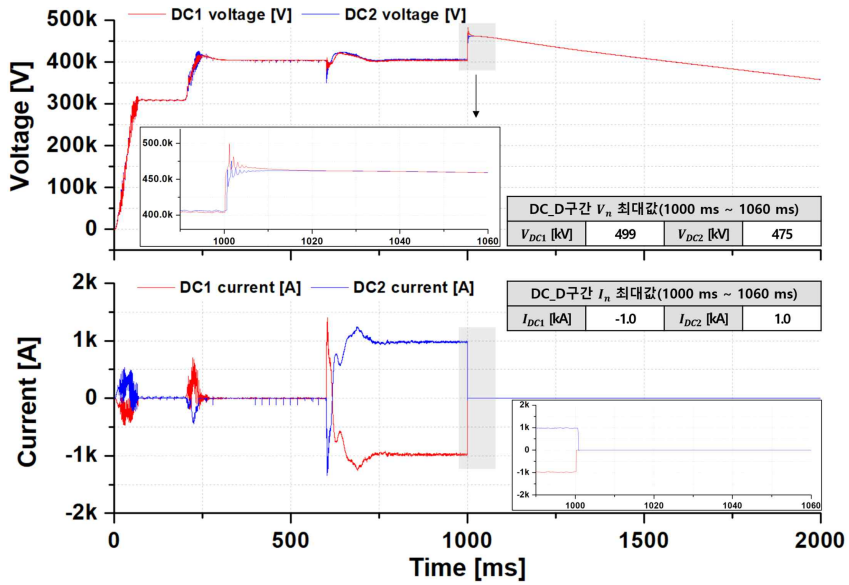


그림 3-35 AC 단락고장(3선)에 따른 DC 전압 및 전류

Fig. 3-35 DC voltages and currents according to a AC pole-to-pole fault (3-lines)

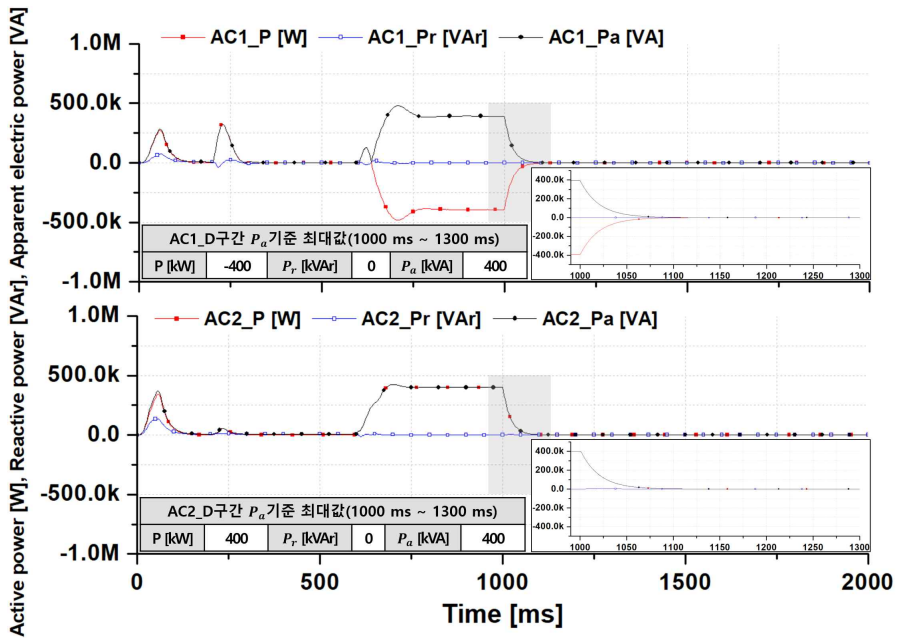


그림 3-36 AC 단락고장(3선)에 따른 AC 전력(유효, 무효, 피상)

Fig. 3-36 AC power(Active, reactive, apparent electric) according to a AC pole-to-pole fault (3-lines)

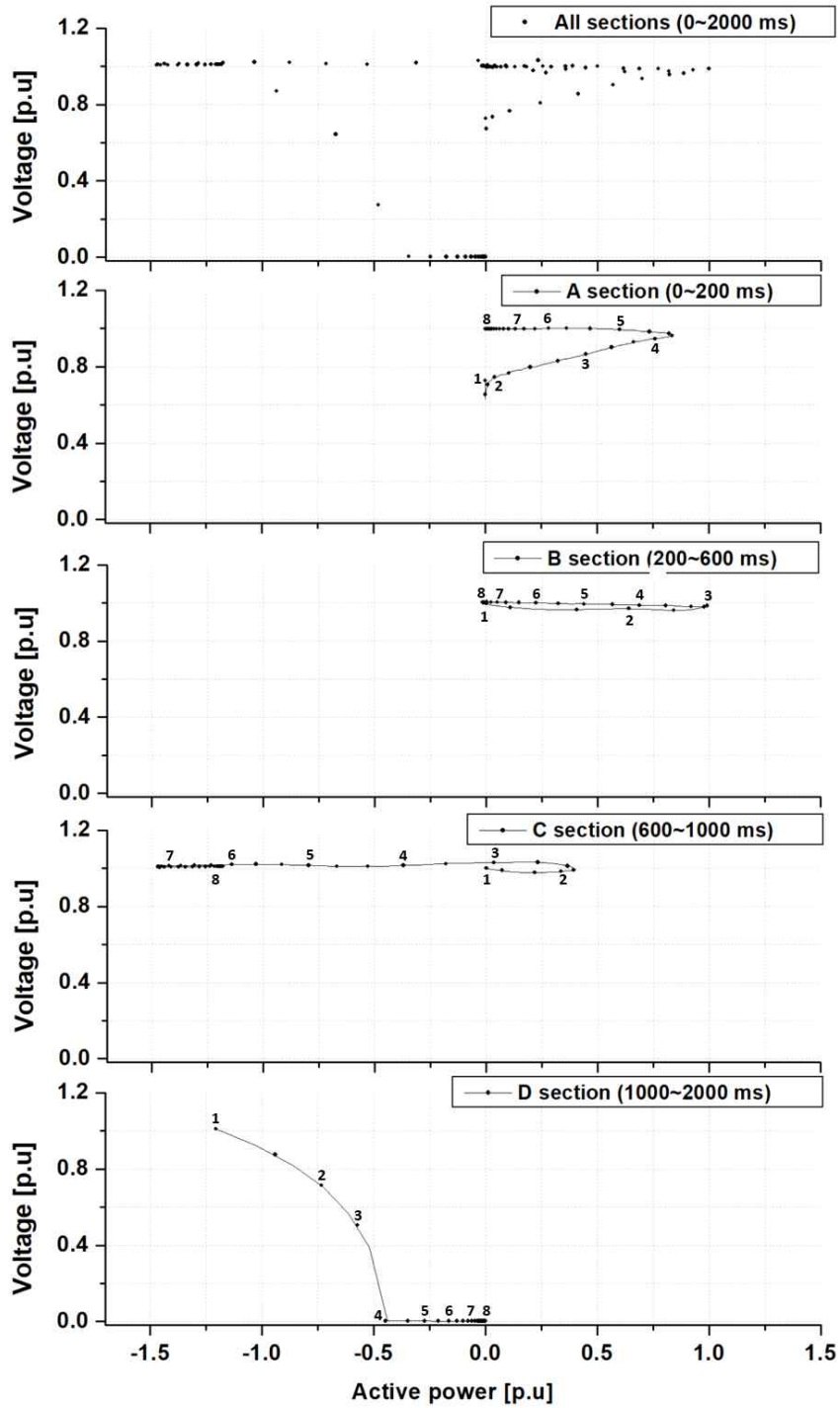


그림 3-37 구간별 AC 단락고장(3선)의 P-V 특성

Fig. 3-37 P-V characteristics of a AC pole-to-pole fault (3-line) by each section

## 5. Case 5 : DC 1선(+) 지락 고장

DC 상정 고장에서도 A-C 구간의 전압 및 전류 특성은 정상 상태와 동일함을 확인하였다. 그림 3-38은 DC 계통의 1선(+상) 지락 고장이 수전단  $AC_1$  부근에 발생한 상태이며,  $AC_1$ 와  $AC_2$ 에서 약 1003.9 ms/ 약 1006.35 ms에서 내부 이상전압이 발생하였다. AC 차단기 동작은 수전단  $AC_1$ 에서 약 1043.35 ms, 송전단  $AC_2$ 에서 약 1020.0 ms 시점에서 발생하였다. AC 차단기가 동작 하기 전까지 수전단  $AC_1$ 의 전압(a, b, c상)은 모두 약 93 kV가 발생하였다. 송전단  $AC_2$ 에서도 AC 차단기 동작 이전에 발생한 전압(a, b, c상)은 약 187 kV가 발생하였다.

그림 3-39는  $AC_1$ 과  $AC_2$ 의 전류 특성 그래프이다. D구간에서 내부 이상전압(IGBT block 동작)이 약 1003.95 ms 시점에서 발생하였고, 이에 따른  $AC_1$  각 a, b, c상 전류는 약 0.3 kA, 약 -0.3 kA, 약 -0.01 kA가 발생하였다. 이후, AC 차단기가 동작 하기 전까지  $AC_1$  전류는 약 0.05 kA, 약 0.06 kA, 0.05 kA가 발생하였다. 송전단  $AC_2$  전류는 AC 차단기 동작 전까지 약 0.02 kA, 0.03 kA, -0.03 kA가 1cycle 동안 발생하였다.  $AC_1$ 과  $AC_2$ 의 선로 차단 완료 시점은 약 1047.7 ms와 1024.6 ms였다.

그림 3-40은  $DC_1$ 과  $DC_2$ 의 전압 및 전류 그래프이다. D구간에서 약 1000 ms인 고장 발생 직후,  $DC_1$  전압이 404 kV에서 220 kV로 감소하였다. 이후, 약 102 ms 시점에 최대 약 554 kV가 발생하였다. 송전단  $DC_2$ 에서는 약 1000.3 ms 시점에서 정상 전압 약 406 kV가 발생하다가 약 1000.5 ms에 약 217 kV까지 감소하였다.  $DC_1$ 의 전류는 고장 발생 직후, 약 1003.9 ms에서 약 0 kA로 감소한 결과를 확인하였다.  $DC_2$ 의 전류는 고장 발생 이후, 약 1001.25 ms 시점에서 약 5.2 kA의 높은 고장 전류가 발생하였다. 이는 약 1006.45 ms에서 전류 0 kA로 감소하였다. 이는 다른 AC 상정 고장에 비해 약 5~6 ms 만큼 차단 시간이 길어졌음을 확인하였다.

그림 3-41은  $AC_1$ 과  $AC_2$ 의 유효전력, 무효전력, 피상전력을 그래프로 나타내었다. AC 상정 고장에서 발생한 전력(유효, 무효, 피상)이 흐름은 DC 상정 고장에서도 동일한 흐름을 보였다.

그림 3-42는 각 DC 1선 지락고장에 따른 A-D 구간의 P-V 특성이다. D구간에서는 전압의 평형을 유지한 상태로 약 1.0 p.u의 흐름을 보였다. AC 차단기의 차단 동작으로 인해 더 이상의 전력 흐름은 보이지 않았다.

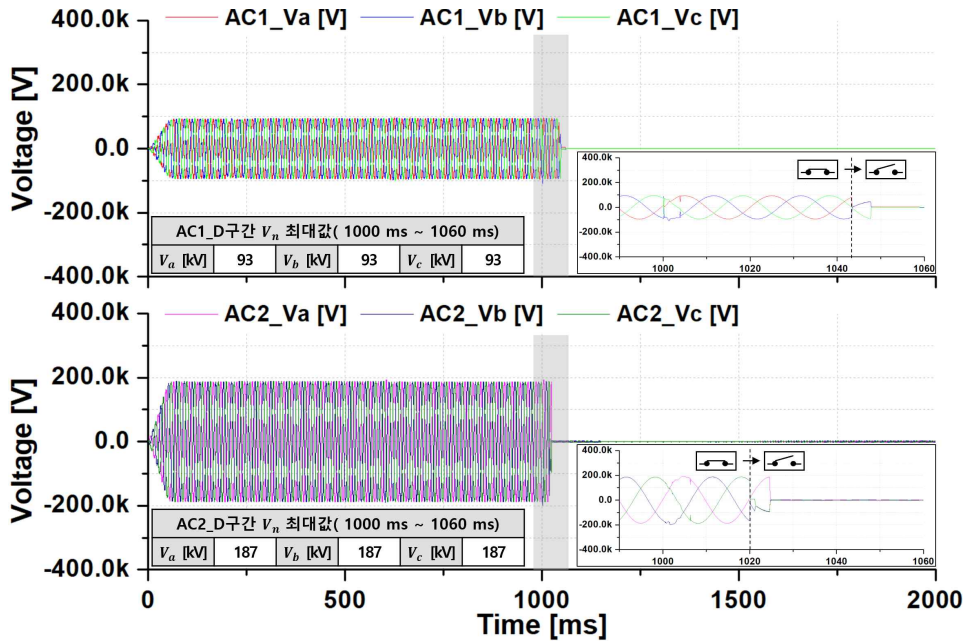


그림 3-38 DC 지락고장(1선)에 따른 AC 전압

Fig. 3-38 DC voltages according to a DC pole-to-ground fault (1-line)

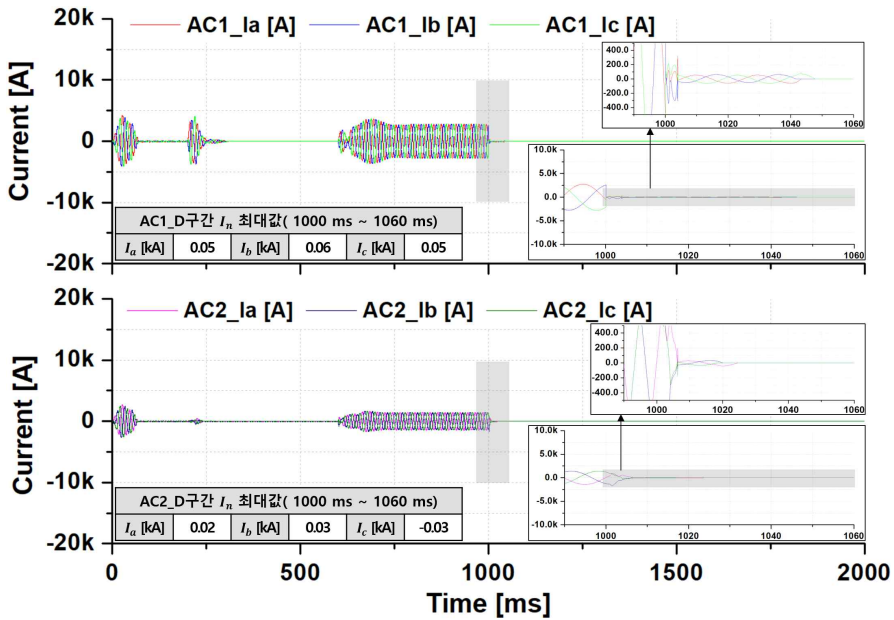


그림 3-39 DC 지락고장(1선)에 따른 AC 전류

Fig. 3-39 DC currents according to a DC pole-to-ground fault (1-line)

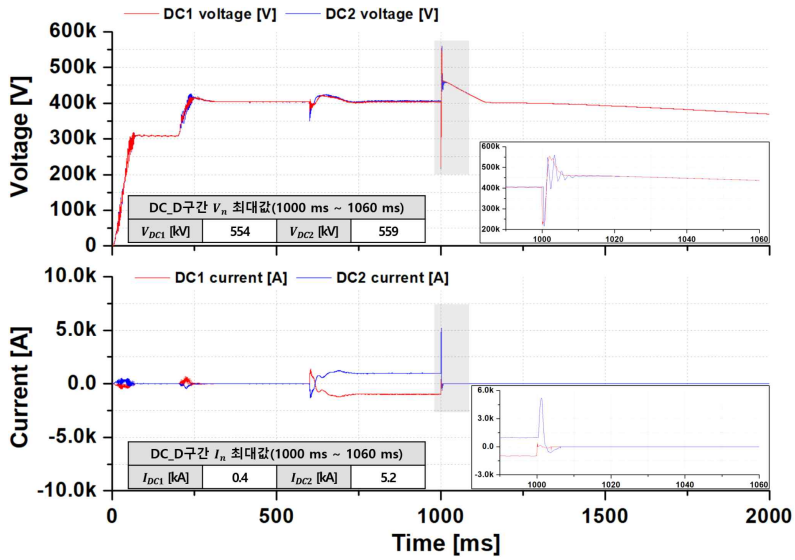


그림 3-40 DC 지락고장(1선)에 따른 DC 전압 및 전류

Fig. 3-40 DC voltages and currents according to a DC pole-to-ground fault (1-line)

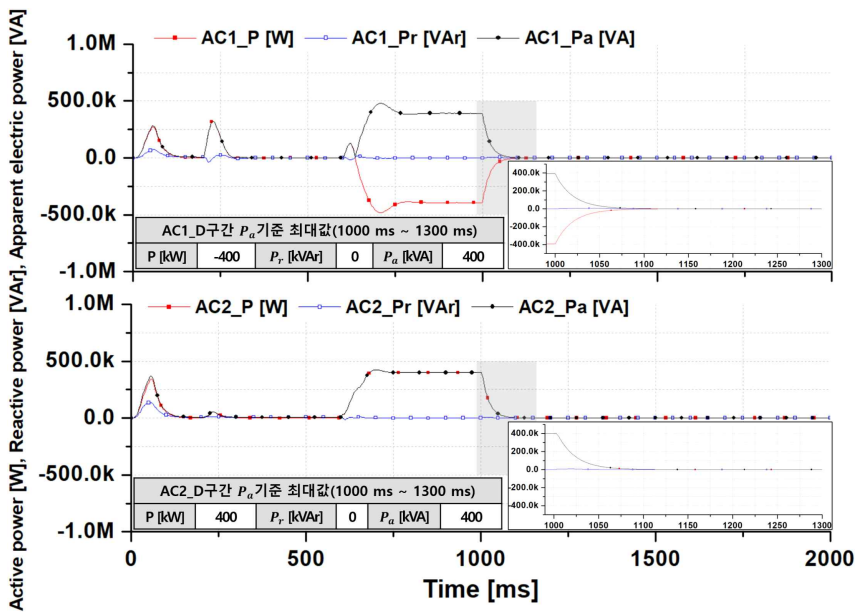


그림 3-41 DC 지락고장(1선)에 따른 AC 전력(유효, 무효, 피상)

Fig. 3-41 AC power(Active, reactive, apparent electric) according to a DC pole-to-ground fault (1-line)

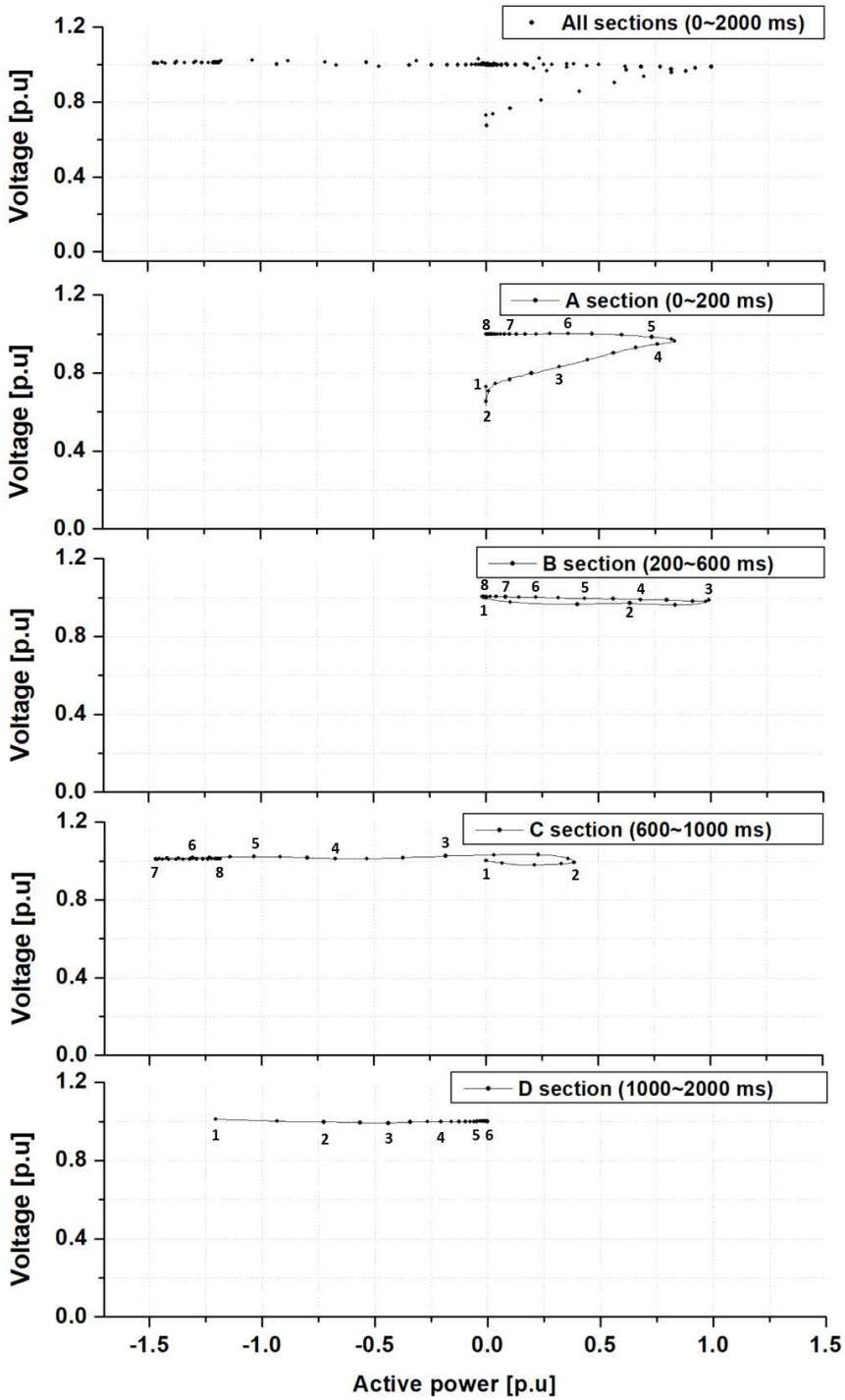


그림 3-42 구간별 DC 지락고장(1선)의 P-V 특성

Fig. 3-42 P-V characteristics of a DC pole-to-ground fault (1-line) by each section

## 6. Case 6 : DC 2선(+/-) 단락 고장

그림 3-43은 DC 계통의 2선(+/-상) 단락 고장이 수전단  $AC_1$  부근에 발생한 상태이다.  $AC_1$ 와  $AC_2$ 에서는 약 1000.15 ms, 약 1000.8 ms에서 내부 이상전압(IGBT block 동작)이 발생하였다. AC 차단기 동작은 수전단  $AC_1$ 에서 약 1041.1 ms, 송전단  $AC_2$ 에서 약 1021.0 ms 시점에서 발생하였다. AC 차단기가 동작 하기 전, 수전단  $AC_1$ 의 전압(a, b, c상)은 각 약 48 kV, 약 47 kV, 약 44 kV가 발생하였다. 송전단  $AC_2$ 에서는 전압(a, b, c상)이 각 약 191 kV, 약 149 kV, 약 141 kV가 발생하였다.

그림 3-44는  $AC_1$ 과  $AC_2$ 의 전류 특성 그래프이다. D구간에서 AC 차단기가 동작 하기 전까지 수전단  $AC_1$ 의 전류는 최대 약 16 kA, 약 -12 kA, 약 -14 kA가 발생하였다. 송전단  $AC_2$  전류는 AC 차단기 동작 전까지 약 10 kA, 7.8 kA, -9.8 kA가 1cycle 동안 발생하였다.  $AC_1$ 과  $AC_2$ 의 선로 차단 완료 시점은 약 1047.5 ms와 1027.5 ms였다.

그림 3-45는  $DC_1$ 과  $DC_2$ 의 전압 및 전류 그래프이다. D구간에서 약 1000 ms인 고장 발생 직후, 고장 발생 지점인 수전단  $DC_1$  전압은 405 kV에서 0 kV로 감소하였다. 송전단  $DC_2$ 에서는 약 1001.4 ms 시점에서 약 479 kV가 발생하였고, 약 2.35 ms이후인 약 1003.75 ms 시점에는 약 -466 kV가 발생하였다. 위의 데이터를 통해 매우 불안정한 전압 흐름이 발생하였다.  $DC_1$ 의 전류는 고장 발생 이후, 약 1014.25 ms 시점에서 최대 약 10 kA의 고장 전류가 발생하였다.  $DC_2$ 의 전류는 고장 발생 이후, 약 1003.7 ms 시점에서 약 16 kA의 높은 고장 전류가 발생하였다. 이는 정상전류 약 1 kA에 비해 약 16배나 높은 전류값이었다.  $DC_1$ 의 높은 고장 전류는 약 1628.0 ms 시점에서 약 0 kA에 도달하였고,  $DC_2$ 의 고장 전류는 약 1618.6 ms 시점에서 약 0 kA에 도달하였다. 이는 다른 AC 상정 고장에 비해 약 618 ~ 628 ms 만큼 차단 시간이 길어졌음을 확인하였다.

그림 3-46은  $AC_1$ 과  $AC_2$ 의 유효전력, 무효전력, 피상전력을 그래프로 나타내었다. AC 상정 고장에서 발생한 전력(유효, 무효, 피상)이 흐름은 DC 상정 고장에서도 동일한 흐름을 보였다. 그림 3-47은 각 DC 2선 단락 고장에 따른 A~D 구간의 P-V 특성이다. D구간에서는 고장 발생 직후의 높은 전압 불평형이 발생하여 약 0.49 p.u까지 떨어지는 흐름을 보였다. AC 차단기의 차단 동작으로 인해 AC 전압 불평형은 곧 1.0 p.u로 회복하였다.



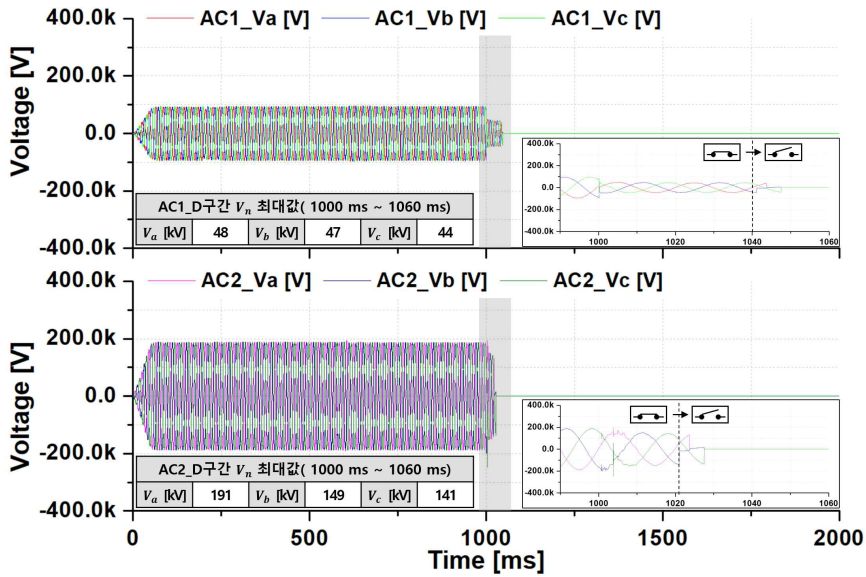


그림 3-43 DC 단락고장(2선)에 따른 AC 전압

Fig. 3-43 DC voltages according to a DC pole-to-pole fault (2-lines)

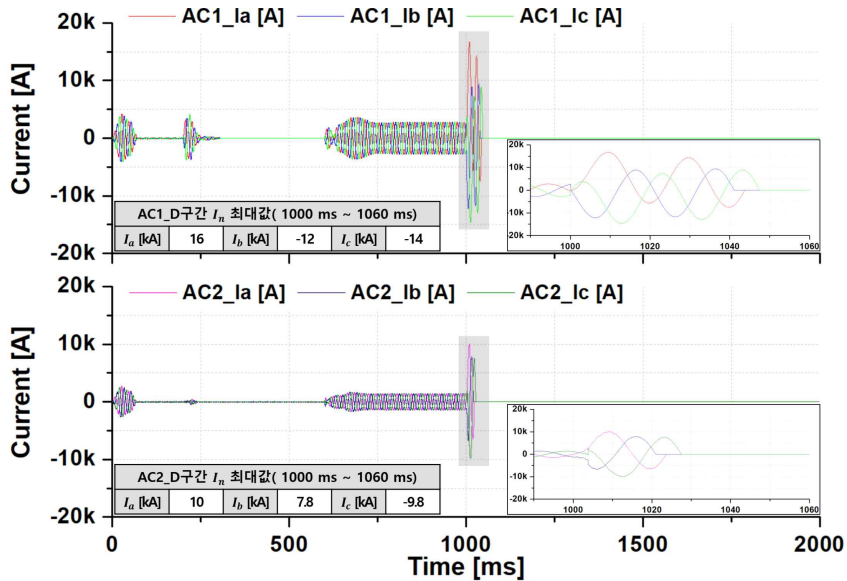


그림 3-44 DC 단락고장(2선)에 따른 AC 전류

Fig. 3-44 DC currents according to a DC pole-to-pole fault (2-lines)



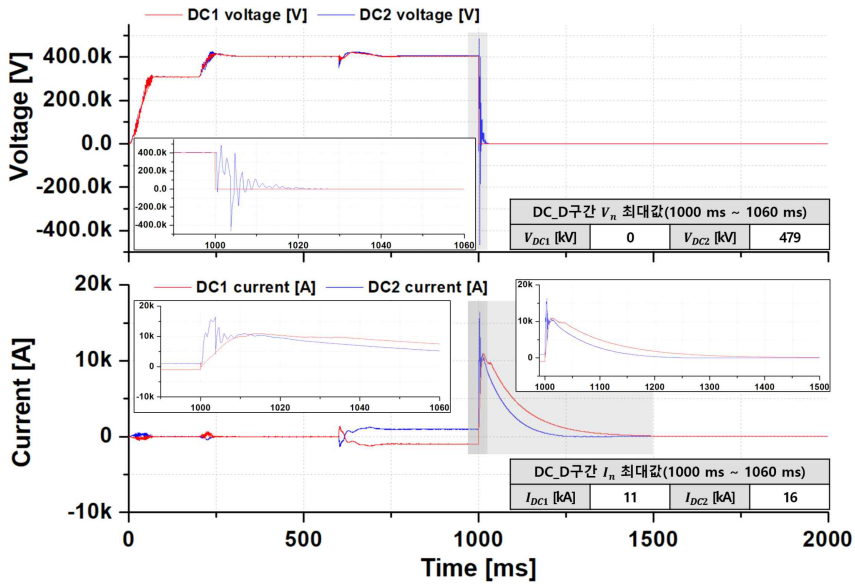


그림 3-45 DC 단락고장(2선)에 따른 DC 전압 및 전류

Fig. 3-45 DC voltages and currents according to a DC pole-to-pole fault (2-lines)

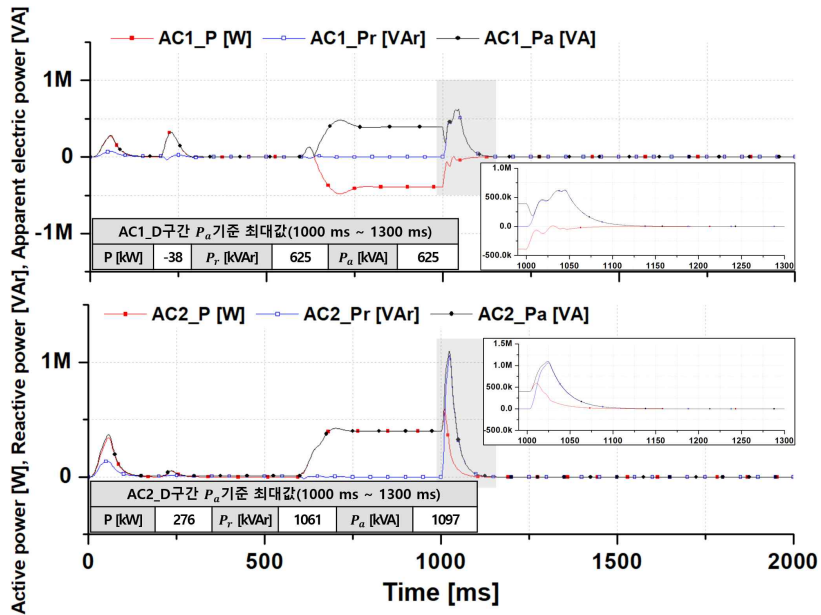


그림 3-46 DC 단락고장(2선)에 따른 AC 전력(유효, 무효, 피상)

Fig. 3-46 AC power(Active, reactive, apparent electric) according to a DC pole-to-pole fault (2-lines)

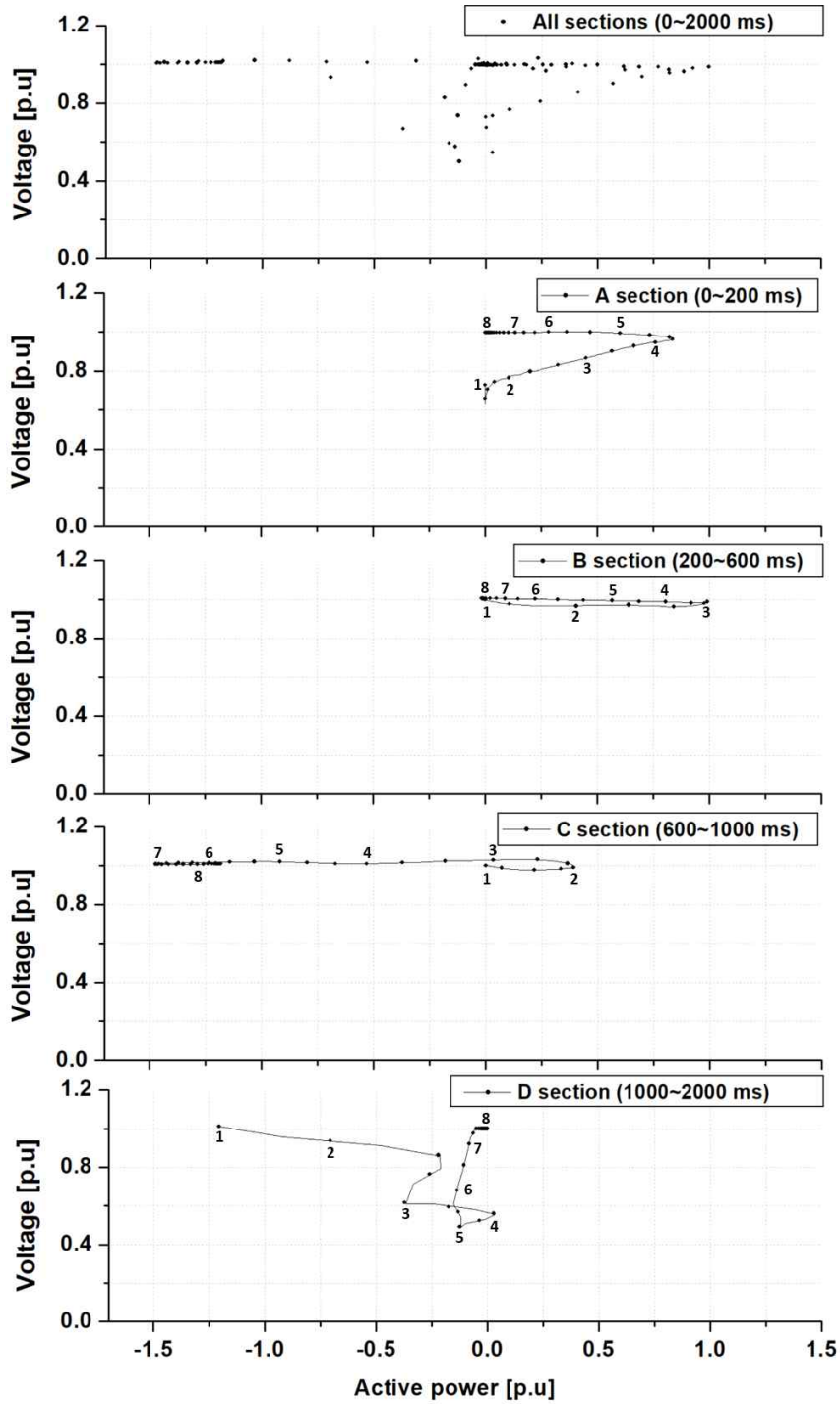


그림 3-47 구간별 DC 단락고장(2선)의 P-V 특성

Fig. 3-47 P-V characteristics of a DC pole-to-pole fault (2-lines) by each section

## 7. Case 1~6 결과 데이터 검토

표 3-4는 위의 AC 및 DC 상정 고장의 유형에서 발생한 전압 및 전류 특성 데이터를 정리한 표이다.

AC 1선 지락고장인 경우에는  $AC_1$ 의 전류값이 정상 상태에 비해 약 3.7배 높아진 결과를 확인하였다.  $AC_1$ 에서의 차단 시간은 약 1043.5 ms였다.  $AC_2$ 에서는  $AC_1$ 에 비해 상대적으로 적은 고장 전류가 발생하였으며, 약 0.02 kA였다. 이에 따라 차단 시간도 약 1024.6 ms로  $AC_1$ 에 비해 약 2배 정도 빨랐다.  $DC_1$ 와  $DC_2$ 에서의 전압 및 전류 특성은 정상상태와 동일한 흐름을 보였으며, AC 차단기에 의해 차단 시점은 약 1001.35 ms와 1001.95 ms가 걸렸다.

AC 2선 지락고장인 경우에는 1선 지락고장보다 낮은 고장 전류가 발생하였으며,  $AC_1$ 의 a, b상의 지락으로 인해 전압이 약 -0.1 kV가 발생하였다.  $AC_1$ 과  $AC_2$ 의 고장 전류는 약 0.06 kA와 약 0.02 kA이었다.  $AC_1$ 의 차단 시간은 약 1049.6 ms로 1선 지락고장이었을 때보다 약 6.1 ms 만큼 길어짐을 확인하였다.  $AC_2$ 의 차단 시간은 1선 지락고장과 동일하게 발생하였다.  $DC_1$ 과  $DC_2$ 에서의 전압 및 전류 특성은 1선 지락고장과 동일한 흐름을 보였다.

AC 2선 단락고장 경우,  $AC_1$ 의 a, b 상이 단락되어 약 46 kV가 동일하게 발생됨을 확인하였고, c 상은 약 93 kV가 발생하였다. 전류는 약 0.06~0.07 kA가 발생하였다. 차단시간은  $AC_1$ 과  $AC_2$  모두 1선 지락고장 유형과 동일하게 발생하였다.  $DC_1$ 과  $DC_2$ 에서 발생한 전압 및 전류 특성은 1선 고장 유형과 동일하였으며, 차단 시간은 약 1 ms의 미소한 차이를 보였다.

AC 3선 단락고장 경우,  $AC_1$ 에서는 표 3-3의 IGBT block 동작 기준에 따라 고장이 감지되어 고장 발생 약 0.3 ms 이후에 차단되었다.  $AC_2$ 에서는 약 1024.6 ms에 AC 차단기가 동작하여 차단이 완료되었다.  $DC_1$ 과  $DC_2$ 에서 발생한 전압 및 전류 특성은 2선 고장 유형과 차단 시간이 동일하였다.

DC 1선 지락고장인 경우,  $AC_1$ 과  $AC_2$ 의 전압 및 전류는 AC 차단기의 동작에 의해 안정적인 계통 분리가 이루어짐을 데이터를 통해 확인하였다.  $AC_1$ 과  $AC_2$ 의 차단 시간은 약 1047.7 ms와 약 1024.6 ms가 걸렸다.  $DC_1$ 과  $DC_2$ 에서는 이전 AC 상정고장과는 다르게 높은 고장 전류 흐름이 확인하였으며,  $DC_1$ 에서는 약 0.4 kA가 발생하여 IGBT block 동작이 수행되었다.  $DC_2$ 에서의 전류는 약 5.2 kA가 발생

하였고 6.0 kA가 넘지 않아 IGBT block 동작이 수행하지 않은 것으로 사료된다. 하지만, 이는 정상상태에 비해 약 5 배 높은 고장 전류이다. IGBT block 동작에 따라 차단 시간은 약 1003.9 ms( $DC_1$ ), 1006.45 ms( $DC_2$ )가 걸렸다.

DC 2선 단락고장인 경우, AC 및 DC 계통에서의 고장 전류가 높게 형성됨을 확인하였다. 이에 모든 SM의 IGBT가 block 동작이 수행되었고, AC 차단기의 동작이 수행되었다.  $AC_1$ (a, b, c상)에서는 약 16 kA, 약 -12 kA, 약 -14 kA가 발생하였으며, 이는 정상 전류의 약 6~8배 높은 값이다.  $AC_2$ (a, b, c상)에서는 약 10 kA, 약 7.8 kA, 약 -9.8 kA가 발생하였으며, d는 정상 전류의 약 5~7 배 높은 값이다. 차단 시간은 약 1047.5 ms와 1027.5 ms로 이전 상정 고장 유형과 유사한 결과를 확인하였다. 하지만,  $DC_1$ 과  $DC_2$ 에서 발생한 고장 전류는 각각 약 11 kA, 약 16 kA까지 발생하였다. 이는 약 11배, 16배 높은 고장 전류였다. 차단 시간은 약 1628.0 ms, 1618.6 ms으로 DC 1선 지락고장보다 약 624.1 ms( $DC_1$ ), 약 612.15 ms( $DC_2$ )가 걸렸다. DC 고장 전류가 HVDC 계통 회로에서 약 600 ms 동안 약 11~16 kA의 고장 전류가 흐른다는 것을 시뮬레이션을 통해 확인하였다.

본 논문의 MMC VSC-HVDC 계통 모델을 통해 AC 및 DC의 상정 고장을 적용하여 분석한 결과, SM(MMC) IGBT의 block 동작과 AC 차단기의 동작에 따라 AC 상정 고장 및 DC의 1선 지락 고장을 대비 할 수 있었다. 하지만, DC 2선 단락 고장에 의한 고장 전류는 AC 차단기만으로는 신뢰성 높은 계통을 운영하기 어렵다는 결론을 확인하였다.

표 3-4 모든 상정고장의 D구간에서 발생한 특성 데이터

Table 3-4 Characteristic data generated in section D of all assumed faults

		정상 상태	과도 상태					
			AC				DC	
			1선지락	2선지락	2선단락	3선단락	1선지락	2선단락
$AC_1$	전압	93.8	92	-0.1	46	14	93	48
	[kV]	/93.8	/85	/-0.1	/46	/-87	/93	/47
	(a,b,c상)	/93.8	/93	/61.0	/93	/73	/93	/44
	전류	2.7	-10	-0.06	-0.06	-1.0	0.05	16
	[kA]	/2.7	/-10	/0.07	/0.07	/4.4	/0.06	/-12
	(a,b,c상)	/2.7	/-10	/-0.06	/-0.06	/-3.4	/0.05	/-14
차단시간 [ms]		-	1043.5	1049.6	1049.7	1000.3	1047.7	1047.5
$AC_2$	전압	186.9	187	187	187	187	187	191
	[kV]	/186.9	/187	/187	/187	/187	/187	/149
	(a,b,c상)	/186.9	/187	/187	/187	/187	/187	/141
	전류	1.4	0.02	0.02	0.02	0.4	0.02	10
	[kA]	/1.4	/0.02	/0.02	/0.02	/-1.4	/0.03	/7.8
	(a,b,c상)	/1.4	/0.02	/0.02	/0.02	/1.0	/-0.03	/-9.8
차단시간 [ms]		-	1024.6	1024.6	1024.6	1024.6	1024.6	1027.5
$DC_1$	전압							
	[kV]	406	499	499	498	499	554	0
	(+/-)							
	전류							
	[kA]	-1.0	-1.0	-1.0	-1.0	-1.0	0.4	11
	(+/-)							
차단시간 [ms]		-	1001.35	1000.25	1000.4	1000.25	1003.9	1628.0
$DC_2$	전압							
	[kV]	408	475	463	474	475	559	479
	(+/-)							
	전류							
	[kA]	1.0	1.0	1.0	1.0	1.0	5.2	16
	(+/-)							
차단시간 [ms]		-	1001.95	1000.85	1001.0	1000.85	1006.45	1618.6
비 고		양호	양호	양호	양호	양호	양호	위험

## C. 초전도 DC 차단기의 HVDC 계통 적용

### 1. 초전도 한류 모듈의 모델링 설계 기준

그림 3-48은 초전도 한류 모듈의 PSCAD/EMTDC 모델링은 선행 연구를 통해 단락고장 모의 회로도를 설계하였다[88]. 이는 DC 전원 및 내부 저항( $R_0$ ), 선로 인덕턴스( $L_0$ ), 초전도체, 부하(Load)로 구성하였다. 이 모의 회로도에서 인가전압은 약 1.5 kV, 내부저항( $R_0$ ) 1.0  $\Omega$ , 선로 인덕턴스( $L_0$ ) 20 mH를 적용하였다. 부하(Load)는 정상 및 과도 상태를 고려하기 위해 9.0  $\Omega$ 과 1.0  $\Omega$ 으로 설정하여 모의 회로도를 구성하였다. 과도 상태의 고장 전류는 0.1 sec에서 발생하며, 초전도체 quench 최대저항( $R_m$ )은 약 1.7  $\Omega$ , 최대 고장 전류의 크기는 약 1.65 kA가 발생되도록 설계하였다. 표 3-5는 초전도체의 quench 특성 시뮬레이션 모델링에 필요한 설계 매개변수이다. 특히, 초전도체의 임계 전류 및 최대 quench 저항값이 매우 중요하며, 이는 실험 데이터로부터 확보하였다. 그림 3-49는 초전도체의 전류 판별부이며, 초전도체에 유입되는 전류에 의해 임계전류의 초과 시점을 비교하여 quench 동작 신호를 출력한다[88]. 초전도 판별부는 표 3-6의 인가 신호에 따라 동작한다. Rate limiter는 초전도체에 의해 한류되는 고장 전류의 시정수를 결정한다. 그림 3-50은 PSCAD/EMTDC를 활용해 초전도체의 quench 특성인 식 (3-3)과 식 (3-4)를 참고하여 모델링하였다[88]. 초전도체의 최대 quench 저항값은 1.7  $\Omega$ 으로 설정하였고, 이는 실험실 내에 구비되어 있는 초전도 한류 모듈(약 5 m)의 실험 데이터이다. 초전도체는 약 2 ms 이내에 최대 quench 저항에 도달하므로 식 (3-4)를 통해 이상적인 시정수 Time Constant( $T_{SC}$ ) 0.75를 적용하였다.

본 논문에서는 초전도 한류 모듈을 시뮬레이션 모델링하기 위해 두 가지 기준(임계전류, 실험데이터)을 가지고 설계하였다.

$$R_{SFCL}(t) = 0 \quad (t_0 > t) \quad (3-3)$$

$$R_{SFCL}(t) = R_m \sqrt{1 - \exp\left(-\frac{t}{T_{SC}}\right)} \quad (t_0 \leq t < t_1) \quad (3-4)$$

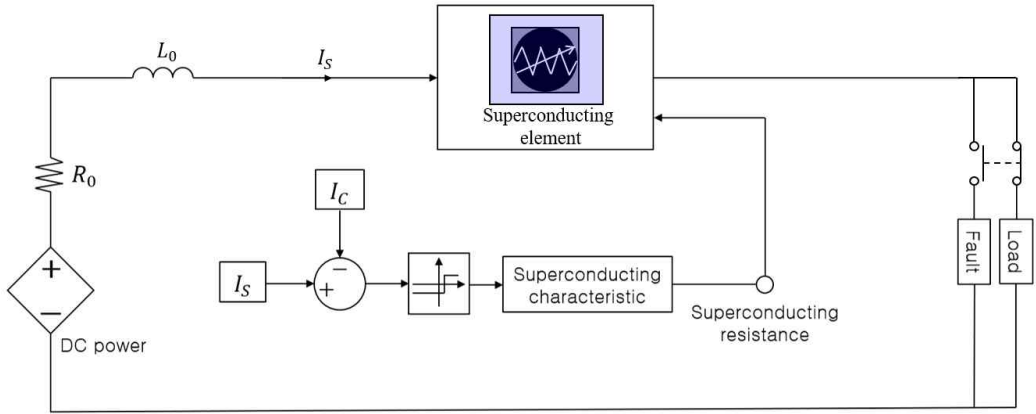


그림 3-48 초전도체 모의 회로도

Fig. 3-48 Simulated circuit diagram of a superconductor

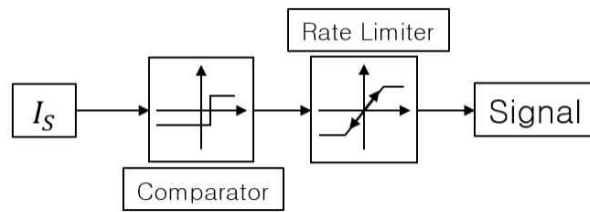


그림 3-49 초전도체 전류 판별부

Fig. 3-49 Current discrimination circuit of a superconductor

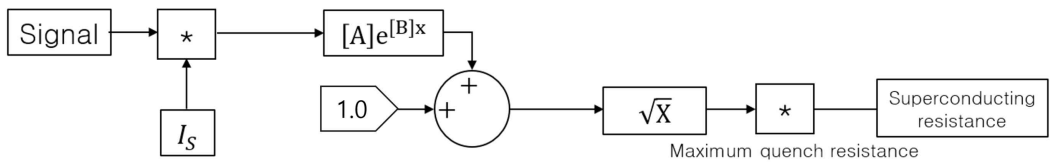


그림 3-50 초전도체 quench 특성 모델

Fig. 3-50 Model for quench properties of a superconductor

표 3-5 초전도체 설계 매개변수

Table 3-5 Design parameters for a superconductor

약어	명칭
$I_f$	Fault current
$I_S$	Current flowing in a superconductor
$I_C$	Critical current
$R_m$	Maximum quench resistance of a superconductor
$t_{quench}$	Superconductor quench time
$t_r$	Superconductor recovery time

표 3-6 초전도 상태에 따른 인가 신호

Table 3-6 Applied signal according to superconducting state

전류 판별부	조건	인가 신호	초전도체 상태
임계 전류 > 정상전류	-	0	초전도 상태
임계 전류 < 고장 전류	+	1	상전도 상태



a. 임계전류 기준

그림 3-51은 초전도체의 임계전류를 기준으로 설계한 모델링으로, 고장 전류의 시정수를 비교하였다. 고장발생 시점은 약 100 ms이며, 초전도체의 최대 quench 저항에 따른 고장 전류는 약 405.1 A였다. 초전도체 임계전류별 고장 전류 시정수  $\tau$ 는 표 3-7에 정리하였다. 임계전류가 200 A인 초전도 한류 모듈은 약 195 A에서 quench 동작하였고, 시정수 249가 발생하였다. 임계전류 250 A인 초전도 한류 모듈은 약 245 A에서 quench 되었고, 약 229의 시정수가 발생하였다. 300~400 A의 임계전류 성분을 갖는 초전도 한류 모듈은  $0.63I_m$ 의 0.22 ms 이후에 quench 동작이 발생하였다. 300~400 A의 임계전류를 가진 초전도 선재들은 최대 quench 저항 값을 길이에 따라 정해지므로 1.7  $\Omega$  고정시켜 적용하였다. 그러므로 quench 시점이 보다 늦어짐에 따라 약 1 ms의 상이한 특성을 보였다. 전류 판별 부 제어 모듈을 활용할 때는 실제 초전도 선재의 재원(임계전류)을 참고하여 설계해야 할 것으로 사료되며, 이상적인 초전도 quenching 특성을 확보하였다.

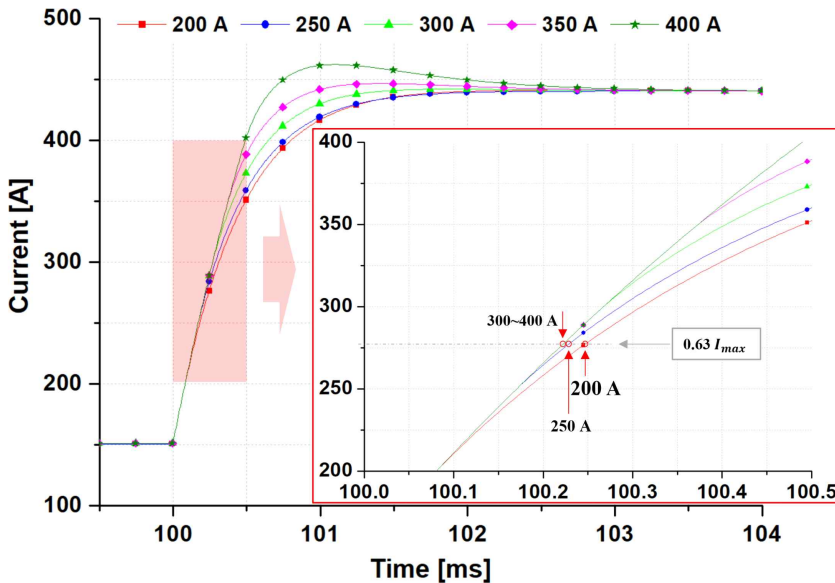


그림 3-51 초전도체의 임계전류에 따른 고장 전류 시정수

Fig. 3-51 Time constant of fault current according to critical current of a superconductor

표 3-7 초전도체 임계전류별 고장 전류 시정수  $\tau$

Table 3-7 Time constant  $\tau$  of fault current for each critical current of superconductors

임계전류 $I_C$ [A]	시정수 $\tau$ ( $0.63 I_m$ )
200	249
250	229
300	222
350	222
400	222

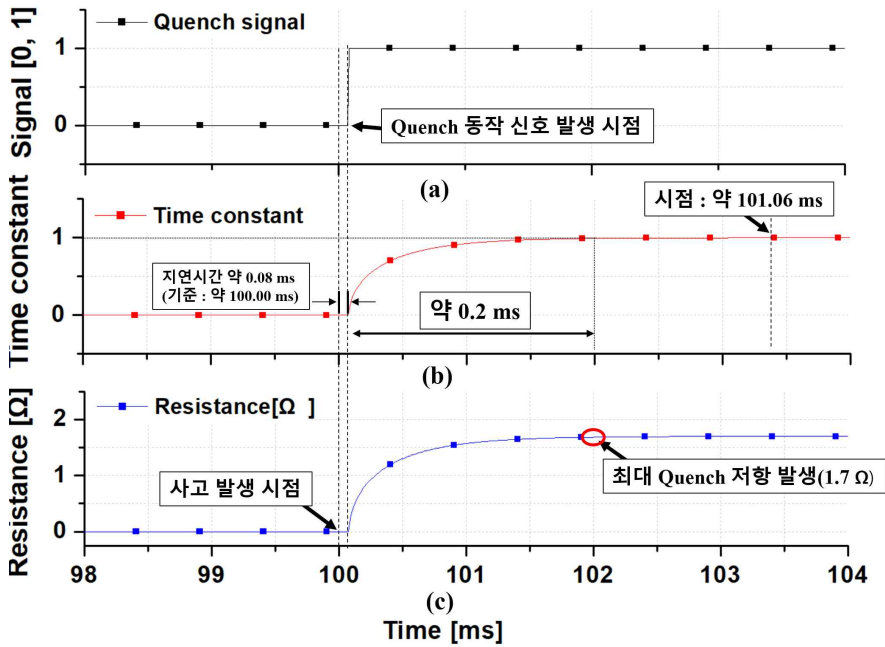


그림 3-52 초전도체 quench 특성

Fig. 3-52 Quenching characteristics of superconductors

그림 3-52는 초전도체(임계전류 200 A)의 시뮬레이션 모델링을 통해 발생한 동작 특성을 그래프로 나타내었다. 고장 발생 시점은 100 ms이다. 그림 3-52(a)는 그림 3-50의 초전도체 quench 특성을 발생시키는 신호이며, 약 100.078 ms 시점에서 신호가 '0'에서 '1'로 발생하였다. 이 신호는 그림 3-49의 전류 판별부에 의해 발생되며, 고장 전류가 초전도체 임계전류 200 A를 초과하면 비교기를 통해 quench 동작에 필요한 신호를 출력한다. 그림 3-52(b)는 초전도체의 시정수 특성 그래프이다. 이는 초전도체가 약 2 ms 이내(약 100~102 ms)에 최대 quench 저항값에 도달함을 보여준다. 그림 3-52(c)는 초전도체 quench 특성에 따른 저항 그래프이며, 약 1.7 Ω의 저항이 발생함을 확인하였다. 초전도체의 quench 동작은 고장 발생 시점부터 최대 quench 저항값에 도달하기까지 약 2 ms의 시간이 걸렸음을 확인하였다.

그림 3-53은 DC 계통에서의 초전도체 유무에 따른 고장 전류 특성을 그래프로 비교한 데이터이다. 그림 3-53(a)은 초전도체가 적용되지 않은 상태이며, 100 ms 시점에서 고장이 발생하였고, 최대 고장 전류는 약 1.65 kA였다. 그림 3-53(b)은 초전도체가 적용된 상태이며, 고장 발생 시점은 100 ms로 동일하지만, 최대 고장 전류는 초전도체의 한류 동작에 의해 약 404 A가 발생하였다. 이는 약 75.51 %의 한류율이 발생함을 확인하였다.

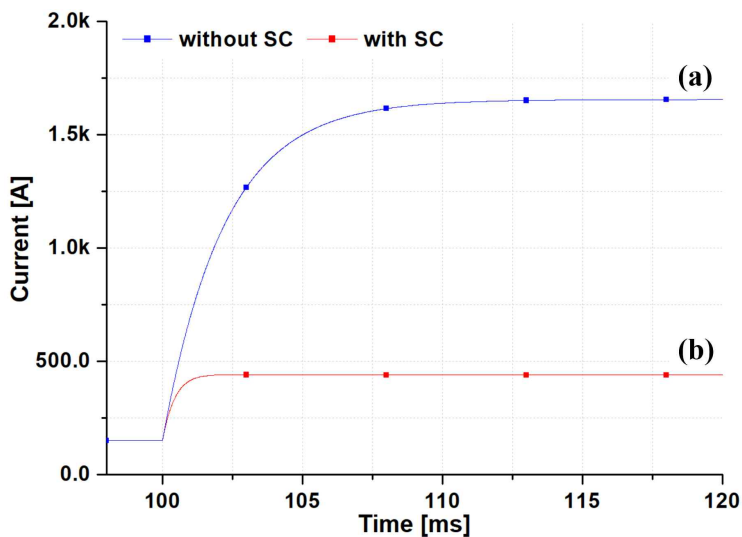


그림 3-53 초전도체의 고장 전류 제한 특성

Fig. 3-53 Fault current limiting characteristics of superconductors

### b. 실험 데이터 기준

그림 3-54는 GdBCO 재료의 초전도 선재를 약 5 m 사용하여 Meander 방식으로 모듈을 설계한 시작품의 실험 결과 그래프이다. 이를 통해 얻은 초전도 quench 저항 데이터를 기반으로 시뮬레이션 저항 모델을 설계하여 만든 임의의 초전도 quench 저항 모델을 설계하였다. 실험 결과 최대 quenching 저항값 약 1.7 Ω에 도달하는 시간은 약 60 ms였다. 이는 프로그램 내에서 시간에 따라 발생하는 초전도체 저항값을 입력함으로써 실험 데이터와 유사한 특성의 모델을 설계하였다. 본 실험에서는 초전도 선재 약 5 m를 사용함에 따른 저항 그래프로써, 상승 기울기가 비교적 작다. 초전도 선재를 많이 사용하여 저항 상승 기울기를 높일 수 있다. 만약, 약 2 ms의 이상적인 초전도 최대 quenching 저항의 기울기를 확보하기 위해서는 지금보다 더 많은 초전도 선재를 사용해야 한다. 본 실험실에서는 약 5 m의 초전도 선재를 사용하였으며, 이를 통해 임의의 초전도 quench 저항 모델을 설계할 수 있는 가능성을 확인하였다. 실험 데이터 기준을 통해 초전도 한류 모델을 설계하는 방법은 HVDC 계통에서의 안정도 연구에는 적합하지 않은 방법으로 판단되며, 만약 이 방법을 활용하여 시뮬레이션 모델을 설계하기 위해서는 실제 HVDC에 적용할 초전도 한류기를 실제 제작하여 실험 파라미터를 통해 설계측 quench 저항 데이터를 확보하여야 한다.

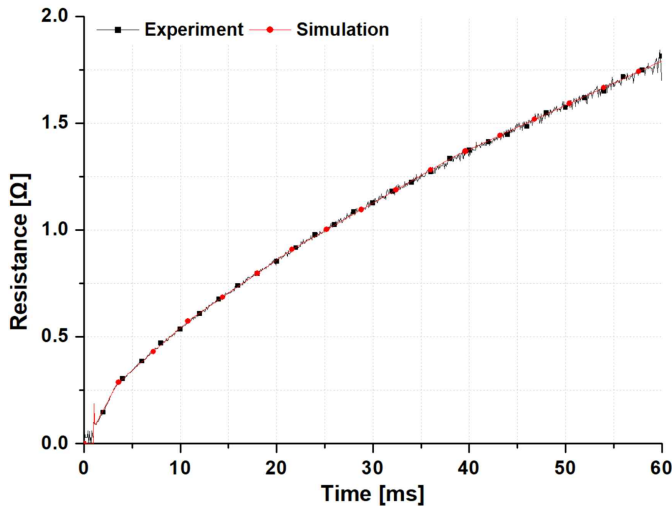


그림 3-54 초전도체 quench 저항 실험 및 시뮬레이션 그래프

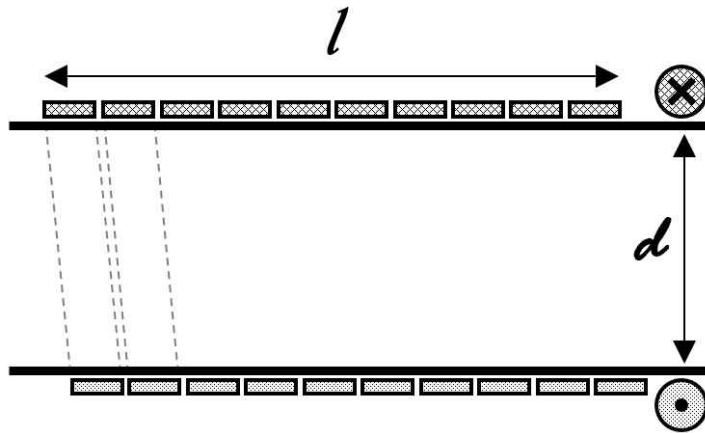
Fig. 3-54 Experiment and simulation data of the superconductor quench resistance

## 2. 초전도 한류 모듈의 초전도 선재 권선별 특성

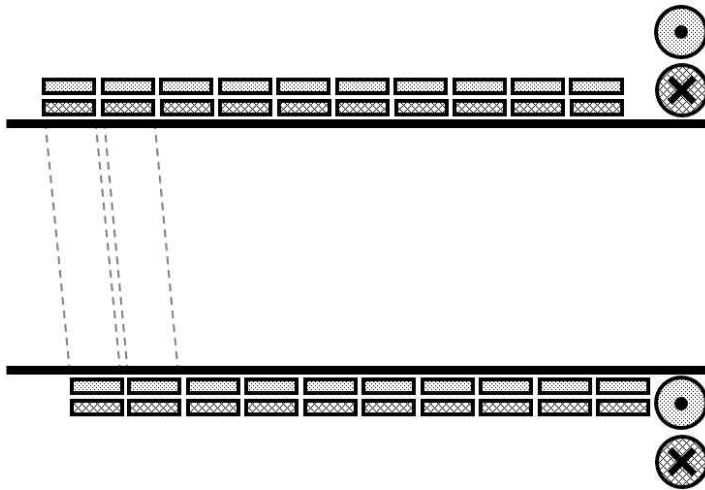
### a. Bifilar 방식이 적용된 각 권선별 모습

초전도 선재는 Helical, Spiral, Meander 방식 등 여러 권선 방식이 제안되고 있고, 이에 대한 개선된 초전도 특성과 Quench 특성 연구가 현재까지도 진행되고 있다[89-92]. 이에 Bifilar 방식(두 권선을 평행하게 설계하고 전류의 흐름을 반대로 흘려 선재간 발생하는 임피던스를 줄이는 권선 방식)이 적용되어 순수한 저항형 초전도 모듈이 설계될 수 있도록 한다. 저항형 초전도 모듈은 유도형 초전도 모듈에 비해 DC 고장 전류의 빠른 성장성을 quench 현상을 통해 대응이 가능하며, 초전도 선재의 사용량을 높여 한류율을 개선할 수 있다. 그러나, 초전도 선재의 사용량이 많아지고, 선재간 거리가 어느 정도 공간이 확보되지 않는다면, quench 현상 동안 열 발산 에너지에 의해 초전도 선재의 과열이 발생하고, 이에 따라 선재의 단선 또는 단락에 의해 큰 고장으로 이어질 수 있다. 그러므로 냉각 시스템 내의 초전도 선재의 권선법 및 설계가 매우 중요하다. 본 논문에서는 저항형 초전도 모듈을 제작을 목적으로 각 초전도 선재의 권선법에 대한 차이를 Maxwell 프로그램을 통해 비교해보았다. 기준 Standard 상자를 통해 각 권선법 초전도 선재의 효율성과 발생 임피던스를 비교 분석하였다.

Helical 방식은 Solenoid coil이라고도 하며, 원통형 관에 초전도 선재를 감아서 설계하는 방식이다. 이 방식은 원통의 축을 기준으로 선재가 감겨있기 때문에 냉각 시스템의 부피가 다른 권선 방식에 비해 크다는 단점을 가지고 있다. 그림 3-55(a)는 하나의 초전도 선재가 설계된 상태이다. 그림 3-55(b)는 Bifilar 방식을 활용해 두 번의 초전도 선재가 설계되어 있는 형태이며, 각 선재에 흐르는 전류의 방향은 반대이다. 그림 3-56은 Spiral 방식이며, Pancake coil이라고도 한다. 그림 3-56(a)은 하나의 초전도 선재가 바깥쪽에서 안쪽으로 들어오면서 설계되어 있다. 그림 3-56(b)은 초전도 선재가 Bifilar 방식이 적용되어 전류의 흐름이 다른 두 선재가 나란히 함께 설계되어 있다. 그림 3-57은 Meander 방식을 적용한 초전도 선재의 권선 단면도이다. 그림 3-57(a)는 우리가 제안하는 Meander 방식의 권선법에 맞게 초전도 선재를 설계하였고, 단일 구조로 설계되었지만, 전류의 흐름이 서로 다른 두 개의 선재가 나란히 함께 설계되어 있다. 그림 3-57(b)는 그림 57(a)에서 하나의 선재를 더 추가한 개선된 Meander 방식의 모델이며, 초전도 선재에 발생하는 임피던스를 최소화할 수 있는 장점을 가지고 있다.



(a) Original model



(b) Bifilar method

그림 3-55 Helical 권선 방식의 단면도

Fig. 3-55 Cross sections of the helical-type winding method

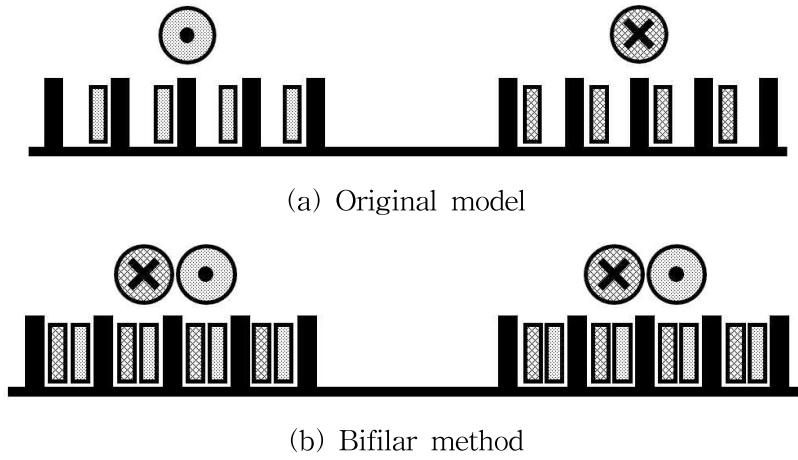


그림 3-56 Spiral 권선 방식의 단면도

Fig. 3-56 Cross sections of spiral-type winding method

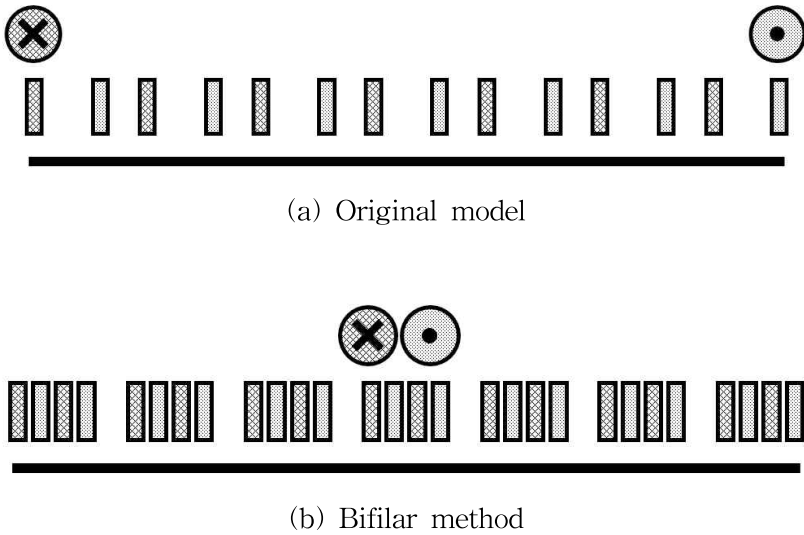


그림 3-57 Meander 권선 방식의 단면도

Fig. 3-57 Cross section of the meander-type winding method

## b. 설계

Bifilar 방식을 적용한 Helical, Spiral, Meander 방식을 비교하기 위해 기준 부피가 적용된 상자의 수치는 300-300-300 (x-y-z)으로 설계하였다. 이 시뮬레이션 모델링에 사용된 초전도 선재는 너비가 약 4.1 mm, 두께가 약 0.086 mm 였다. 초전도 선재를 지지하는 보빈은 약 10 mm를 기준으로 설계하였고, 재질은 Bakelite로 설계하였다. Spiral과 Meander 방식에서의 초전도 선재 굽힘 정도를 최소 지름 약 10 mm로 설계하였다[93-95]. 본 논문에서는 Maxwell 프로그램을 통해 각 권선법의 모델을 설계하고 동일한 부피에 따라 사용되는 초전도 선재의 양을 비교하였다. 또한, 각 권선법의 모델에는 Bifilar 방법이 적용되었으므로 선재로부터 발생하는 임피던스의 값도 확인하였다. 그림 3-58은 Bifilar 방법이 적용된 헬리컬 방식의 초전도 모듈이다. 그림 3-58(a)은 Standard 상자 안에 들어있는 헬리컬 방식의 초전도 모듈을 보여준다. 그림 3-58(b)은 상단에서 바라본 모습이며, 초전도 선재간 pitch 간격은 약 8 mm이고, 총 37회 권선되었음을 확인하였다. 그림 3-58(c)은 옆면에서 바라본 모습이며, 보빈의 바깥 지름은 약 144 mm이며, 안지름은 약 134 mm였다. 그림 3-58(d)은 Bifilar 방법이 적용된 초전도 모듈의 선재를 확대한 그림이다. Bifilar 방식의 초전도 선재간 거리는 약 0.1 mm로 설계하였으며, 이는 각 초전도 선재를 감싸고 있는 캡톤 테이프의 두께(약 0.05 mm)를 고려한 거리였다.

그림 3-59는 Bifilar 방법이 적용된 Spiral 방식의 초전도 모듈이다. 그림 3-59(a)는 Standard 상자 안에 들어있는 Spiral 방식의 초전도 모듈이다. 초전도 선재 밑 부분에는 보빈이 깔려 있으며, 보빈 크기는 300-300-10 (x-y-z)이다. 그림 3-59(b)는 상단에서 바라본 모습이며, 보빈 위에 Spiral 모양으로 초전도 선재를 설계하였고, 초전도 선재 간 거리는 약 13 mm였다. Helical 방식의 모듈에서 보빈의 높이는 약 10 mm였기 때문에 Spiral 방식의 모듈에서도 약 10 mm의 보빈 높이를 설계하였다. 그러므로, 3 mm의 여유 공간에 초전도 선재와 캡톤 테이프 두께가 포함되어 있으며, 나머지는 여유 공간이다. 초전도 선재는 총 18회 권선되었음을 확인하였다. 그림 3-59(c)는 옆에서 바라 본 모습이며, Spiral 방식의 모델이 기준 상자의 바닥 부분에 위치해 있다. 보빈의 높이와 초전도 선재의 높이가 적용된 총 높이는 약 14.1 mm였다. 그림 3-59(d)는 Bifilar 방법이 적용된 초전도 모듈의 선재를 확대한 그림이며, 초전도 선재와 초전도 선재 사이 거리는 Bifilar-Helical 방식의 수치와 동일하다.



그림 3-60은 Bifilar 방법이 적용된 Meander 방식의 초전도 모듈이다. 그림 3-60(a)은 기준 상자 안에 들어있는 Meander 방식의 초전도 모듈이다. 초전도 선재 밑부분에는 보빈이 깔려 있으며, 보빈은 Spiral 방식의 모델과 동일하고 크기는 300-300-10 (x-y-z)이다. 그림 3-60(b)은 상단에서 바라 본 모습이며, 본 논문에서 제안한 권선법으로 설계하였다. 이는 초전도 선재가 x-y축 방향으로 감길 때 보빈에 지지되어 감기기 때문에 Spiral 방식과 동일하게 지지대 높이를 약 1~2 mm 설정해주어야 했다. 초전도 선재가 감기는 전환점은 양쪽에 각각 11 개씩 위치해 있으며, 최소 지름 10 mm로 설계되었다[93-95]. 또한, 초전도 선재가 지나가는 통로는 약 0.5 mm이며, 이는 초전도 선재(0.086 mm)와 캡톤 테이프를 감안한 여유 공간이다. 초전도 선재는 아랫부분에서부터 위쪽 방향으로 양쪽 전환점을 번갈아 감기며 진행해야 하며, 2차례 왕복할 수 있게 설계하였다. 그림 3-60(c)은 옆면에서 바라 본 모습이며, Meander 방식의 모델이 기준 상자의 바닥 부분에 위치해 있다. 보빈의 높이와 초전도 선재의 높이가 적용된 총 높이는 Spiral 모델과 동일한 약 14.1 mm였다. 그림 3-60(d)은 Bifilar 방법이 적용된 초전도 모듈의 선재를 확대한 그림이다. 이번 모듈에는 하나의 초전도 선재가 전 구간을 거치며 진행하였다.

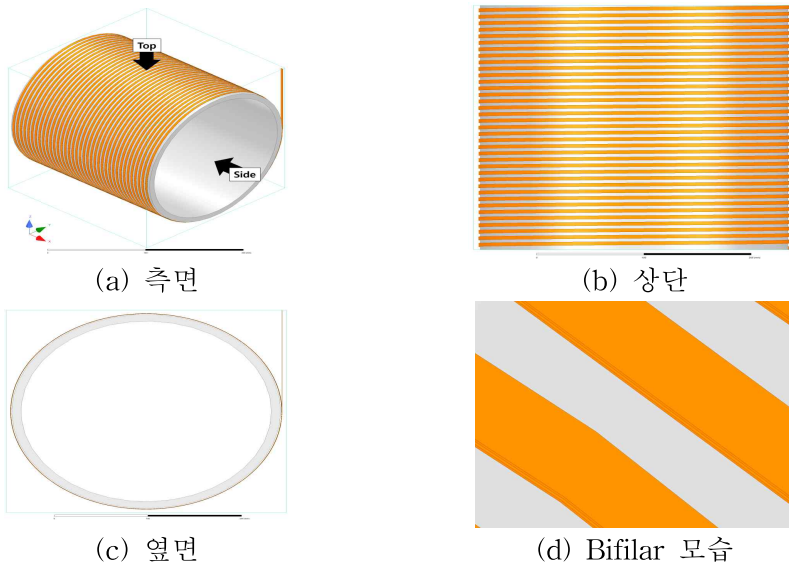


그림 3-58 Helical 방식을 적용한 초전도 한류 모델링

Fig. 3-58 Superconducting module modeling with the helical-type

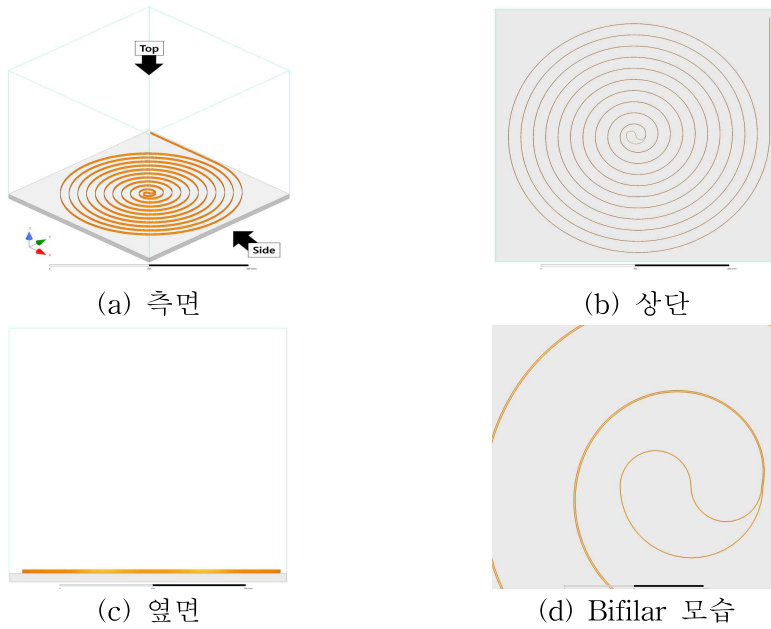


그림 3-59 Spiral 방식을 적용한 초전도 한류 모델링

Fig. 3-59 Superconducting module modeling with the spiral-type

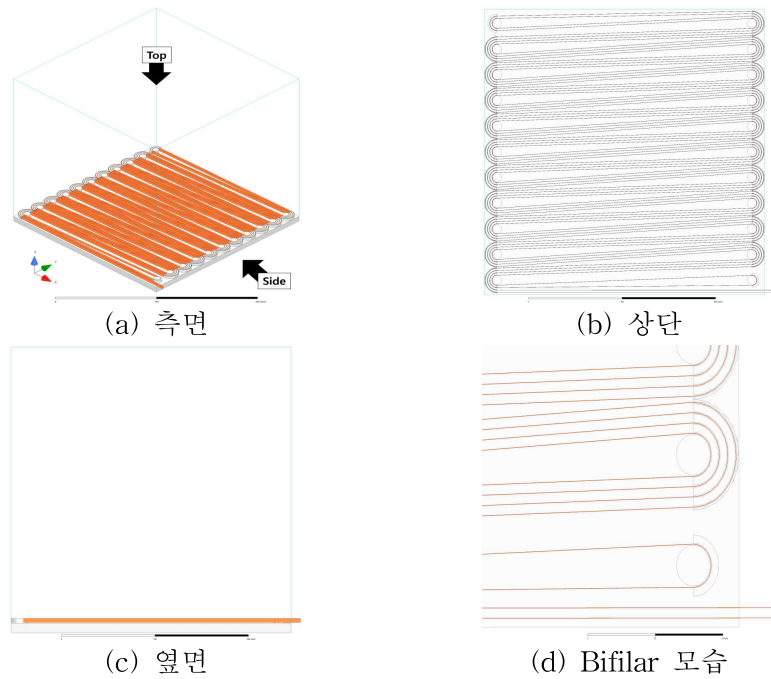


그림 3-60 Meander 방식을 적용한 초전도 한류 모델링

Fig. 3-60 Superconducting module modeling with the meander-type

### c. 결과

Maxwell 프로그램을 통해 각 권선별 부피를 비교하였다. 첫 번째, 하나의 Helical 초전도 모듈에서 사용된 초전도 선재 길이는 총 약 25.17 m였다. 이는 초전도 모듈의 지름과 원주율 그리고 Bifilar 방식을 적용한 모듈이었다. 두 번째, 하나의 Bifilar-Spiral 초전도 모듈에서 사용된 초전도 선재 길이는 총 약 0.89 m였다. Bifilar-Spiral 방식은 원의 안쪽으로 들어갈수록 원의 반지름이 작아져 초전도 선재 사용량이 Helical 방식에 비해 많이 줄었다. 세 번째, 우리가 제안한 Bifilar-Meander 초전도 모듈에서 사용된 초전도 선재 길이는 총 약 25.17 m 였다. 이 방식은 Bifilar-Spiral 방식보다 초전도 선재의 사용량이 약 28 배 높았고, Bifilar-Helical 방식보다는 2.6 배 낮았다.

그림 3-61은 기준 상자에 각 방식의 초전도 모듈을 모두 설계했을 때의 모습을 시뮬레이션 모델로 구현한 그림이다. 그림 3-61(a)은 Bifilar-Helical 초전도 모듈이며, 내부의 여유 공간에 여분의 총 7개의 초전도 모듈이 추가로 설계하였다. 하지만, 동일한 크기의 모듈을 적용하지 못하고, 점점 모듈의 지름을 줄여가며 설계하였다. 모든 초전도 모듈을 설계한 결과, 총 초전도 선재의 길이가 약 153.55 m이었다. 그림 3-61(b)은 Bifilar-Spiral 초전도 모듈이며, 기존의 모듈에서 총 17개의 모듈을 추가로 설계하였다. 이는 Bifilar-Helical 모델과는 다르게 기존의 Bifilar-Spiral 방식에 대한 초전도 모듈과 동일한 조건의 모델을 추가하였다. 전체 모듈에 사용된 초전도 선재 길이는 약 16.12 m이었다. 그림 3-61(c)은 Bifilar-Meander 초전도 모듈이며, 기존의 모듈에서 총 17개의 모듈을 추가하였다. 전체 모듈에 사용된 초전도 선재의 길이는 약 453.04 m였다.

1 layer 모듈의 초전도 선재 사용량은 Bifilar-Helical 방식이 가장 우수 하였으나, Multi-layer 모듈로 설계되었을 때 활용할 수 있는 공간이 제한됨을 확인하였다. 본 논문에서 제안한 Bifilar-Meander 방식의 권선법이 1 layer 뿐만 아니라 Multi-layer 모듈로 제작되었을 때 초전도 선재 사용량을 대폭 늘릴 수 있다는 장점을 확인하였다.

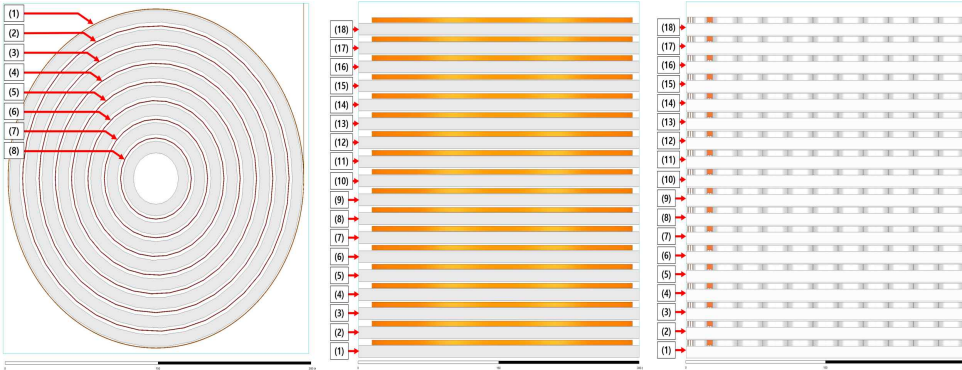
그림 3-62는 Bifilar-Helical 방식이 적용된 초전도 한류 모듈의 자장 분포도이다. 그림 3-62 (a)는 Bifilar-Helical 초전도 한류 모듈의 자장 분포도이며, 그림 3-62 (b)와 (c)의 자장 측정 기준선을 표시하였다. 그림 (b)는 자장 측정 기준선에 발생한 자장의 세기를 그래프로 나타내었으며, (c)는 초전도 선재 하나에 발생하는 자

장 분포도를 나타내었다. Helical 방식의 초전도 한류 모듈에 권선되어 있는 초전도 선재의 평균 자장은 약 80.6 A/m가 발생하였다.

그림 3-63은 Bifilar-Spiral 방식이 적용된 초전도 한류 모듈의 자장 분포도이다. 그림 3-63 (a)~(c)는 그림 3-62와 동일하게 구성하였으며, Spiral 방식의 초전도 한류 모듈에 권선되어 있는 초전도 선재의 평균 자장의 세기는 약 64.4 A/m가 발생하였다.

그림 3-64는 Bifilar-Meander 방식이 적용된 초전도 한류 모듈의 자장 분포도이다. 결과적으로 Meander 방식의 초전도 한류 모듈에 권선되어 있는 초전도 선재의 평균 자장의 세기는 약 68.3 A/m가 발생하였다.

각 초전도 선재 권선별 동일 부피당 사용량 및 자장의 세기는 표 3-8에 정리하였다.



(a) Helical 방식                      (b) Spiral 방식                      (c) Meander 방식

그림 3-61 기준 상자에 각 권선법의 여유 공간을 각 방식의 동일한 모듈로 구성된 완성형 초전도 모듈

Fig. 3-61 A complete superconducting module that consists of the same module of each method with the free space of each winding method in the standard box

표 3-8 각 권선 방식에 따른 선재 사용량 및 자기장의 세기

Table 3-8 Superconducting wire usage and force of the magnetic field strength according to each winding method

Winding method		Bifilar-Helical method	Bifilar-Spiral method	Bifilar-Meander method
Single	Module	1 layer	1 layer	1 layer
	Available windings	about 25.17 m	about 0.89 m	about 25.17 m
The magnetic field strength of a superconducting wire		(Av.) about 80.6 A/m	(Av.) about 64.4 A/m	(Av.) about 68.3 A/m
Multi	Available modules	8 layers	18 layers	18 layers
	Available windings	about 153.55 m	about 16.02 m	about 453.06 m

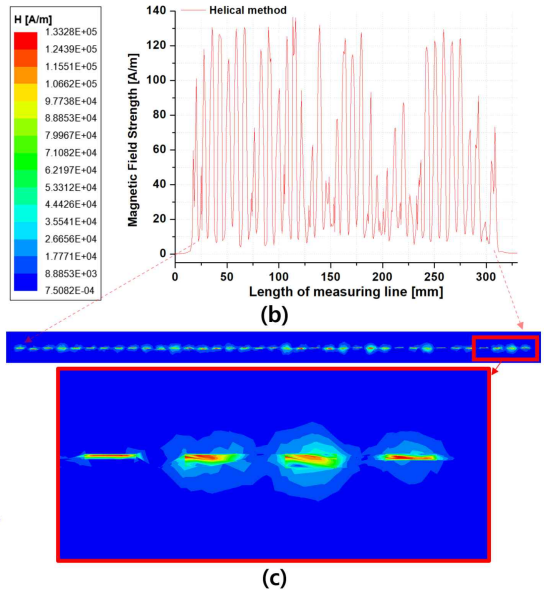
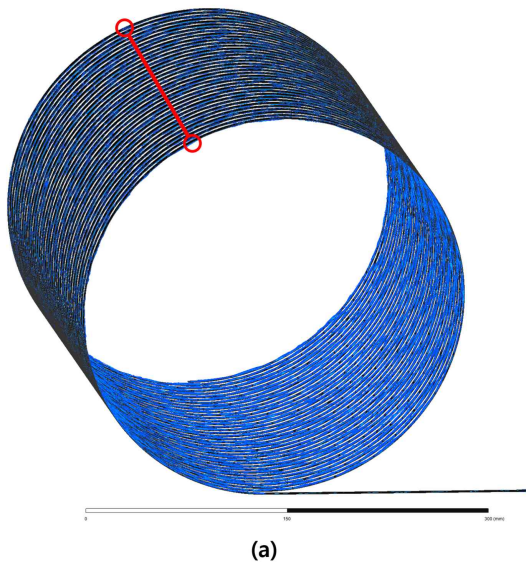


그림 3-62 Helical 방식의 자장 분포도

Fig. 3-62 Magnetic field distribution diagram of helical method

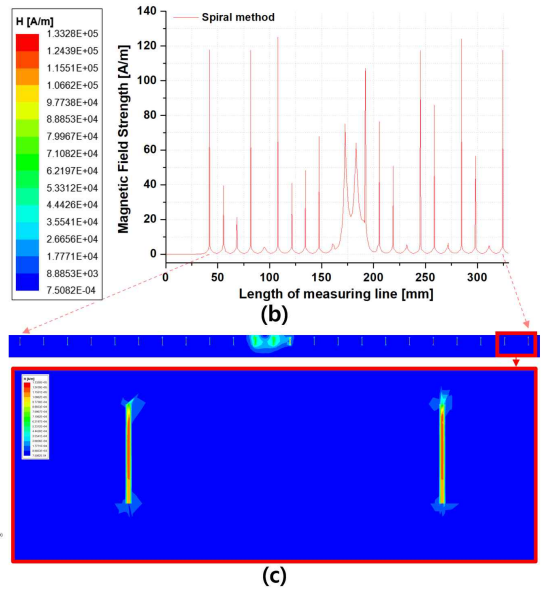
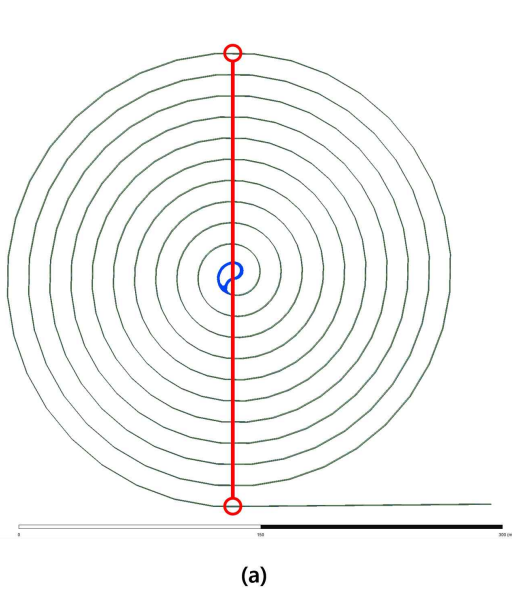


그림 3-63 Spiral 방식의 자장 분포도

Fig. 3-63 Magnetic field distribution diagram of spiral method

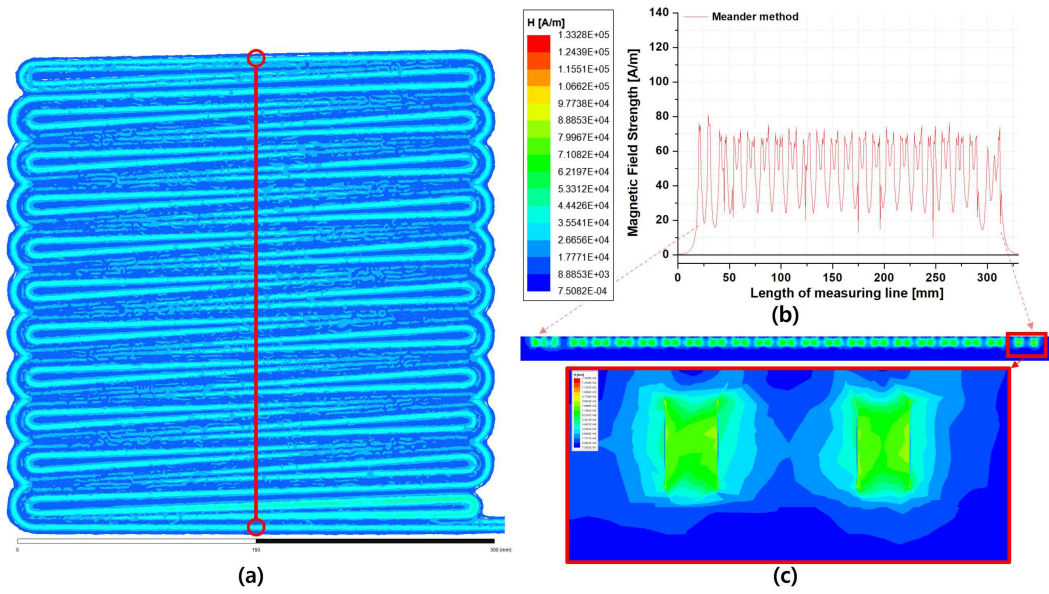


그림 3-64 Meander 방식의 자장 분포도

Fig. 3-64 Magnetic field distribution diagram of meander method



### 3. 초전도 DC 차단기 시뮬레이션 모델 설계

#### a. 구성

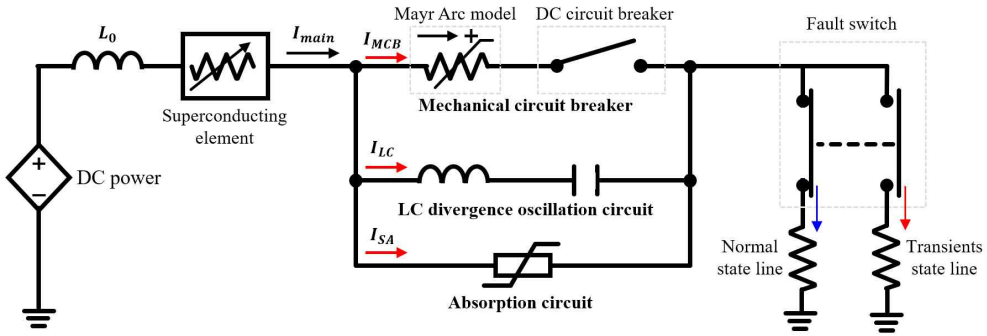


그림 3-65 초전도 DC 차단기의 모의단락고장 회로도

Fig. 3-65 Simulated short circuit diagram of a superconducting DC circuit breaker

그림 3-65는 단락고장을 모의한 DC 계통 시스템과 초전도 DC 차단기의 회로도이다. 이상적인 DC 전원(DC power)과 선로 임피던스( $L_0$ ), 정상부하(Normal state line), 과도부하(Transients state line) 그리고 초전도 DC 차단기로 구성하였다. 초전도 한류 모듈(Superconducting element)은 임계전류 기준으로 모델링하였고, quenching 최대 저항은 약 1.7  $\Omega$ 이다. 기계식 DC 차단기는 아크 모델(Mayr Arc model)과 MCB(DC circuit breaker), LC 발산진동회로 (LC divergence oscillation circuit), 피뢰기 회로 (Absorption circuit)로 구성한다. DC 전원의 정격전압은 500 V이며, 정상 부하는 10  $\Omega$ , 과도 부하는 1  $\Omega$ 이다. 이는 실험실의 실험 장비를 고려한 설계값으로 시뮬레이션 정격전압, 정상 부하, 과도 부하 수치를 설정하였다.

본 논문에서는 초전도 DC 차단기의 차단 동작 특성의 신뢰도를 높이기 위한 분석을 수행하고자 초기고장 전류 및 초전도 한류 모듈, 아크 모델, 기계식 DC 차단기의 각 설계 조건을 다음과 같이 분석하였다.



### b. 초기고장 전류 설계

HVDC 계통에서 발생하는 DC 초기고장 전류를 시뮬레이션을 통해 구현시키기 위해서는 과도특성의 고장 전류  $I_f = V/R[1 - e^{-t/\tau}]$ 의 시정수  $\tau$ 가 중요하다. 선행연구를 통해 그림 3-66의 실험 장비를 활용하여 고장 전류 시정수  $\tau$ 를 확인하기 위한 실험을 진행하였고, 그 실험 결과 데이터를 바탕으로 시뮬레이션 계통을 설계하였다[96]. 또한, 추후 실험 데이터와 비교하기 위해 동일한 정격 전압을 기준으로 시뮬레이션 설계를 수행하였다. 그림 3-66에서는 약 500 V의 DC 전원과 정상부하, 고장부하에 의해 발생하는 고장 전류의 그래프를 보여준다. 그림 3-66(a)은 선행 실험을 통해 확인된 초기고장 전류의 특성 그래프이다[97]. 그림 3-66(a)의 선로 고장은 약 58.17 ms에서 발생 되었고, 초기고장 전류 최대값은 약 58.6 ms에서 약 508.3 A가 발생하였다. 시정수  $\tau(0.63I_m)$ 는 약 0.07이었다. 그림 3-66(b)은 선행 실험 데이터를 기반으로 설계된 시뮬레이션 DC 계통 모델의 초기고장 전류 특성 그래프이며, 초전도 DC 차단기는 적용되지 않은 상태이다. 그림 3-66(b)의 선로 고장은 약 100 ms에서 발생 되었고, 초기고장 전류 최대값은 약 100.5 ms에서 약 500 A가 발생하였다. 시정수  $\tau$ 는 약 0.05였다[97].

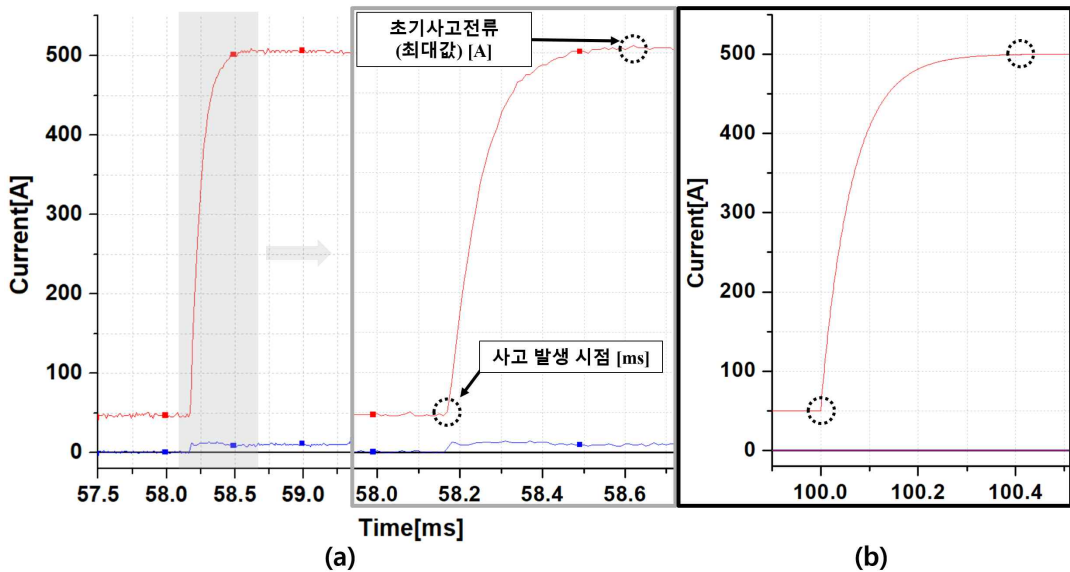


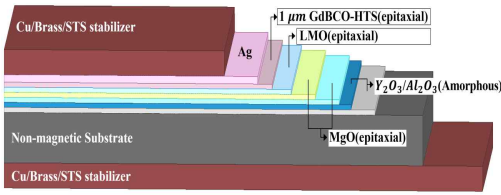
그림 3-66 초기고장 전류의 동작 특성 그래프

Fig. 3-66 Graphs for operating characteristics of initial fault current

### c. 초전도 한류 모듈

초전도 한류 모듈을 시뮬레이션으로 모델링하기 위해서 임계전류 기준으로 수행하고자 하였으며, 필요한 설계 파라미터로는 최대 quenching 저항값의 실험 데이터가 필요하다. 그림 3-67은 초전도체의 최대 quenching 저항값을 얻기 위한 실험으로 사용된 초전도 선재에 대한 정보와 실제 사진이다. 초전도 선재의 자세한 파라미터는 표 3-9에 정리하였다. 그림 3-67(a)은 서남 주식회사에서 다루고 있는 2G HTS (High - temperature superconductors) wire의 각 요소별 재질이다. 그림 3-67(b)은 실험에 사용된 초전도 선재(GdBCO)의 실제 제품이다. 초전도 선재의 너비는 4.1 mm, 높이는 0.11 mm, 임계 전류는 약 200 A였다. 그림 3-67(c)은 초전도 선재를 Meander 방식으로 설계한 초전도 한류 소자의 모습이다. 실험에 사용된 초전도 선재의 길이는 약 5 m였다. 모델의 크기는 가로와 세로는 약 190 mm, 약 160 mm였다. 그림 3-67(d)은 초전도체의 동작 특성을 실험하기 위한 등가회로도이다. 이 실험을 통해 시뮬레이션에 필요한 초전도체의 최대 저항값을 얻었고 그 값은 약 1.7  $\Omega$ 이었다.

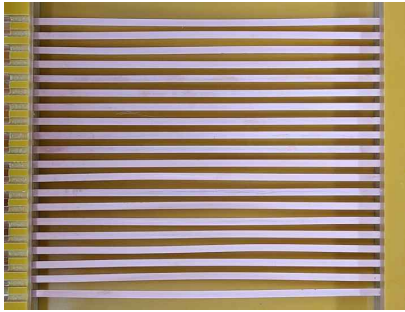
그림 3-68은 초전도 선재의 실험 데이터를 기반으로 시뮬레이션 모델링하여 동작 특성을 그래프로 나타내었다. 초전도체의 동작 특성은 식 (3-3), 식 (3-4)를 기반으로 설계하였다. 초전도체의 최대 quench 저항은 약 1.7  $\Omega$ 으로 설정하였다. 그림 3-68(a)은 초전도 선재가 적용되었을 때와 적용되지 않았을 때의 고장 전류 흐름이다. 또한, 초전도 선재의 최대 quench 저항값이 발생하는 시점을 그래프로 나타내었다. 초전도체 최대 quench 저항값 1.7  $\Omega$ 이 약 102 ms 시점에 도달함을 확인하였다. 그림 3-68(b)은 초전도 선재의 quenching이 일어나는 시점을 확인하고자 그림 3-68(a)을 확대한 그래프이다. 고장이 발생한 시점은 약 100 ms이며, 약 100.05 ms에서 전류가 약 200 A에 도달하면서 초전도 한류 소자의 quench 저항이 발생하였다. 초전도체가 적용되지 않았을 때는 고장 전류가 최대 약 500 A가 발생하였지만, 초전도체가 적용되었을 때에는 최대 약 282 A가 발생하였다. 이는 약 56.4 % 한류 하였음을 확인하였다.



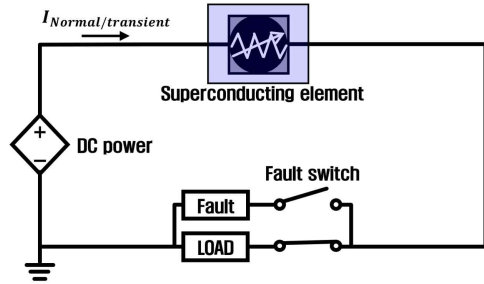
(a) 2G HTS wire의 정보



(b) 초전도 선재의 사진



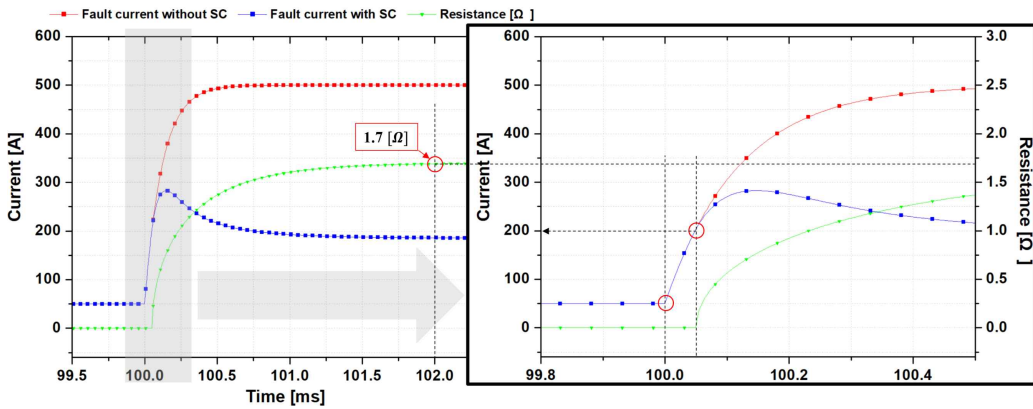
(c) 초전도 한류 소자의 proto-type



(d) 실험 등가회로

그림 3-67 초전도 선재의 실험 데이터

Fig. 3-67 Experimental data of superconducting wires



(a) 초전도 선재의 유무에 따른 전류 및 저항 그래프

(b) 초전도 선재의 최대 저항이 발생 한 시점을 확인하기 위한 그래프

그림 3-68 시뮬레이션 모델링 특성

Fig. 3-68 Characteristics of Simulation Modeling

표 3-9 초전도 한류 모듈의 매개변수

Table 3-9 Parameters of the superconducting current-limiting module

매개변수	값
동작 온도	77 K
임계 전류 $I_c$	200 A
초전도 선재의 두께	0.11 mm
초전도 선재의 너비	4.1 mm
기판	스테인레스 스틸
초전도 선재의 안전층	구리(Cu)
선재간 간격	약 4 mm
모듈 크기(가로 x 세로)	190 x 160 mm
총 초전도 선재 길이	약 5 m
총 사용된 초전도 선재 개수	20 (Meander method)

#### d. 아크 모델

본 논문에서는 Mayr, Cassie, Schavemaker 세 아크 모델 중 Mayr 아크 방정식을 선정하였다[96]. 그 이유는 전원 전압이 약 500 V이며, 초전도 DC 차단기의 line fault를 실험을 통해 분석한 데이터를 활용하기 때문이다. 그러므로 소전류, 약 8,000 K 이하의 환경에 적합한 Mayr 아크 모델을 설계하였다. 그림 3-69는 PSCAD/EMTDC 프로그램에서 아크 동작 특성의 모델링 알고리즘을 보여주며, Mayr 아크 방정식(3-5)가 적용되었다[98-102]. The signal of Arc operation은 단락 모의 스위치에 의해 주전로가 정상부하에서 과도부하로 바뀌는 시점에 신호를 주는 요소이다. 신호를 받은 Arc-model(Mayr)은 방정식 (3-5)에 의해 Arc-Resistance 값을 출력한다. 이 모델은  $P_0$ 와  $\tau$ 의 변수가 존재하고, 이 변수들은 실험 데이터로부터 결정된다[96]. 식 (3-5)에서의  $G$ 는 아크에 대한 컨덕턴스이고  $\tau$ 는 아크 시정수이다.  $U_{arc}$ 는 그림 69에서의 Arc-Voltage이고,  $I_{arc}$ 는 Arc-Current이다.  $P_0$ 는 쿨링 파워이며, 단위 부피당 일정한 방전 전력이다. 본 논문에서는 초전도 DC 차단기의 동작 특성을 위한 일반적인 아크 특성이 필요하므로 아래와 같이 설정하였다. 쿨링 파워는 2.5 kW를 적용하였고, 아크 시정수는 0.3  $\mu s$ 를 적용하였다.

$$\frac{dG}{dt} = \frac{G}{\tau} \left( \frac{U_{arc} I_{arc}}{P_0} - 1 \right) \quad (3-5)$$

그림 3-70은 아크 모델 방정식을 기반으로 설계한 아크 모델이 DC 계통에 적용되어 발생하는 동작 특성을 그래프로 나타냈다. 그림 3-70(a)은 등가회로이며, DC power, Arc model, DC circuit breaker, Fault switch and Load로 구성한다. 이 등가회로는 Fault switch의 turn-on 동작을 통해 모의 단락고장을 발생시킨다. 고장 부하는 1  $\Omega$ 으로 설계하였다. 그림 3-70(b)는 그림 3-70(a)에 대한 시뮬레이션 그래프이며, 아크 모델의 전류, 전압, 저항 그리고 동작 신호의 데이터를 그래프로 나타내었다. Arc Voltage는 Arc model에 걸리는 전압이며, 식 (3-5)의  $U_{arc}$ 이다. Arc current는 Arc model에 흐르는 전류이며, 식 (3-5)의  $I_{arc}$ 이다. Arc resistance는 Arc model에서 출력되는 저항이다. 모의 단락고장은 약 100 ms에서 시작되며, 고장 전류는 약 100 ms에서 발생하여 약 500 A까지 증가한다. 기계식 차단기의 개방 동작은 약 103 ms에서 일어난다. 그러므로 아크 모델의 Trip order는 약 103 ms에

서 1의 값을 갖도록 설정하였다. 아크 모델의 저항은 Trip order에 의해 발생한다. 본 시뮬레이션에서는 고장 전류의 동작 특성을 확인하고자 기계식 DC 차단기의 MCB(DC circuit breaker)만 단독으로 설계하였고, 약 500 A의 고장 전류를 발생시켰다.

e. 기계식 DC 차단기

기계식 DC 차단기는 MCB(DC circuit breaker)와 LC 발산진동회로(리액터, 커패시터), 피뢰기 회로를 모델링하였다.  $I_{main}$ 은 주선로에 흐르는 전류이며,  $I_{MCB}$ 는 MCB(Mechanical DC circuit breaker)에 흐르는 전류이다.  $I_{LC}$ 는 LC 발산진동회로에 흐르는 전류이며,  $I_{SA}$ 는 피뢰기 회로(Absorption circuit)에 흐르는 전류이다. 고장이 발생하는 시간은 약 100 ms이고, 기계식 고속 스위치의 차단 동작은 약 103 ms이다. LC 회로의 인덕터와 커패시터는 각각  $15 \mu H$ ,  $55 \mu F$ 이 적용되었다. 이는 LC 발산진동전류의 이상적인 발산진동 전류를 발생시키기 위한 값이다[96].

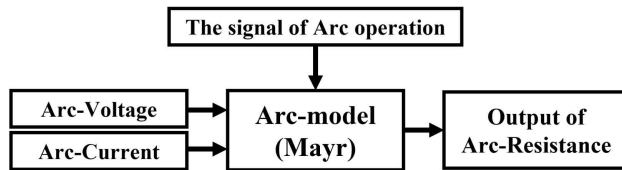
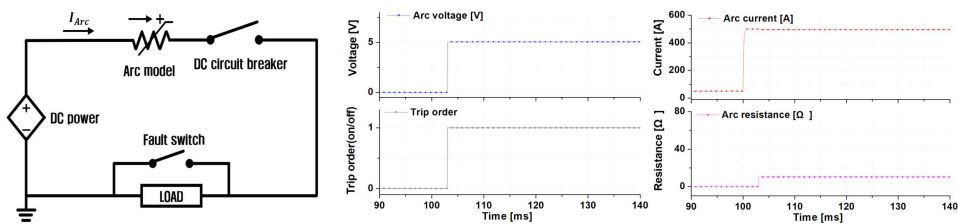


그림 3-69 아크 동작 특성의 모델링 알고리즘

Fig. 3-69 Modeling algorithm of arc operation characteristics



(a) 등가회로

(b) 시뮬레이션 데이터 그래프

그림 3-70 아크 모델 방정식에 따른 MCB 회로의 동작 특성

Fig. 3-70 Operating characteristics of the MCB circuit according to arc model equation

#### 4. 초전도 DC 차단기 시뮬레이션 결과

그림 3-71은 초전도 DC 차단기의 시뮬레이션 동작 특성 그래프이며, 실험을 목적으로 정격 500 V 기준의 회로로 구성하였다. V\_Main line [V]와 I\_Main line [A]는 주선로의 전압과 전류이다. 주선로에는 초전도 한류 소자와 기계식 DC 차단기가 직렬로 연결되어 있다. V\_MCB [V]와 I\_MCB [A]는 MCB(기계식 고속 스위치)의 전압과 전류이다. LLC [A]는 LC발산진동회로의 전류이며, V\_Inductor [V]과 V\_Capacitor [V]는 인덕터와 커패시터의 전압이다. I\_SA [A]는 피뢰기 회로의 전류이다.

그림 3-71의 [D-a]부터 [D-d]는 그림 3-6의 D구간에서 동작하는 초전도 DC 차단기의 각 구간을 의미한다. [D-a]는 모의 단락고장이 발생한 시점이며, 약 1000 ms이다. [D-b]는 MCB가 개방 동작을 수행하는 시점이며, 약 1003 ms이었다. [D-c]는 고장 전류의 인위적인 차단 0점이 도달한 시점이며, 약 1003.59 ms이었다. [D-d]는 고장 전류의 차단 완료 시점이며, 약 1004.0 ms이었다.

그림 3-72는 초전도 DC 차단기의 그림 3-71 [D-a]구간에서 [D-b]구간을 하나의 그래프로 나타냈으며, 초전도 한류 동작을 확대하여 나타내었다. 선로 정상상태에서 발생하는 전류는 약 50 A였으며, 주 선로를 통해 흐르며, I\_Main line [A]과 I\_MCB [A]의 흐름을 통해 확인하였다. [D-a]시점에서 단락고장이 발생하였고, 초기고장전압(V\_Main line [V]) 및 전류(I\_Main line [A])는 약 445.3 V, 약 283 A였다. 이 초기고장 전류는 그림 3-68(b)의 초전도 DC 차단기가 없는 조건과 비교하였을 때, 약 500 A에서 283 A로 약 217 A가 한류되었음을 확인하였다. 그리고 [D-b]시점인 MCB의 개방 동작이 수행되기 전까지 고장 전류는 약 185.2 A까지 한류되었다. [D-b]에서 MCB의 개방 동작이 수행되고 동시에 Mayr 아크 모델의 Arc 저항이 발생하였다. V\_MCB [V] 그래프에서 아크 저항에 따른 아크 전압(약 25 V)을 확인하였다. [D-b]시점부터 LC 발산진동회로에 고장 전류가 흐르기 시작하며, 직렬 연결된 인덕터와 커패시터에 의해 LC 발산진동 전류가 발생하였다. LC 발산진동 전류의 진동 폭은 LLC [A] 그래프를 통해 확인하였다. LLC [A]는 I\_MCB [A]에 영향을 주어 LLC [A]의 진동폭과 상반되는 방향의 흐름을 확인하였다. I\_MCB [A]의 고장 전류는 발산하다가 전류 0점에 도달하여 차단이 완료되며, 이 시점은 [D-c]이다. 이 시점에서 회로의 고장 전류는 LC 발산진동회로로 모두 흐르게 된다. 초전도 DC 차단기의 원리 및 메커니즘에 의해 MCB의 개방동작이

완료되면 TIV가 발생하여 피뢰기 동작이 수행된다. 하지만, 시뮬레이션에 적용한 피뢰기는 최저 동작 전압이 약 1000 V이므로, 고장 전류는 LC 발산진동회로로 모두 흐르는 결과를 확인하였다. [D-c]시점부터 I\_MCB [A]와 I\_LC [A] 회로의 공진 특성은 사라지고, V\_Inductor [V]의 전압레벨은 0으로 수렴하였다. I\_SA [A]는 TIV의 발생하는 시간에 맞게 정상 동작하진 않았지만, 회로의 잔류 전류(약 0.8 A)가 흐름을 그래프를 통해 확인하였다.



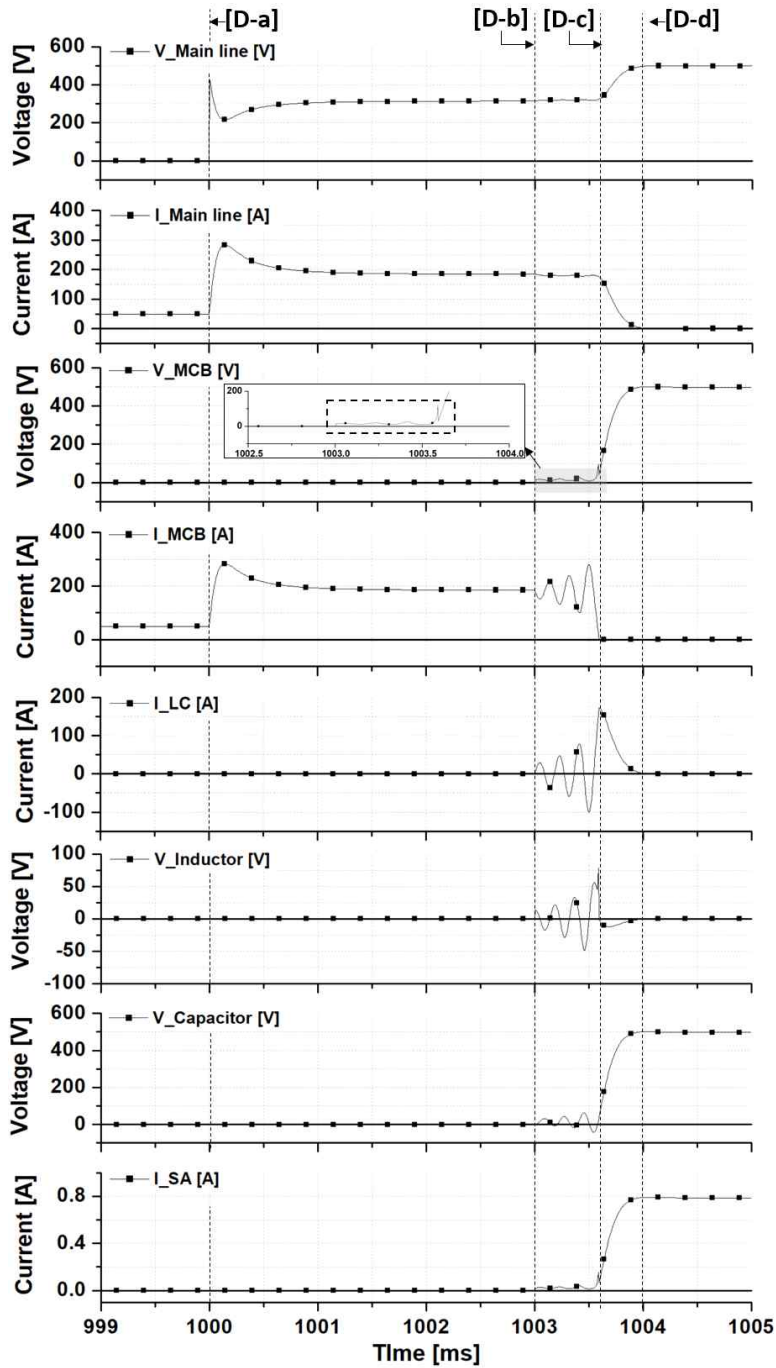


그림 3-71 초전도 DC 차단기의 동작 특성 그래프

Fig. 3-71 Graphs for operation characteristics of a superconducting DC circuit breaker

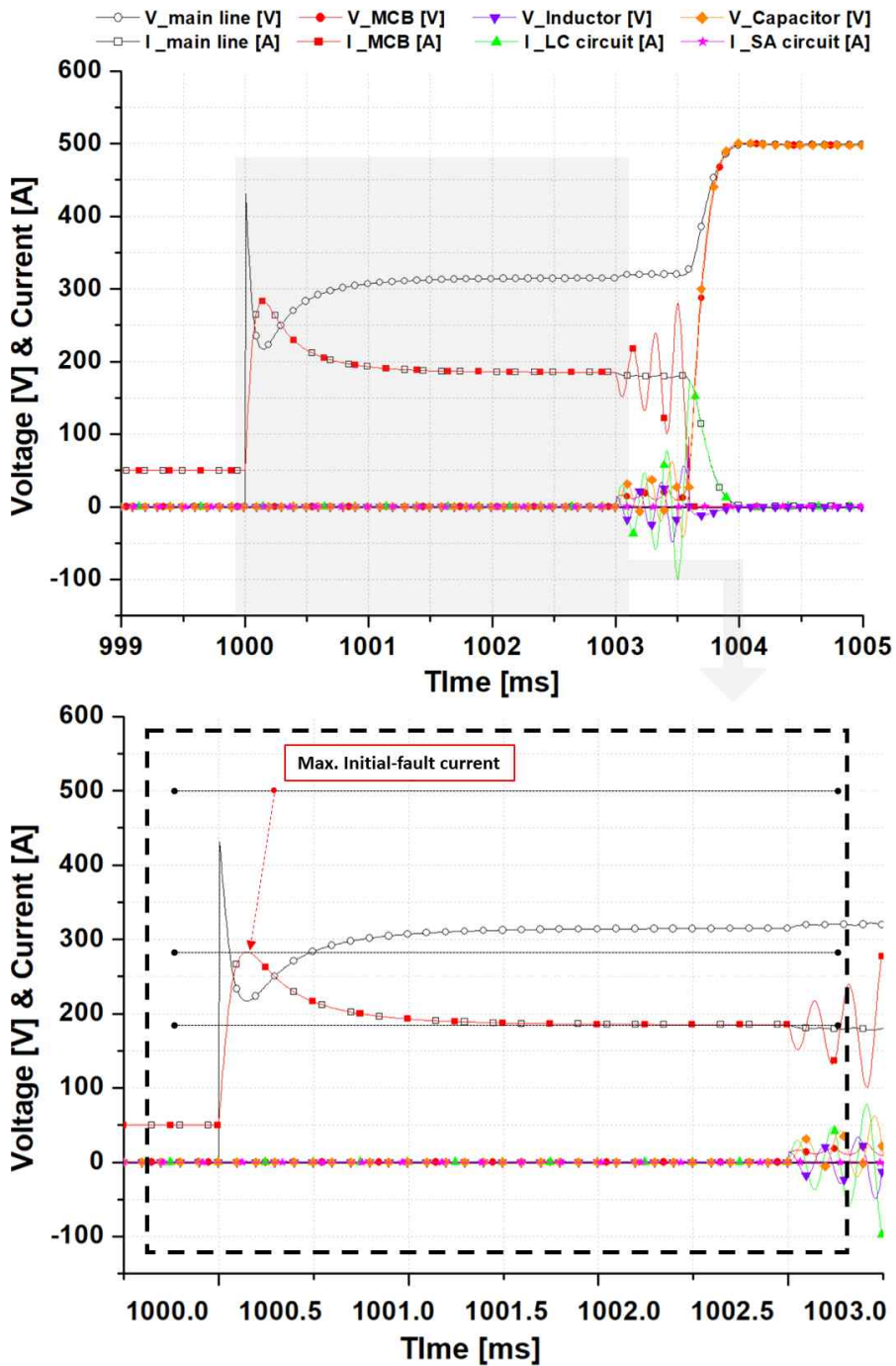


그림 3-72 초전도 DC 차단기의 [D-a]~[D-b]구간 동작 특성 그래프  
 Fig. 3-72 Graphs for operation characteristics of a superconducting DC circuit breaker [D-a]~[D-b]

그림 3-73은 그림 3-71의 [D-b]구간에서 [D-c]구간을 하나의 그래프로 나타내어 LC 발산진동 전류의 흐름을 분석하였다. [D-b]와 [D-c]사이에서 LC 공진이 발생하였으며, 식 2-25를 통해 인덕터와 커패시터의 에너지 교환을 설명하였다.

표 3-10은  $T_0$ 에서  $T_1$ 까지의 각 요소별 전류 및 전압 특성을 정리하였다.  $T_0$ 에서  $T_1$ 까지의 구간에서는 L<sub>SA</sub> [A]의 전류 흐름 변화가 없으므로 해석하는 과정에서 생략하였다.  $T_0$ 에서는 MCB의 개방동작이 시작되며, 고장 전류는 주회로를 통해 흐르고 있다. L<sub>main line</sub> [A]는  $T_0$ 에서 약 185 A였고,  $0.25 T_0$ 에서 약 181.45 A였다. 약 3.55 A의 감소를 보였으며 이는 식 (21)의 Mayr's 아크 모델에 의해 감소하였음을 확인하였다. 또한, MCB 회로와 LC 발산진동회로는 병렬로 연결되어 있는 구조이므로 키르히호프 전류 법칙에 따라 전류의 흐름을 분석할 수 있다.

L<sub>MCB</sub> [A]는  $T_0$ 에서 약 185 A가 발생하였고,  $0.25 T_0$ 에서 약 151.5 A가 발생하여 약 33.5 A가 감소하였다. 반면에 L<sub>LC</sub> [A]는  $T_0$ 에서 약 0 A였으며,  $0.25 T_0$ 에서 약 29.9 A였다. 따라서,  $0.25 T_0$  시점에서의 L<sub>MCB</sub> [A]와 L<sub>LC</sub> [A]의 합은 L<sub>main line</sub> [A]과 동일함을 시뮬레이션 데이터를 통해 확인하였다. 또한, V<sub>MCB</sub> [V]는 직렬로 연결되어 있는 V<sub>Inductor</sub> [V]와 V<sub>Capacitor</sub> [V]의 합이 동일함을 시뮬레이션 데이터와 키르히호프 전압 법칙을 통해 확인하였다.  $0.25 T_0$  시점에서의 V<sub>Inductor</sub> [V]은 약 0 V이며, V<sub>Capacitor</sub> [V]는 약 16.3 V였다. 그리고  $0.25 T_0$  시점에서의 V<sub>MCB</sub> [V]는 약 16.3 V였다.

$0.5 T_0$ 는 약 1003 ms 시점으로 L<sub>main line</sub> [A]가 약 180.1 A가 발생하였고,  $0.25 T_0$  시점에 비해 약 28.6 A가 감소하였다. 이 시점에서는 L<sub>LC</sub> [A]가 약 0 A가 발생하였고, L<sub>MCB</sub> [A]가 약 180.1 A가 발생하였다. V<sub>MCB</sub> [V]는 약 13.9 V였으며, V<sub>Inductor</sub> [V]와 V<sub>Capacitor</sub> [V]는 각각 약 -17.5 V, 약 31.4 V였다. 이 시점은 커패시터가 완전 충전 된 상태이며, 커패시터의 충전에 의한 전류의 흐름이 없음을 확인하였다.

$0.75 T_0$ 는 약 1003.14 ms 시점으로 L<sub>main line</sub> [A]가 약 180.5 A가 발생하였고,  $0.5 T_0$  시점에 비해 약 0.4 A가 증가하였다. 이 시점에서는 L<sub>LC</sub> [A]는 약 -37.0 A가 발생하였고, L<sub>MCB</sub> [A]가 약 217.6 A가 발생하였다. 이 시점은 커패시터의 방전이 이루어지는 상태이며, 커패시터의 방전으로 인해 고장 전류의 약 0.4 A 증가 흐름에 영향을 준 것으로 사료된다. V<sub>MCB</sub> [V]는 약 11.4 V였으며, V<sub>Inductor</sub> [V]와 V<sub>Capacitor</sub> [V]는 각각 약 0 V, 약 11.4 V였다.

$T_1$ 은 약 1003.18 ms 시점으로 L\_main line [A]는 약 181.2 A가 발생하였으며,  $0.75T_0$  시점에 비해 약 0.7 A가 증가하였다. 이 시점에서는 LLC [A]는 약 0 A가 발생하였고, L\_MCB [A]가 약 181.2 A가 발생하였다. 이 시점까지 커패시터의 방전이 이루어졌으며, 커패시터의 방전으로 인한 고장 전류의 약 0.7 A 증가 흐름을 확인하였다. V\_MCB [V]는 약 13.7 V였으며, V\_Inductor [V]와 V\_Capacitor [V]는 각각 약 21.0 V, 약 -7.3 V였다. 이 시점은 커패시터의 방전이 끝난 상태이며, LLC [A]의 흐름이 없는 상태임을 확인하였다.

표 3-11은  $T_0 \sim T_3$  구간의 요소별 전압 및 전류 특성을 나타낸 그래프이다. L\_main line [A]은  $T_0$ 시점부터  $T_3$ 까지 약 185 A에서 약 181.2 A로 감소함을 확인하였다. L\_MCB [A]에서는 L\_main line [A]와 동일한 결과를 보였으며, LLC [A]는 약 0 A였다. 이는  $T_n$  시점마다 커패시터 방전이 완료된 시점으로 LLC [A]의 값이 0이었기 때문이다. V\_Inductor [V]와 V\_Capacitor [V]는 직렬 연결 되어있어 공진주파수에 의한 에너지 증폭 현상이 발생한다. 이는 L\_MCB [A]의 인위적인 차단 전류 영점에 도달하게 만들어 기계식 DC 차단기의 안정적인 개폐 동작을 만들었다.

표 3-10  $T_0 \sim T_1$  구간의 전류 및 전압 시뮬레이션 결과

Table 3-10 Simulation results of current and voltage in section  $T_0 \sim T_1$

구간 [ms]	$T_0$ [1003.0]	$0.25 T_1$ [1003.05]	$0.5 T_0$ [1003.09]	$0.75 T_1$ [1003.14]	$T_1$ [1003.18]
I_main line [A]	185.00	181.45	180.12	180.58	181.24
I_MCB [A]	185.00	151.50	180.12	217.64	181.24
I_LC [A]	0	29.91	0	-37.07	0
I_SA [A]	0	0	0	0	0
V_MCB [V]	0	16.29	13.93	11.45	13.72
V_Inductor [V]	0	16.29	-17.51	0	21.02
V_Capacitor [V]	0	0	31.44	11.45	-7.29

표 3-11  $T_0 \sim T_3$  구간의 전류 및 전압 시뮬레이션 결과

Table 3-11 Simulation results of current and voltage in section  $T_0 \sim T_3$

구간 [ms]	$T_0$ [1003.0]	$T_1$ [1003.18]	$T_2$ [1003.36]	$T_3$ [1003.53]
I_main line [A]	185.00	181.24	179.69	181.22
I_MCB [A]	185.00	181.24	179.69	181.22
I_LC [A]	0	0	0	0
I_SA [A]	0	0	0	0
V_MCB [V]	0	13.72	13.80	13.62
V_Inductor [V]	0	21.02	33.49	56.02
V_Capacitor [V]	0	-7.29	-19.69	-42.40

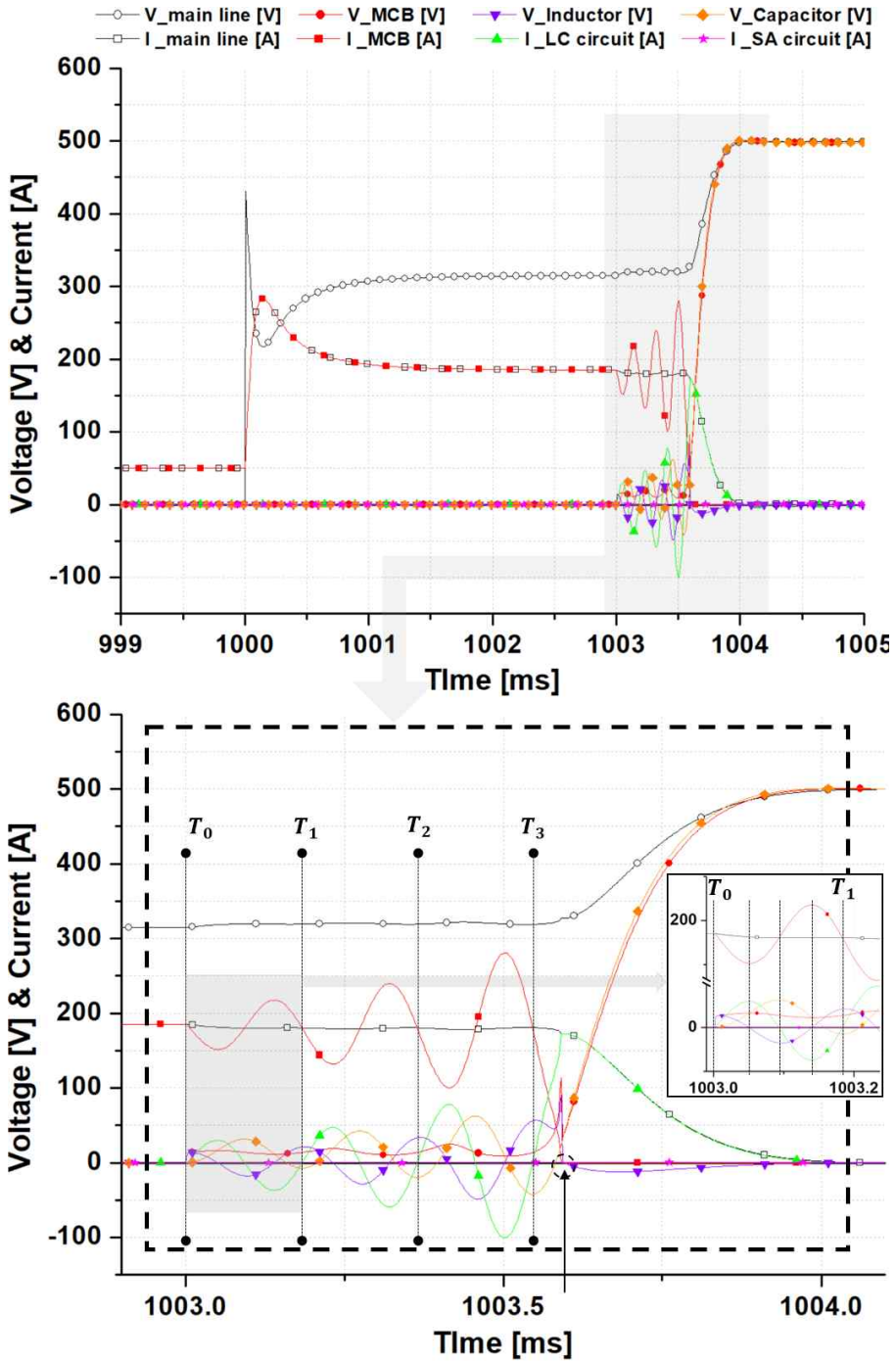


그림 3-73 초전도 DC 차단기의 [D-b]~[D-c]구간 동작 특성 그래프

Fig. 3-73 Graphs for operation characteristics of a superconducting DC circuit breaker [D-b]~[D-c]

## 5. HVDC 계통 적용 시뮬레이션 설계 및 결과

초전도 DC 차단기의 적용 유무에 따른 계통 동작 특성을 비교 분석하기 위해 DC 상정 고장 유형(1선 지락, 2선 단락)을 선정하였다. AC 상정고장 유형은 IGBT block 동작과 AC 차단기의 차단 동작에 의해 안전한 선로 개폐가 가능함을 시뮬레이션을 통해 확인하였다. 하지만, DC 상정고장 유형에서는 IGBT block 동작과 AC 차단기의 차단 동작에도 불구하고 HVDC 계통 내에서의 고장 전류는 약 5~16 kA로 높게 발생됨을 확인하였다. 그러므로 빈번한 고장 유형으로 야기되는 DC 1선 지락 고장 유형과 가장 위험한 DC 상정 고장으로 야기되는 DC 2선 단락 고장 유형을 대표 계통 모델로 선정하여 본 논문에서 제안하는 초전도 DC 차단기를 적용하였다.

### a. DC 1선 지락고장 적용

DC 계통의 1선(+상) 지락 고장이 수전단  $AC_1$  부근에 발생한 상태이며, 초전도 DC 차단기가 수전단  $DC_1$ 과 송전단  $DC_2$ 에 적용하였다.

그림 3-74는  $AC_1$ 과  $AC_2$ 에서의 전압 특성을 그래프로 나타냈으며, D구간에서 내부 이상전압(IGBT block 동작)은 초전도 DC 차단기 적용 전과 동일한 약 1001.65 ms( $AC_1$ ), 약 1005.85 ms( $AC_2$ )에서 발생하였다. 또한, AC 차단기의 동작은 약 1043.35 ms( $AC_1$ ), 약 1020.0 ms( $AC_2$ ) 시점에서 발생하였다. AC 차단기가 동작하기 전까지 수전단  $AC_1$ 의 전압(a, b, c상)은 모두 약 93 kV가 발생하였다. 송전단  $AC_2$ 에서도 AC 차단기 동작 이전에 발생한 전압(a, b, c상)은 약 187 kV가 발생하였다. AC 전압 흐름은 초전도 DC 차단기 적용 전과 동일하게 발생하였다.

그림 3-75는  $AC_1$ 과  $AC_2$ 의 전류 특성 그래프이다. D구간에서 내부 이상전압은 전압 특성과 동일한 시점에서 발생하였으며, 고장발생 시점부터 IGBT block 동작까지(약 1000 ~ 1001.65 ms)의  $AC_1$  각 a, b, c상 전류는 약 0.3 kA, 약 -0.3 kA, 약 -0.01 kA가 발생하였다. 이후, AC 차단기가 동작하기 전까지  $AC_1$ 의 전류는 약 0.05 kA, 약 0.06 kA, 0.05 kA가 발생하였다. 송전단  $AC_2$  전류는 AC 차단기 동작 전까지 약 0.02 kA, 0.03 kA, -0.03 kA가 발생하였다. AC에 흐르는 전류 또한 초전도 DC 차단기 적용 전과 동일한 흐름을 확인하였다.

그림 3-76은  $DC_1$ 과  $DC_2$ 의 전압 및 전류 그래프이다. D구간에서 1선 지락 고장 발생 직후,  $DC_1$ 의 전압은 약 404 kV에서 약 220 kV로 급격히 감소하는 흐름을 확



인하였다. 이후, 약 1002 ms 시점에서 최대 약 554 kV까지 증가하는 흐름을 확인하였다.  $DC_2$ 의 전압은 1선 지락 고장 발생 직후, 약 405 kV에서 224 kV로 급격히 감소하는 흐름을 확인하였다. 이후, 약 1001.5 ms 시점에서 최대 약 539 kV까지 증가하는 흐름을 확인하였다.  $DC_1$ 의 전류는 고장 발생 직후, -0.9 kA(약 1000.0 ms)에서 약 0.4 kA(약 1000.15 ms)로 전류의 크기와 방향이 바뀌었으며, 약 1001.65 ms에는 0 kA가 발생하였다.  $DC_2$ 의 전류는 고장 발생 이후, 약 0.9 kA(약 1000.0 ms)에서 약 4.3 kA(약 1001.15 ms)로 높은 초기 고장 전류가 발생하였다. 이는 약 1005.9 ms에서 전류 0 kA으로 감소함을 확인하였다. 위의 초전도 DC 차단기의 유무에 따른 변화는 그림 3-77을 통해 설명하였다.

그림 3-77은 초전도 한류 모듈의 저항 그래프이다. 초전도 한류 모듈은 그림 3-77의 초전도 한류 모듈의 저항 특성 그래프를 바탕으로 설계 하였으며, 약 1000.2 ms에서 quenching 동작이 수행되었다. 수전단  $DC_1$ 에서는 초전도 DC 차단기 유무에 따라 초기고장 전류가 약 0.4 kA에서 약 0.4 kA로 동일하게 발생하였다. 이는 초전도 한류 모듈의 quenching 동작 이전의 흐름이었다. 송전단  $DC_2$ 에서는 초전도 DC 차단기 유무에 따라 초기고장 전류가 약 5.2 kA에서 약 4.3 kA로 감소하였다. 이는 초전도 한류 모듈의 quenching 동작 이후의 흐름으로 확인되었다. 그림 3-77에서의 저항 상승 기울기가 그림 3-68 보다 느린 흐름은 선로 임피던스(arm 리액터, 변압기 Y- $\Delta$ , HVDC 케이블 등)의 영향으로 사료된다.

그림 3-78은  $AC_1$ 과  $AC_2$ 의 유효전력, 무효전력, 피상전력을 그래프로 나타내었다. 초전도 DC 차단기의 적용 유무에 따른  $AC_1$ 과  $AC_2$ 의 전력(유효, 무효, 피상) 흐름은 동일하게 발생하였다.

그림 3-79는 각 DC 1선 지락고장에 따른 A~D 구간의 P-V 특성이다. 초전도 DC 차단기의 적용 유무에 따른  $AC_1$ 과  $AC_2$ 의 P-V 특성 또한 이전과 동일한 흐름을 확인하였다.



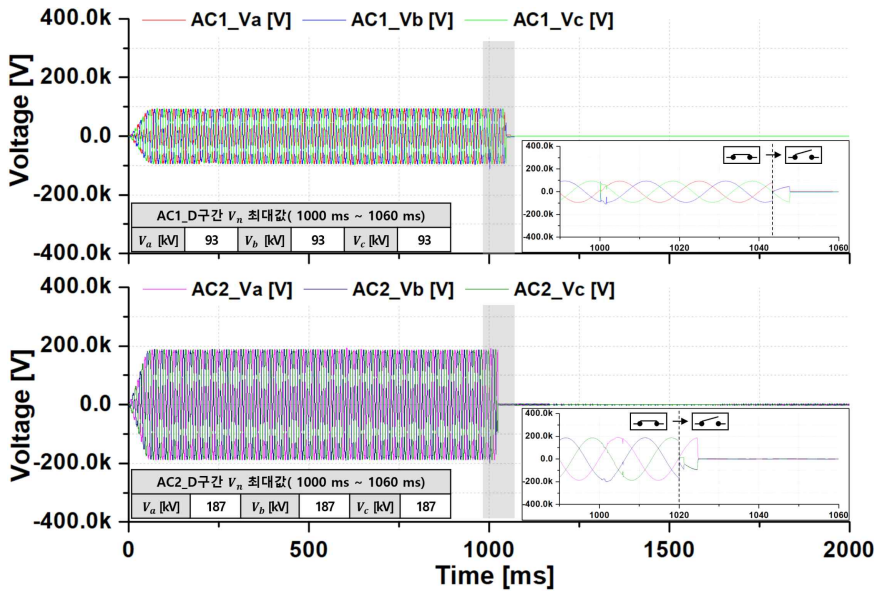


그림 3-74 초전도 DC 차단기의 적용에 따른 지락고장(1선)의 AC 전압  
 Fig. 3-74 AC voltages of DC pole-to-ground fault (1 line) according to application of a superconducting DC circuit breaker

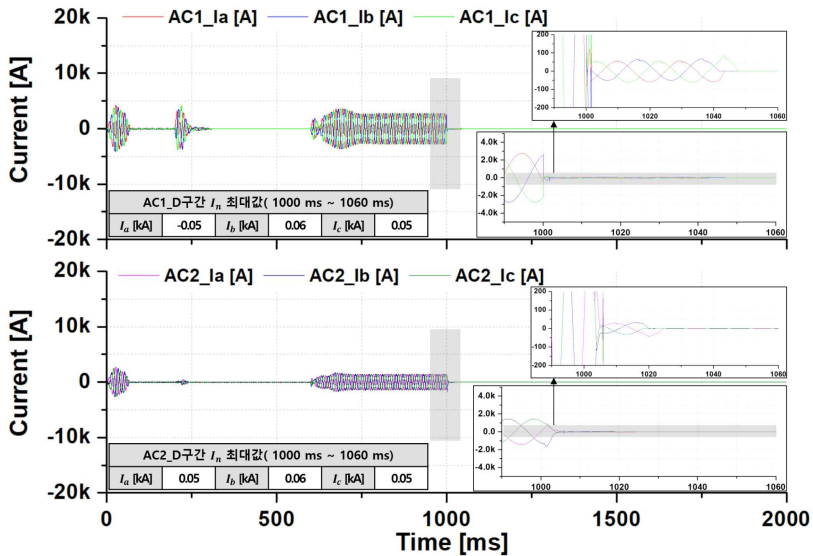


그림 3-75 초전도 DC 차단기의 적용에 따른 DC 지락고장(1선)의 AC 전류  
 Fig. 3-75 AC currents of DC pole-to-ground fault (1 line) according to application of a superconducting DC circuit breaker

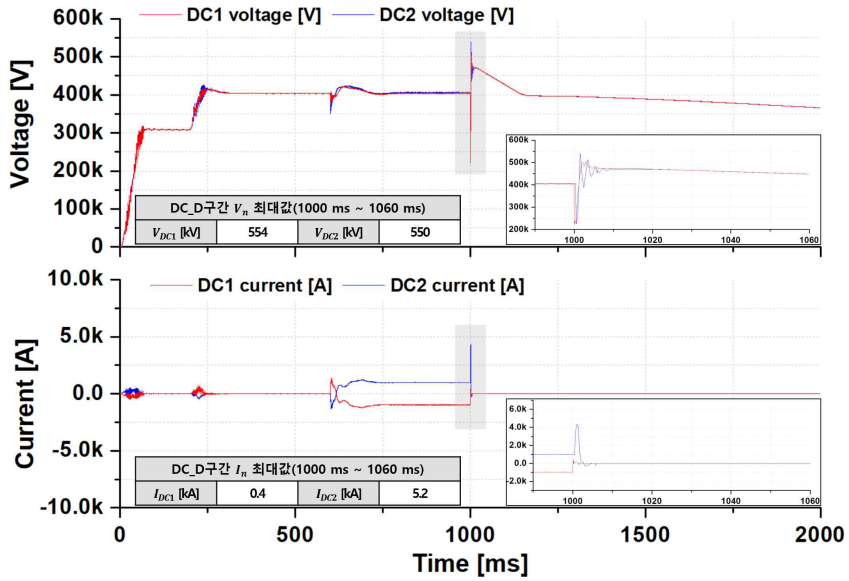


그림 3-76 초전도 DC 차단기의 적용에 따른 DC 지락고장(1선)의 DC 전압 및 전류  
 Fig. 3-76 DC voltages and currents of DC pole-to-ground fault (1 line) according to application of a superconducting DC circuit breaker

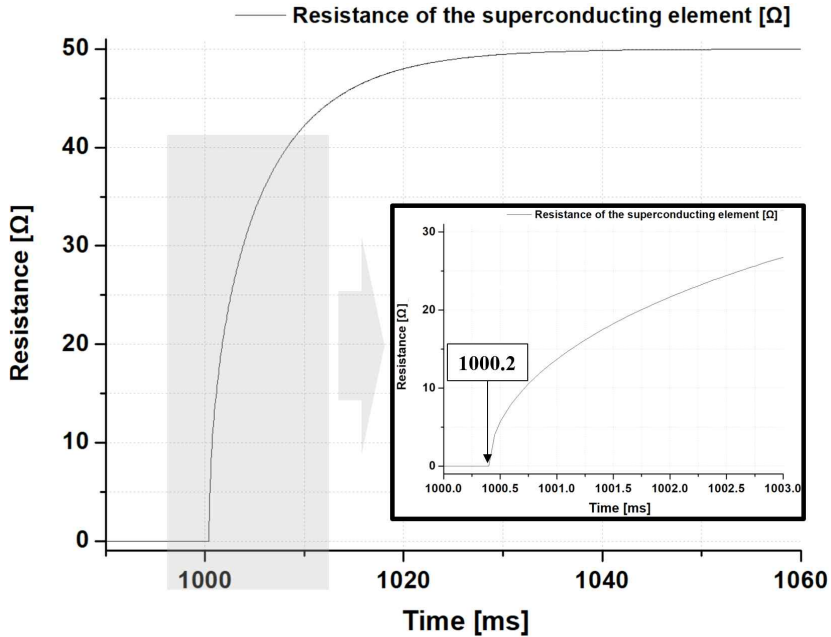


그림 3-77 초전도 한류 모듈의 저항 그래프

Fig. 3-77 Resistance graphs of a superconducting current-limiting module

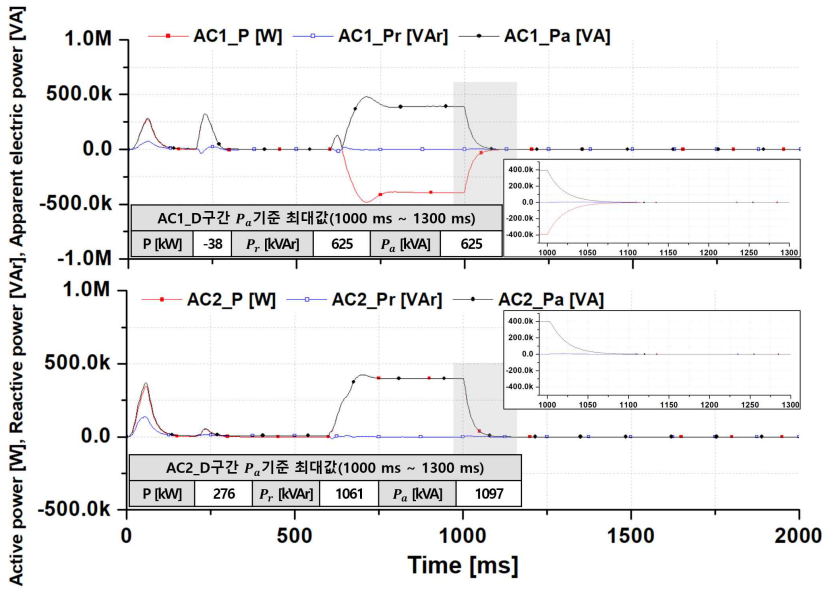


그림 3-78 초전도 DC 차단기의 적용에 따른 DC 지락고장(1선)의 AC 전력(유효, 무효, 피상)

Fig. 3-78 AC power (active, reactive, apparent) of DC pole-to-ground fault (1 line) according to the application of a superconducting DC circuit breaker

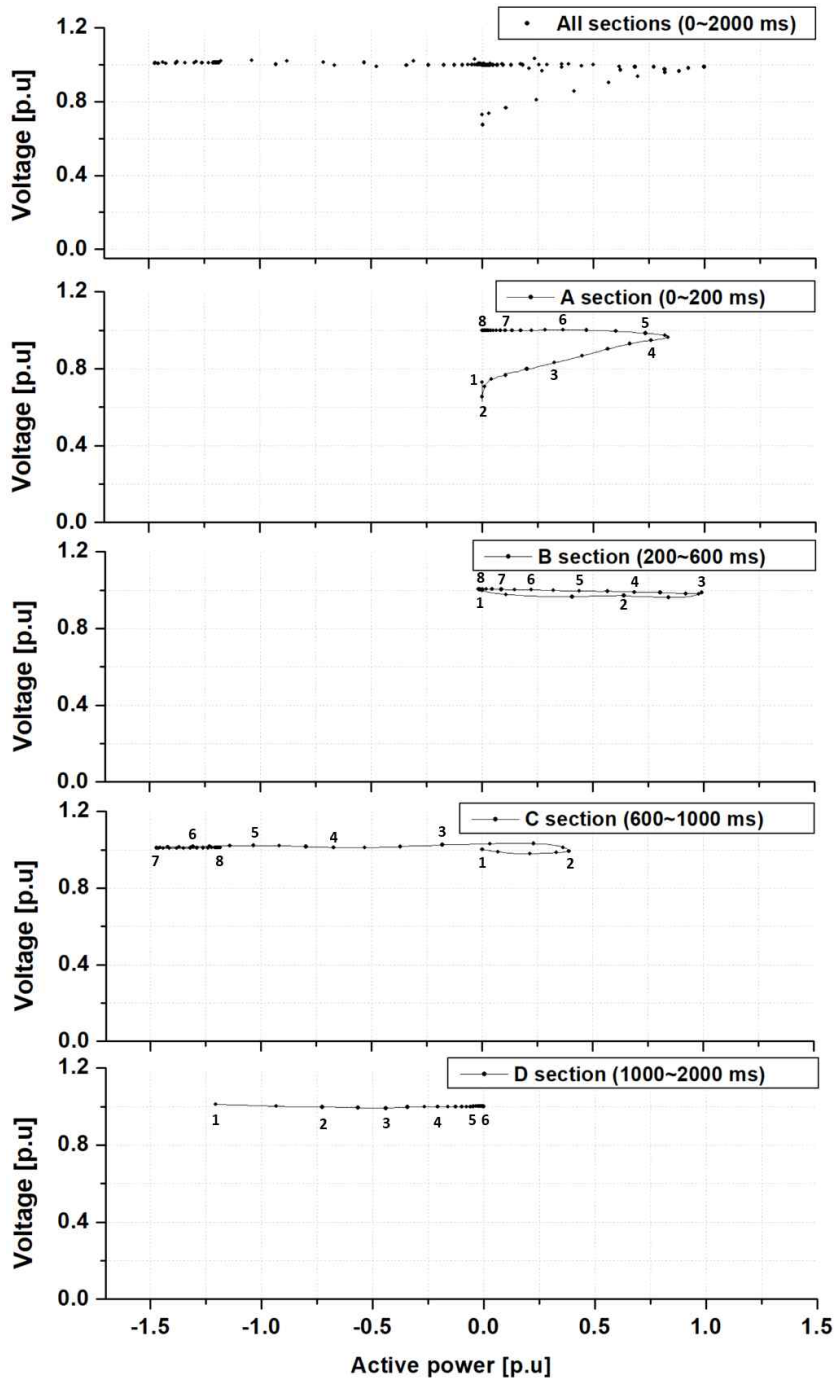


그림 3-79 초전도 DC 차단기의 적용에 따른 구간별 DC 지락고장(1선)의 P-V 특성  
 Fig. 3-79 P-V characteristics of DC pole-to-ground fault (1 line) by each section according to the application of a superconducting DC circuit breaker

### b. DC 2선 단락고장 적용

DC 계통의 2선(+, -상) 단락 고장이 수전단  $AC_1$  부근에 발생한 상태이며, 1선 지락 고장과 동일한 초전도 DC 차단기가 수전단  $DC_1$ 과 송전단  $DC_2$ 에 적용하였다.

그림 3-80은  $AC_1$ 과  $AC_2$ 에서의 전압 특성을 그래프로 나타냈으며, D구간에서 내부 이상전압(IGBT block 동작)은 약 1000.25 ms( $AC_1$ ), 약 1000.9 ms( $AC_2$ )에서 발생하였다. 또한, AC 차단기의 동작은 약 1049.75 ms( $AC_1$ )이었으며,  $AC_2$ 에서는 각 상별 약 1021.2 ms(a 상), 약 1019.0 ms(b 상), 약 1026.0 ms(c 상) 시점에서 발생하였다. AC 차단기가 동작 하기 전까지 수전단  $AC_1$ 의 전압(a, b, c상)은 모두 약 87 kV가 발생하였다. 송전단  $AC_2$ 에서도 AC 차단기 동작 이전에 발생한 전압(a, b, c상)은 약 177 kV가 발생하였다. AC 전압 흐름은 초전도 DC 차단기 적용 전보다 약 40 kV( $AC_1$ ), 약 20 kV( $AC_2$ ) 더 높게 발생하였다.

그림 3-81은  $AC_1$ 과  $AC_2$ 의 전류 특성 그래프이다. D구간에서 내부 이상전압은 전압 특성과 동일한 시점에서 발생하였으며, AC 차단기가 동작 하기 전까지  $AC_1$ 의 전류는 약 8.8 kA(a 상), 약 6.7 kA(b 상), 6.8 kA(c 상)가 발생하였다.  $AC_2$ 의 전류는 AC 차단기 동작 전까지 약 4.9 kA, 4.3 kA, 5.2 kA가 발생하였다. AC 전류 흐름은 초전도 DC 차단기 적용 전보다 약 2 배( $AC_1$ ,  $AC_2$ ) 더 낮게 발생하였다.

그림 3-82는  $DC_1$ 과  $DC_2$ 의 전압 및 전류 그래프이다. D구간에서 2선 단락 고장 발생 직후,  $DC_1$ 의 전압은 약 404 kV에서 약 0.1 kV로 급격히 감소하는 흐름을 확인하였다. 이후, 약 1009 ms 시점에서 최대 약 177 kV까지 증가하는 흐름을 확인하였으며, 약 1051.35 ms에서 0 kV가 되었다.  $DC_2$ 의 전압은 2선 단락 고장 발생 직후, 약 407 kV에서 -150 kV로 급격히 감소하는 흐름을 확인하였다. 이후, 약 1002 ms 시점에서 최대 약 243 kV까지 증가하는 흐름을 확인하였으며, 약 1050.65 ms에서 0 kV가 되었다.  $DC_1$ 의 전류는 고장 발생 직후, -0.9 kA(약 1000.0 ms)에서 약 1.6 kA(약 1000.05 ms)로 전류의 크기와 방향이 바뀌었으며, 약 1005.45 ms에서 4.6 kA의 높은 고장 전류가 발생하였다. 이후, 약 1051.35 ms에는 0 kA가 발생하였다.  $DC_2$ 의 전류는 고장 발생 이후, 약 0.9 kA(약 1000.0 ms)에서 약 7.7 kA(약 1000.8 ms)로 높은 초기 고장 전류가 발생하였다. 이후, 약 1050.65 ms에서 전류 0 kA으로 감소함을 확인하였다. 수전단  $DC_1$ 에서는 초전도 DC 차단기 유무에

따라 초기고장 전류가 약 11.0 kA에서 약 4.6 kA로 감소하였다. 이는 약 58 % 한류율을 보였다. 송전단  $DC_2$ 에서는 초전도 DC 차단기 유무에 따라 초기고장 전류가 약 16.0 kA에서 약 7.7 kA로 감소하였다. 이는 약 51.8 %의 한류율임을 확인하였다. 초전도 DC 차단기의 적용 유무에 따른 차단 시간은  $DC_1$ 과  $DC_2$ 에서 각각 약 576.65 ms, 약 567.95 ms가 단축되었다.

그림 3-83은  $AC_1$ 과  $AC_2$ 의 유효전력, 무효전력, 피상전력을 그래프로 나타내었다. 초전도 DC 차단기의 적용 유무에 따른  $AC_1$ 과  $AC_2$ 의 전력(유효, 무효, 피상) 흐름은 동일하게 발생하였다.

그림 3-84는 각 DC 2선 단락고장에 따른 A~D 구간의 P-V 특성이다. 초전도 DC 차단기의 적용 유무에 따른  $AC_1$ 과  $AC_2$ 의 P-V 특성 또한 이전과 동일한 흐름을 보였다.

표 3-12를 통해 초전도 DC 차단기 적용에 따른 DC 상정 고장의 특성 데이터를 비교하여 정리하였다.

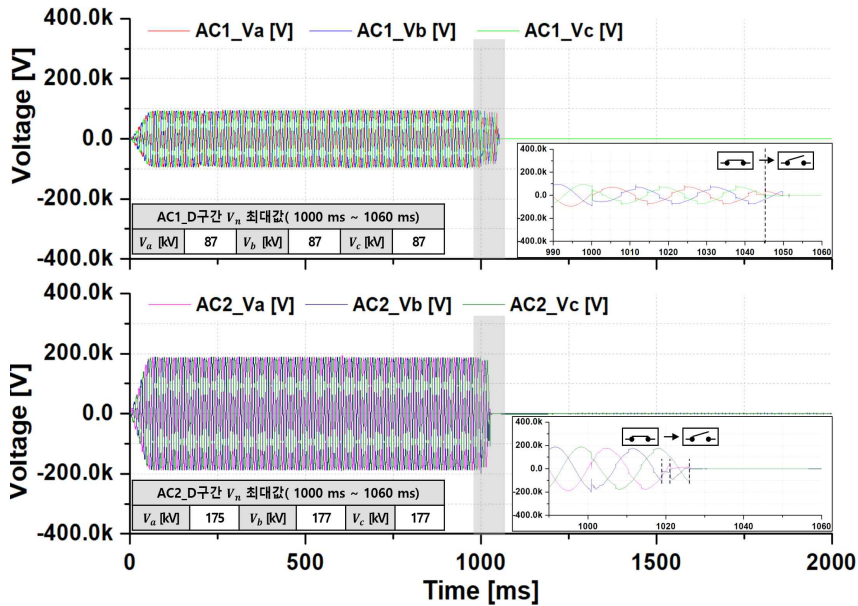


그림 3-80 초전도 DC 차단기의 적용에 따른 단락고장(2선)의 AC 전압  
Fig. 3-80 AC voltages of DC pole-to-pole fault (2 lines) by application of a superconducting DC circuit breaker

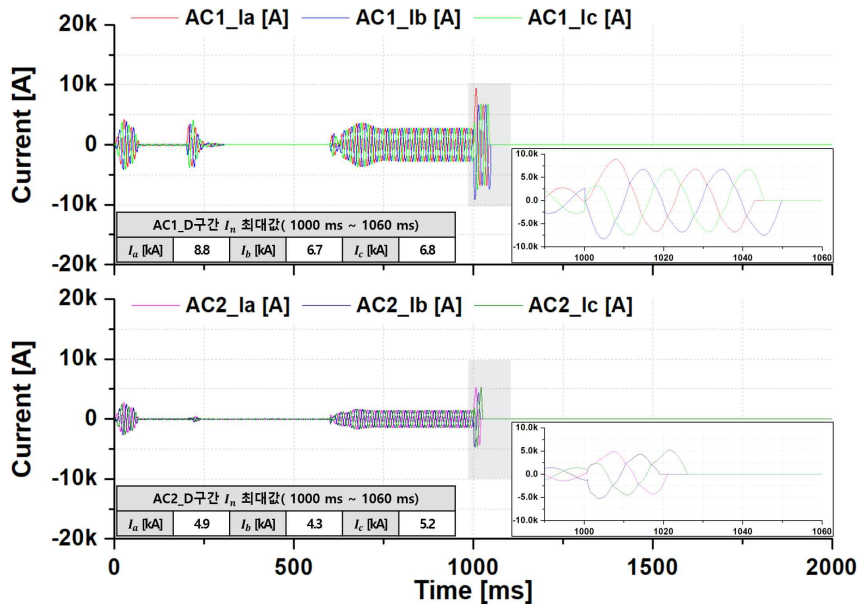


그림 3-81 초전도 DC 차단기의 적용에 따른 DC 단락고장(2선)의 AC 전류  
Fig. 3-81 AC currents of DC pole-to-pole fault (2 lines) by application of a superconducting DC circuit breaker

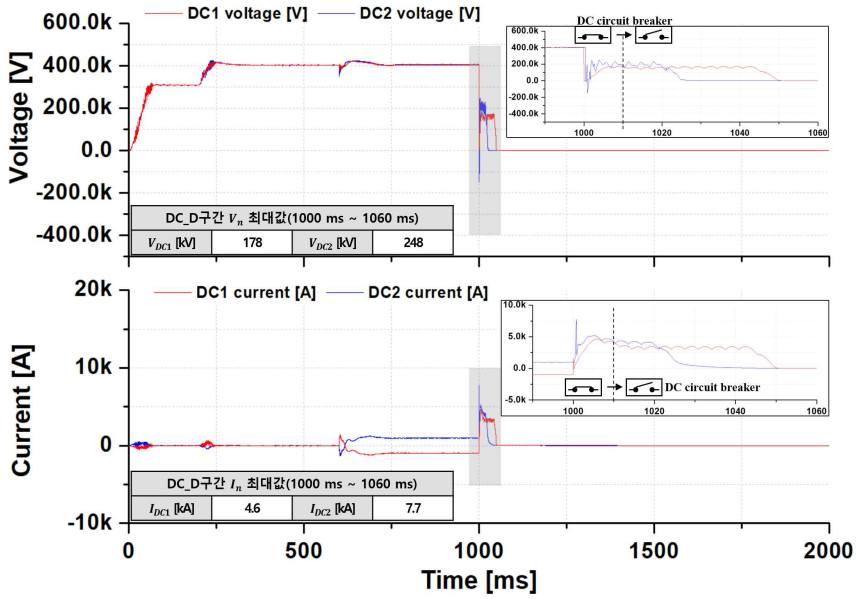


그림 3-82 초전도 DC 차단기의 적용에 따른 DC 단락고장(2선)의 DC 전압 및 전류  
Fig. 3-82 DC voltages and currents of DC pole-to-pole fault (2 lines) by application of a superconducting DC circuit breaker

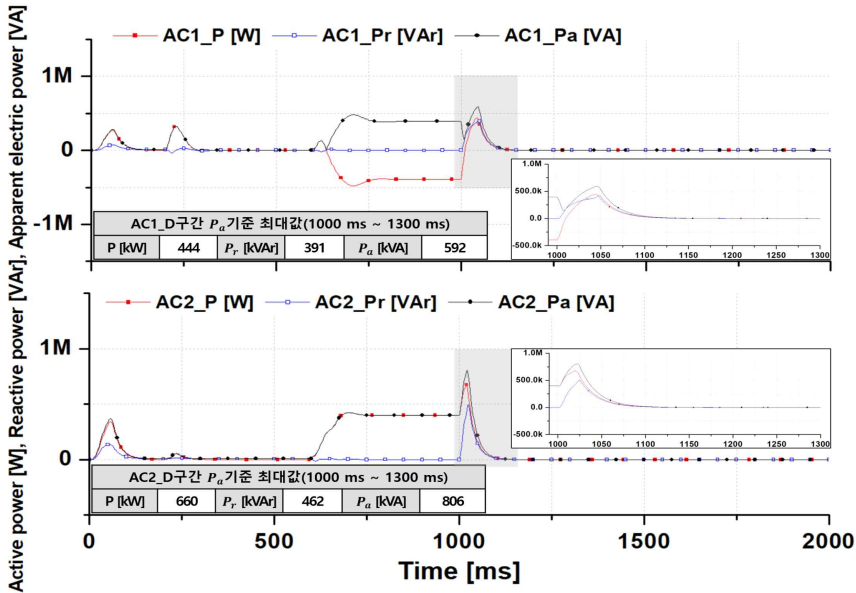


그림 3-83 초전도 DC 차단기의 적용에 따른 DC 단락고장(2선)의 AC 전력(유효, 무효, 피상)  
Fig. 3-83 AC power (active, reactive, apparent) of DC pole-to-pole fault (2 lines) by application of a superconducting DC circuit breaker



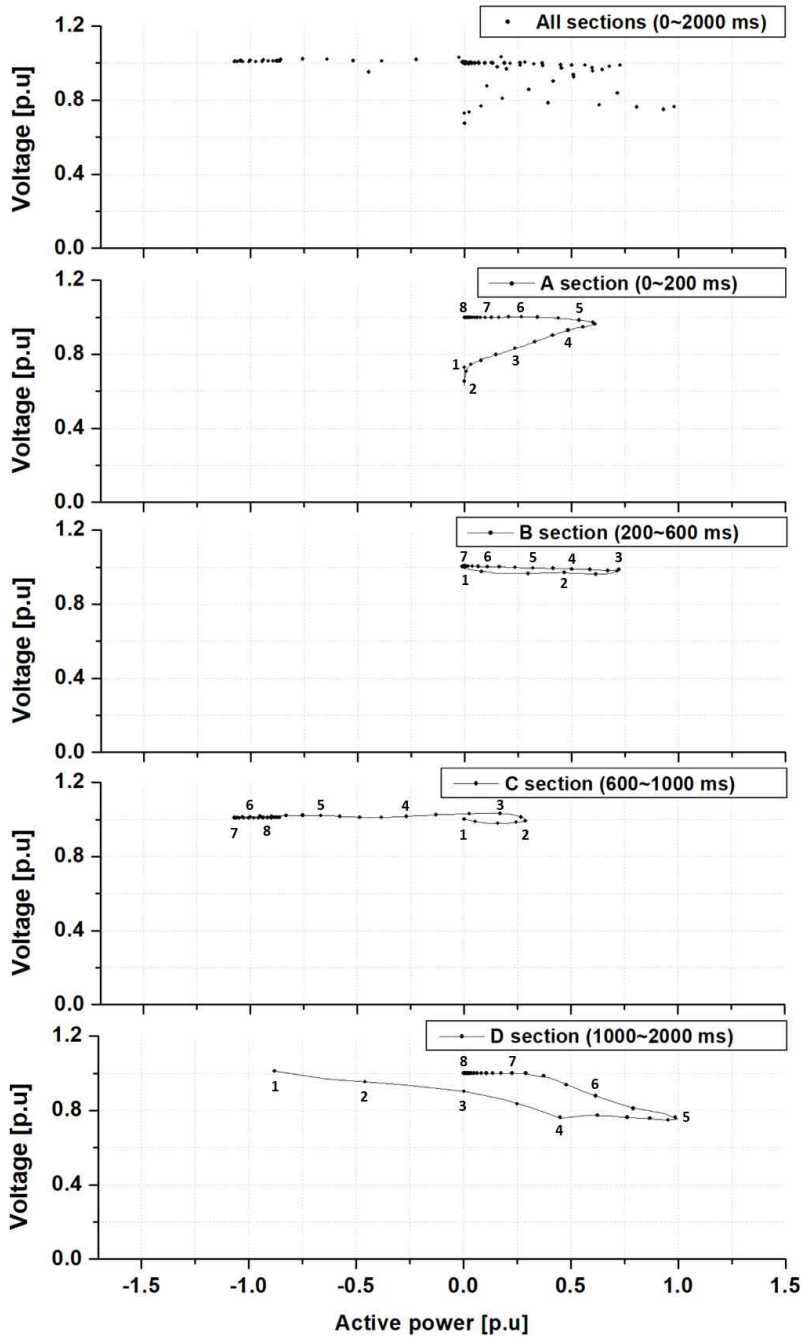


그림 3-84 초전도 DC 차단기의 적용에 따른 구간별 DC 단락고장(2선)의 P-V 특성  
 Fig. 3-84 P-V characteristics of DC pole-to-pole fault (2 lines) by each section according to the application of a superconducting DC circuit breaker

표 3-12 초전도 DC 차단기 적용에 따른 특성 비교 데이터

Table 3-12 Characteristic comparison data according to application of a superconducting DC circuit breaker

DC 상정 고장 유형		DC			
		1선 지락		2선 단락	
초전도 DC 차단기 적용		전	후	전	후
$AC_1$	전압 [kV] (a,b,c상)	93	93	48	87
		/93	/93	/47	/87
		/93	/93	/44	/87
	전류 [kA] (a,b,c상)	-0.5	-0.5	16	8.8
		/2.6	/2.6	/-12	/6.7
		/-2.1	/-2.1	/-14	/6.8
차단시간 [ms]		1047.7	1047.7	1047.5	1049.7
$AC_2$	전압 [kV] (a,b,c상)	187	187	191	177
		/187	/187	/149	/177
		/187	/187	/141	/177
	전류 [kA] (a,b,c상)	0.8	0.8	10	4.9
		/-1.6	/-1.6	/7.8	/4.3
		/0.8	/0.8	/-9.8	/5.2
차단시간 [ms]		1024.6	1024.6	1027.5	1026.05
$DC_1$	전압 [kV] (+/-)	554	554	0	178
	전류 [kA] (+/-)	0.4	0.4	11	4.6
	차단시간 [ms]		1003.9	1001.65	1628.0
$DC_2$	전압 [kV] (+/-)	559	550	479	248
	전류 [kA] (+/-)	5.2	5.2	16	7.7
	차단시간 [ms]		1006.45	1005.9	1618.6
비 고		양호	양호	위험	양호

## IV. 실험 설계 및 결과

### A. 실험 순서

4장에서는 3장에서 연구된 초전도 DC 차단기 모델을 Scale-down 시작품을 제작하였고 실험실 내에 구비되어 있는 실험 장비를 바탕으로 차단 동작 특성을 분석하였다. 실험실 내의 구비되어 있는 실험장비를 소개하였고, 초전도 DC 차단기의 각 한류부와 차단부에 대한 각 요소들의 선정 기준을 설명하였다. 특히, LC 발산진동회로의 리액터와 커패시터의 변수에 대한 LC 발산진동회로의 동작 특성을 실험 데이터로 확인하였다. 이후, 초전도 DC 차단기의 차단 동작 특성을 실험을 통해 분석하여 정리하였다.

### B. 실험 설계

그림 4-1은 실험실에 구비되어 있는 DC 배터리 뱅크 1과 2의 사진이다. 이는 150 AH-12 V의 납축 배터리로 총 63개의 직렬 연결되어 있으며, 최대 약 800 V 까지 출력이 가능하다.

그림 4-2는 모의고장 발생 장치로 구성된 시스템이다. 그림 4-3은 모의고장 발생 장치의 회로도이다. ①은 DC 전원이며, ②는 고장발생장치를 보호하는 차단기이며, 정상 및 고장 회로에 연결되어 있다. ③은 SCR 스위칭 회로이며, 정상 회로에서 고장회로로 bypass 동작을 수행한다. ④는 정상 부하이며, ⑤는 고장 부하이다. ⑥은 차단 시험 모델을 적용할 수 있는 지점이다. 이는 그림 4-1의 DC 전원과 연결되어 있고, 정상 및 고장 회로(2회선)로 구성되어 있으며, 각 회로에 정상 및 고장 부하가 연결되어 있다. 정상 부하는 약 10~46.8 Ω, 고장 부하는 약 1~0.1 Ω까지 설정할 수 있다. 또한, 고장발생장치 컨트롤러를 통해 최소 60 ms 까지 차단 동작을 제어할 수 있다.

그림 4-4는 냉각 시스템으로 가로 760 mm, 세로 510 mm, 높이 440 mm 상자에 두께 30 mm인 스티로폼으로 제작되었다. 이에 폴리에틸렌(PE) 비닐을 씌워 작업을 수행하였다. 그림 4-4 오른쪽 사진은 액체질소를 담은 특수 제작된 용기가 있다. 이 3중겹으로 외부의 온도에 영향을 받지 않아 오래도록 내부 온도를 유지할 수 있도록 설계하였다.



그림 4-1 DC 배터리 뱅크 1, 2  
Fig. 4-1 DC battery banks 1 and 2

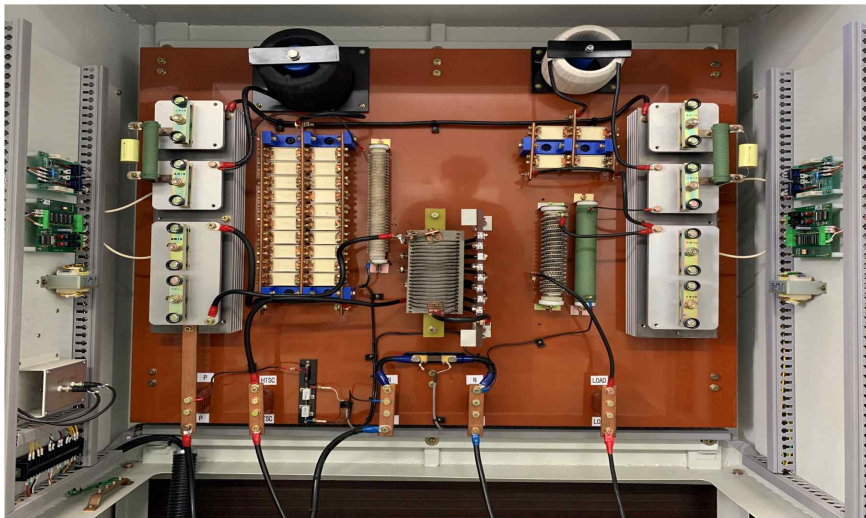


그림 4-2 모의고장 발생 장치 시스템  
Fig. 4-2 Device system for simulation accident

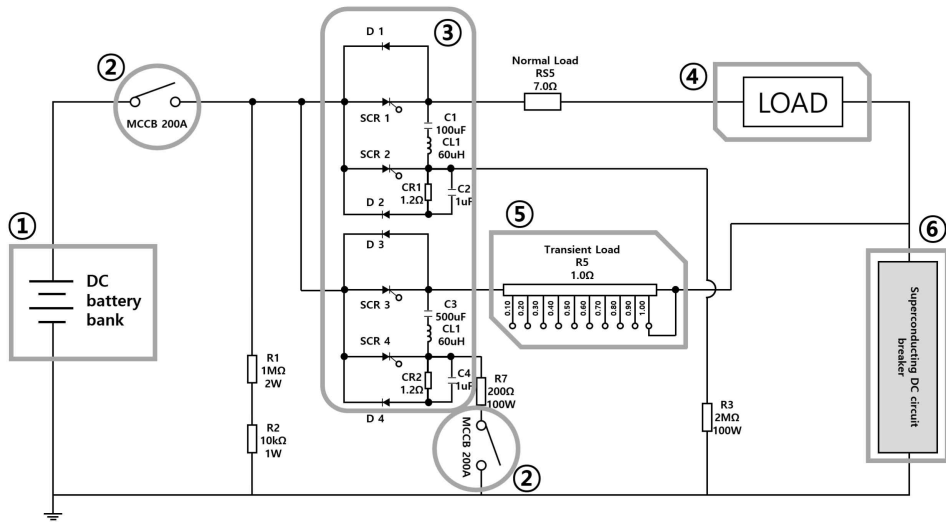


그림 4-3 모의고장 발생 장치 시스템의 회로도

Fig. 4-3 Circuit diagram of device system for simulation accident



그림 4-4 냉각 시스템

Fig. 4-4 Cooling system

## C. 한류부

### 1. 초전도 한류 모듈 선정

저항형 초전도 한류 모듈은 77 K의 저온 및 임계 조건 내에서 전기 저항이 0인 초전도 특성과 quenching 특성을 보이므로 그림 4-4와 같은 냉각 시스템을 사용해야 한다.

계통 과도 상태에서 별도의 고장 전류 감지 기술 없이 초전도체 자체에서 임계 특성에 따라 quenching 특성이 발생하여 고장 전류를 한류한다. 초전도 한류 모듈은 시뮬레이션 결과를 바탕으로 실계통에서 발생하는 초기 고장 전류의 성장을 억제한다는 점이 강점이며 DC 전력계통 안정화에 매우 적합하다.

초전도 DC 차단기에 적용된 초전도 한류 모듈은 초전도 선재를 이용하여 설계하였으며, Bifilar-Meander 방식의 권선법을 사용하였다. 이는 고장 전류의 흐름을 통해 발생하는 발열을 대비하여 일정 간격을 주었으며, 초전도 선재간 임피던스를 줄이고자 Bifilar 방식으로 선재를 설계하였다. 선행 시뮬레이션 연구와 같이 초전도 한류 모듈의 한류 용량을 높이기 위해서는 초전도 선재의 사용량을 증가시켜야 하며, 초전도 한류 모듈의 부피 또한 고려해야 했다.

초전도 선재를 선정할 때 세 가지 조건을 고려하였다. 첫 번째, 초전도 선재의 안정화제(Cu, Brass, SUS alloy 등)이며, 이의 구성 요소에 따라 초전도 상태에서의 안정적인 동작이 수행된다. 또한, 안정화제에 따라 선로 과도 상태에서의 quenching 특성이 변화하는데, 안정화제의 성능과 quenching 특성은 서로 반비례함을 고려하였다. 두 번째, 초전도 선재 내에 구성된 비전도 물질(SUS, Bulk, Ag layer 등)이며, 이에 따라 발생하는 저항력의 차이를 고려하였다. 세 번째, 초전도 선재의 절연 방법에 따라 변화하는 quenching 발생 속도, 회복 속도, 기계적 성능 등의 특성을 고려하였다. 초전도 선재는 대표적으로 AMSC, Superpower, SuNAM 등에서 제작되고 있다. 본 논문에서 사용된 초전도 선재는 국내에 위치한 SuNAM의 GdBCO 초전도 선재를 사용하였다. 이는 2세대 고온초전도 선재이며, 구리(Cu) 안정화 층을 입힌 제품이다. 초전도 선재의 폭은 약 4.1 mm, 두께는 약 0.14 mm였다.

## 2. Bifilar-Meander 방식의 초전도 한류 모듈 설계 및 결과

그림 4-5는 Maxwell 프로그램으로 설계한 개선된 Bifilar-Meander 방식의 초전도 한류 모듈이다. 이 모듈의 초전도 선재 길이는 약 25.17 m로 설계하였으며, GdBCO 초전도 선재가 권선되어 있다. 그림 4-6은 실험실에 제작한 Scale-down된 초기 Meander 방식의 시작품이다. 초전도 선재 총 길이는 약 5 m이며, 초전도 선재간 pitch 간격은 약 4 mm이다. 본 논문은 그림 4-6의 시작품 초전도 한류 모듈을 통해 시뮬레이션 초전도 한류 모듈(그림 4-5)의 quench 저항을 유추하였다.

그림 4-7은 실험을 통해 초전도 한류 모듈의 유무에 따라 발생하는 고장 특성을 그래프로 나타내었다. 초전도 한류 모듈을 적용하지 않았을 때, 정상전류는 약 43.8 A가 발생하였고, 약 1.0 ms에서 고장이 발생하였다. 이후, 약 1.36 ms에서 초기고장 전류 약 495.6 A가 발생하였다. 초전도 한류 모듈이 적용 되었을 때, 정상전류는 이전과 동일한 약 43.8 A가 발생하였고, 약 1.0 ms 시점에서 고장이 동일하게 발생하였다. 이후, 초기고장 전류는 약 1.24 ms에서 약 459.1 A가 발생하였다. 이는 초기고장 전류가 최댓값에 도달하는 시간이 초전도 한류 모듈의 유무에 따라 약 0.12 ms 단축되었고, 고장 전류는 약 36.5 A로 약 7.3 % 저감됨을 확인하였다.

그림 4-8은 실험을 통해 초전도 한류 모듈의 quenching 특성을 나타낸 그래프이다. 고장 발생시점은 그림 4-7과 같이 약 1.0 ms이다. 이후, 초기고장 전류는 1.36 ms에서 약 495.6 A가 발생하였고, 약 10 ms에서 약 318.1 A가 발생하였다. 이후, 약 20 ms에서 약 259.3 A, 약 30 ms에서 약 225.8 A, 약 40 ms에서 약 201.5 A, 약 50 ms에서 약 184.3 A가 발생하였다. 실험실의 안전을 위해 그림 4-3의 ②번인 고장발생장치 주차단기가 약 60 ms 시점에서 동작하였다.

그림 4-9는 실험을 통해 확보된 전압과 전류 데이터를 기반으로 초전도 한류 모듈의 quenching 저항값을 그래프로 나타내었다. 고장 발생 시점인 약 1 ms에서부터 quenching 저항이 발생하였으며, 고장발생 장치의 주 차단기가 동작할 때까지 증가하였다. 초전도 한류 모듈의 최대 저항값은 약 1.77  $\Omega$ 였다.



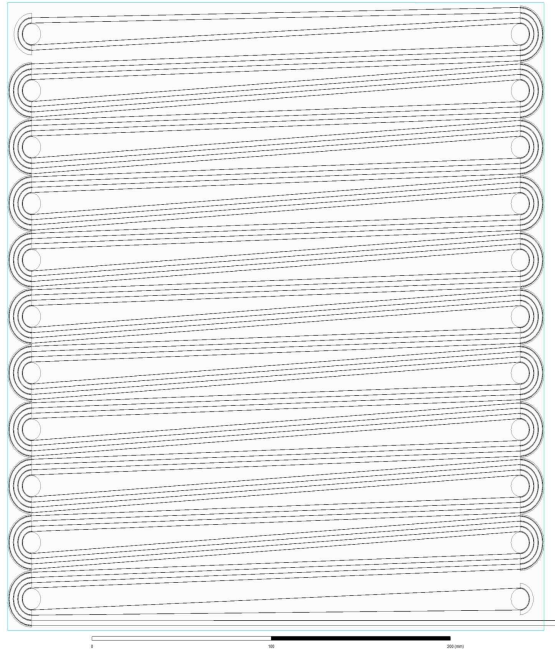


그림 4-5 개선된 Meander 방식의 초전도 한류 모듈 모델링

Fig. 4-5 Modeling of the improved meander method of a superconducting current-limiting module



그림 4-6 Meander 방식의 초전도 한류 모듈 시작품

Fig. 4-6 Prototype of meander-type superconducting current-limiting module



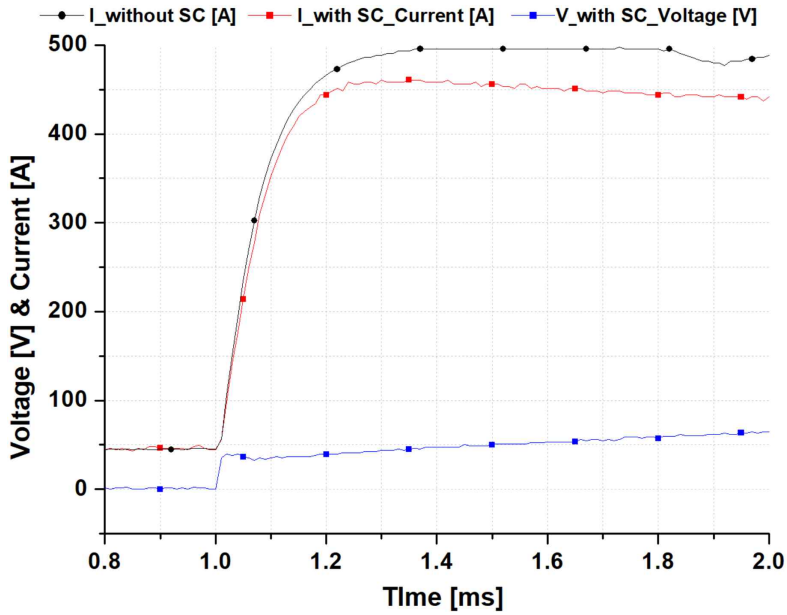


그림 4-7 초전도 한류 모듈 유무에 따른 초기고장 전류 비교 그래프  
 Fig. 4-7 Comparison graphs of initial fault current with or without a superconducting current-limiting module

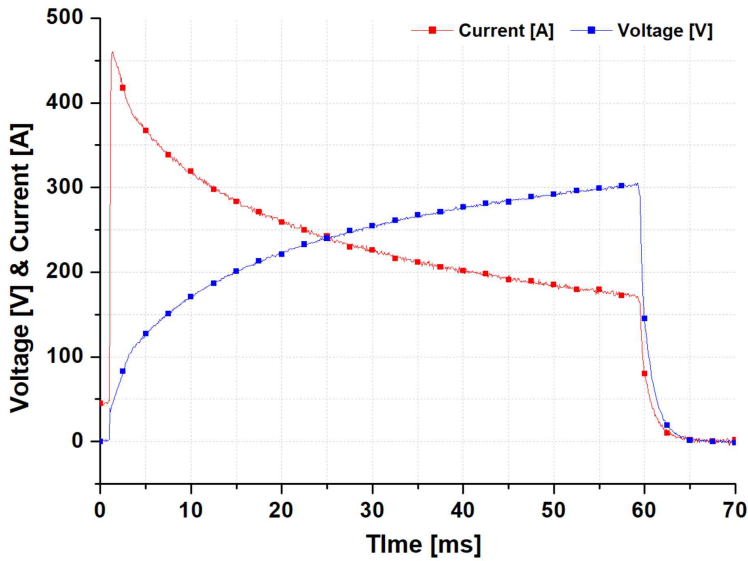


그림 4-8 초전도 한류 모듈 quench 동작 특성 그래프  
 Fig. 4-8 Characteristic graphs of quench operation of a superconducting current limiter

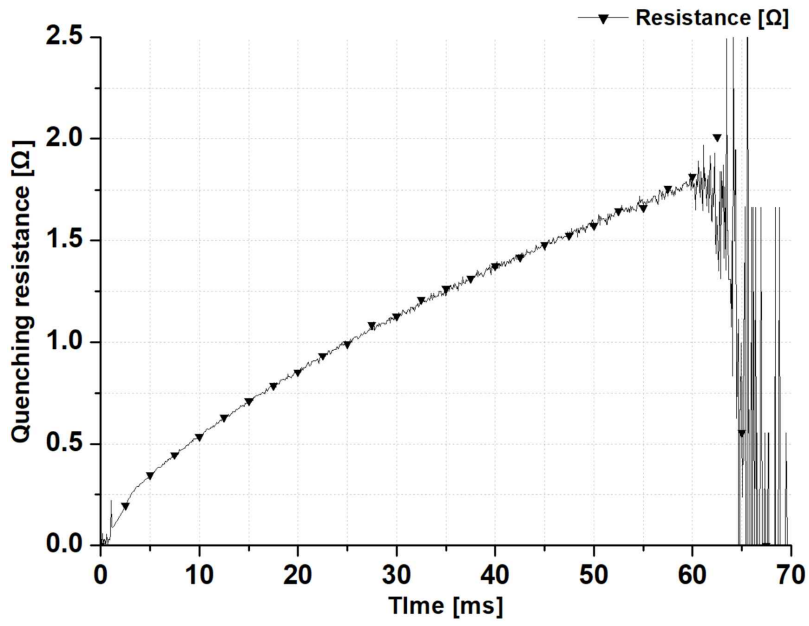


그림 4-9 초전도 한류 모듈 저항 특성 그래프

Fig. 4-9 Resistance graph of operation of a superconducting element

## D. 차단부

### 1. 기계식 DC 차단기 선정

기계식 DC 차단기는 DC circuit breaker, LC divergence oscillation circuit, Absorption circuit으로 구성하며, 이 회로들이 병렬로 연결되어 전압의 변화에 따라 passive 동작이 발생한다. DC circuit breaker는 기계식 차단기인 MCB가 구성되고, LC divergence oscillation circuit은 L(리액터)와 C(커패시터)가 직렬로 연결되어 구성한다. Absorption circuit에는 피뢰기를 적용한다. 기계식 DC 차단기는 고장이 발생하면, CT에 따라 고장을 인지함에 따라 DC circuit breaker가 개극 동작을 수행하고, 이에 따라 LC divergence oscillation circuit의 인덕터와 커패시터에서 공진이 형성되어 발산진동 전류가 흐르게 된다. 이는 MCB의 고장 전류에 영향을 주며, MCB의 고장 전류는 발산 진동 흐름에 의해 인위적인 전류 영점에 도달하게 된다. MCB의 차단이 완료되면, TIV 발생으로 absorption circuit의 피뢰기가 동작하여 선로상의 잔류 전류를 접지로 흘려보내 차단 동작을 완료시킨다.

실험에 사용된 MCB는 LSIS사의 Susol MCCB를 사용하였고, 이는 정격전압 직류 500 V, 2극 DC 회로 차단기이다. 정확한 LC 발산진동회로의 변수에 따른 동작 특성을 확인하고자 신뢰도 높은 MCB의 개방 동작을 구현할 수 있는 기계식 DC 차단 스위치를 사용하였다. 이는 개폐조작 기구부가 있어 접점의 접촉압력을 일정하게 유지할 수 있으며, 최적의 Cam curve를 통하여 가동접촉자를 신속하게 개방한다. 또한, 아크소호부의 PASQ형 아크소호장치가 적용하였으며, 이 장치 프레임의 크기는 100 AF이며, 정격 통전 전류는 최대 100 A, 정격임펄스전압은 8 kV이다.

## 2. LC 발산진동회로 실험 설계 및 결과

### a. 리액터 변수에 따른 LC 발산진동회로 동작 특성 실험

LC 발산진동회로의 리액터와 커패시터의 변화에 따른 기계식 DC 차단기의 동작 특성을 분석하기 위해, 정격전압과 전류는 약 500 V, 50 A로 설정하였다. 정상 부하는 약 10 Ω, 고장부하는 약 1 Ω으로 설정하였다.

그림 4-10은 실험에 사용된 리액터와 커패시터이다. 그림 4-10(a)은 리액터의 변수를 설정하기 위한 리액터 장비이며, 약 12  $\mu H$ 와 약 43  $\mu H$ 의 리액터를 각 10개씩 제작하였다. 본 실험에서는 약 5, 15, 25, 35, 45  $\mu H$ 의 리액터를 선정하여 실험에 활용하였다. 그림 4-10(b)은 커패시터의 변수를 설정하기 위한 장비이며, 이번 실험에서는 약 750  $\mu F$ 를 고정하여 설정하였다.

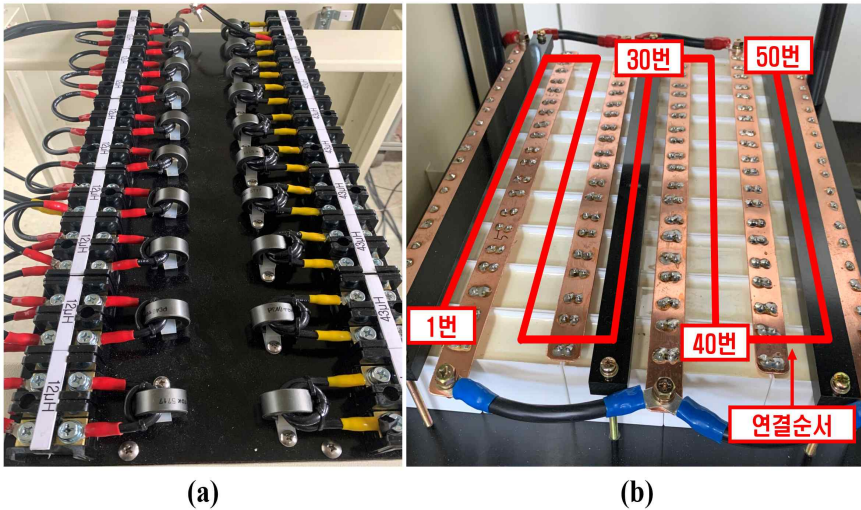


그림 4-10 실험에 사용된 리액터와 커패시터

Fig. 4-10 Reactors and capacitors used in the experiment

그림 4-11부터 4-20까지는 DC 차단기에 Reactor의 변수를 적용한 차단 동작 특성 그래프이다. 그래프에서 Voltage\_MCB [V]는 기계식 차단 접점에서 발생한 전압을 말한다. Current\_Main circuit [A]은 DC 차단기에 초기 유입된 전류를 말한다. 이는 키르히호프 제 1법칙에 의해 Current\_MCB [A]와 Current\_LC circuit [A] 그리고 Current\_SPD [A]의 총합과 같다. 하지만, 이는 MCB의 차단 동작 과정에서 발산되어 소모되는 열, 빛 에너지등을 고려하지 않은 조건이다. Current\_MCB [A]는 MCB에 흐르는 전류를 말한다. Current\_LC circuit [A]는 LC 발산진동회로에 흐르는 전류를 말한다. Current\_SPD [A]는 피뢰기에 흐르는 전류를 말한다. 그래프에는 A와 B, C의 각각의 시점이다. A는 고장이 발생한 시점이며, B는 MCB의 개방 동작이 시작되는 시점, C는 고장이 완전히 차단된 시점이다. a는 MCB의 초기고장 고장 전류의 최대값이 발생한 시점이며, b는 MCB의 고장 전류가 인위적인 차단 영점에 도달한 시점이다. 각각의 시점에 발생하는 MCB와 LC 발산진동회로, SPD에 흐르는 전류값을 표 4-1에 정리하였다. 또한, 차단 동작에 따른 MCB와 LC 발산진동회로에 발생하는 전력부담을 정리하였다. 모든 고장 발생 시점을 약 352.0 ms로 조정하여 비교분석 하였다.

본 실험은 리액터의 변수에 따라 발생하는 LC 발산진동회로의 동작 특성을 비교 분석하고 각 요소 선정에 필요한 기준을 제안하였다. 리액터 변수는 약  $5 \mu H$ 부터  $45 \mu H$ 까지  $10 \mu H$  간격을 두어 적용하였고, 커패시터는 약  $750 \mu F$ 를 고정하여 진행하였다. 각각의 경우에 따른 공진 주파수는 약 2599, 1500, 1162, 982, 866 Hz였다.

첫 번째, 리액터  $5 \mu H$ 와 커패시터  $750 \mu F$ 를 적용했을 때, 고장발생 시점은 약 352.0 ms에서 발생하였다. 정상전류는 약 46.7 A가 발생하였다. 초기고장 전류는 약 352.5 ms에서 약 485.0 A가 발생하였다. MCB의 개방동작은 약 368.0 ms에서 발생하였고, 고장 전류는 약 415.0 A였다. 고장이 발생한 이후부터 MCB의 개방동작이 발생하기까지 걸린 시간은 약 16 ms였다. MCB에 흐르는 고장 전류는 약 369.7 ms에서 인위적인 차단전류 영점에 도달함을 확인하였다. MCB의 개방동작 이후 고장 전류가 인위적인 차단 영점에 도달하기까지 걸린 시간은 약 1.7 ms였다. 차단 완료 시점은 약 376.2 ms였다. MCB의 개방 동작 이후 차단이 모두 완료된 시점까지 걸린 시간은 약 8.2 ms였다. MCB의 전력부담은 고장이 발생한 시점부터 차단이 완료된 시점까지이며, LC 발산진동회로의 전력부담은 MCB의 개방동작이 시작된 시점부터 차단이 완료된 시점까지이다. MCB와 LC 발산진동회로의 고장

전류에 의한 전력 부담은 각각 72.2 % (173,377 W), 27.8 % (66,927 W) 분담하여 발생하였다. 실험 인가전압(약 500 V)에 따라 SPD의 동작 전압(1000 V)에 도달하지 않아 동작하지 않았다.

두 번째, 리액터 15  $\mu H$ 와 커패시터 750  $\mu F$ 를 적용했을 때, 고장발생 시점은 약 352.0 ms에서 발생하였다. 정상전류는 약 46.7 A가 발생하였다. 초기고장 전류는 약 352.5 ms에서 약 500.0 A가 발생하였다. MCB의 개방동작은 약 367.6 ms에서 발생하였고, 고장 전류는 약 425.0 A였다. 고장이 발생한 이후부터 MCB의 개방동작이 발생하기까지 걸린 시간은 약 15.6 ms였다. MCB에 흐르는 고장 전류는 약 370.0 ms에서 인위적인 차단전류 영점에 도달함을 확인하였다. MCB의 개방동작 이후 고장 전류가 인위적인 차단 영점에 도달하기까지 걸린 시간은 약 2.4 ms였다. 차단 완료 시점은 약 375.0 ms였다. MCB의 개방 동작 이후 차단이 모두 완료된 시점까지 걸린 시간은 약 7.4 ms였다. MCB와 LC 발산진동회로의 고장 전류에 의한 전력 부담은 각각 67.4 % (137,436 W), 32.6 % (66,437 W) 분담하여 발생하였다.

세 번째, 리액터 25  $\mu H$ 와 커패시터 750  $\mu F$ 를 적용했을 때, 고장발생 시점은 약 352.0 ms에서 발생하였다. 정상전류는 약 46.7 A가 발생하였다. 초기고장 전류는 약 352.6 ms에서 약 492.5 A가 발생하였다. MCB의 개방동작은 약 368.1 ms에서 발생하였고, 고장 전류는 약 417.5 A였다. 고장이 발생한 이후부터 MCB의 개방동작이 발생하기까지 걸린 시간은 약 16.1 ms였다. MCB에 흐르는 고장 전류는 약 370.1 ms에서 인위적인 차단전류 영점에 도달함을 확인하였다. MCB의 개방동작 이후 고장 전류가 인위적인 차단 영점에 도달하기까지 걸린 시간은 약 2.0 ms였다. 차단 완료 시점은 약 376.6 ms였다. MCB의 개방 동작 이후 차단이 모두 완료된 시점까지 걸린 시간은 약 8.5 ms였다. MCB와 LC 발산진동회로의 고장 전류에 의한 전력 부담은 각각 70.3 % (165,125 W), 29.7 % (69,747 W) 분담하여 발생하였다.

네 번째, 리액터 35  $\mu H$ 와 커패시터 750  $\mu F$ 를 적용했을 때, 고장발생 시점은 약 352.0 ms에서 발생하였다. 정상전류는 약 46.7 A가 발생하였다. 초기고장 전류는 약 352.6 ms에서 약 487.5 A가 발생하였다. MCB의 개방동작은 약 367.9 ms에서 발생하였고, 고장 전류는 약 417.5 A였다. 고장이 발생한 이후부터 MCB의 개방동작이 발생하기까지 걸린 시간은 약 15.9 ms였다. MCB에 흐르는 고장 전류는 약 369.8 ms에서 인위적인 차단전류 영점에 도달함을 확인하였다. MCB의 개방동작 이후 고장 전류가 인위적인 차단 영점에 도달하기까지 걸린 시간은 약 1.9 ms였다. 차단 완료 시점은 약 376.5 ms였다. MCB의 개방 동작 이후 차단이 모두 완료된

시점까지 걸린 시간은 약 8.6 ms였다. MCB와 LC 발산진동회로의 고장 전류에 의한 전력 부담은 각각 47.4 %(112,542 W), 52.6 %(124,710 W) 분담하여 발생하였다.

다섯 번째, 리액터 45  $\mu H$ 와 커패시터 750  $\mu F$ 를 적용했을 때, 고장발생 시점은 약 352.0 ms에서 발생하였다. 정상전류는 약 45.0 A가 발생하였다. 초기고장 전류는 약 352.5 ms에서 약 497.5 A가 발생하였다. MCB의 개방동작은 약 368.6 ms에서 발생하였고, 고장 전류는 약 410.0 A였다. 고장이 발생한 이후부터 MCB의 개방동작이 발생하기까지 걸린 시간은 약 16.3 ms였다. MCB에 흐르는 고장 전류는 약 370.6 ms에서 인위적인 차단전류 영점에 도달함을 확인하였다. MCB의 개방동작 이후 고장 전류가 인위적인 차단 영점에 도달하기까지 걸린 시간은 약 2.0 ms였다. 차단 완료 시점은 약 378.4 ms였다. MCB의 개방 동작 이후 차단이 모두 완료된 시점까지 걸린 시간은 약 10.1 ms였다. MCB와 LC 발산진동회로의 고장 전류에 의한 전력 부담은 각각 38.9 %(70,170 W), 61.1 %(110,373 W) 분담하여 발생하였다.

커패시터의 고정값에 대한 리액터의 변수에 따라 발생하는 차단 시간과 각 공진 주파수의 변화에 따른 전력부담을 비교하였다. 그 결과, 차단 시간은 MCB의 개방동작 이후부터 차단이 완료된 시점까지의 시간에서 차이를 확인하였다. 리액터의 값이 높아질수록 차단 완료 시간이 점점 늘어남을 실험 결과를 통해 확인하였다. 특히, 리액터 15  $\mu H$ 를 적용한 경우가 가장 빠른 동작 특성을 보였고, 약 7.4 ms가 걸렸다. 리액터 5  $\mu H$ 가 적용된 경우는 MCB의 전력부담이 15  $\mu H$ 보다 약 36,000 W 높게 발생됨에 따른 개방 지연이 적용된 것으로 사료된다. 다음 커패시터 변수에 따른 LC 발산진동회로 동작 특성 실험에는 데이터 결과를 기반으로 리액터 15  $\mu H$  모델을 적용하였다.



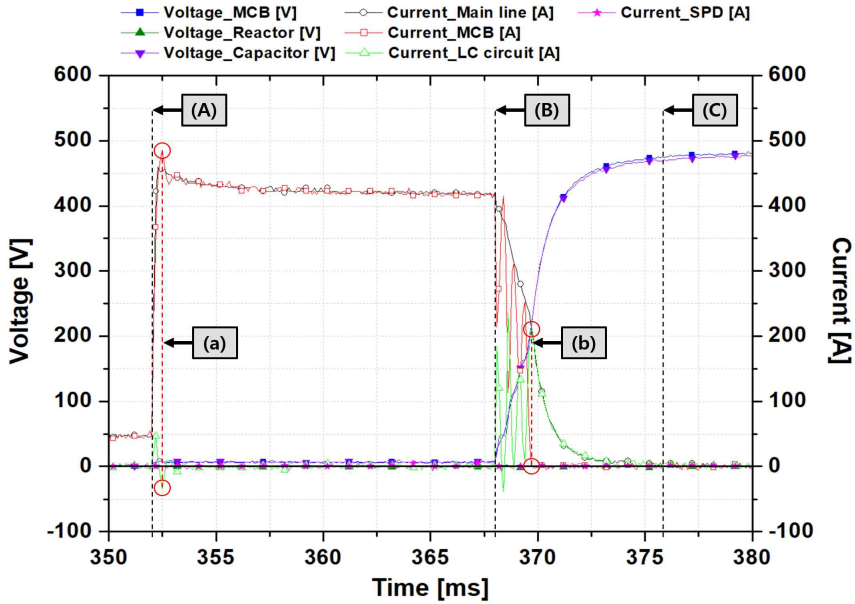


그림 4-11 차단 동작 특성(리액터  $5 \mu H$ , 커패시터  $750 \mu F$ , 주파수 2,599 Hz)  
Fig. 4-11 Characteristics of cutting-off operation (Reactor  $5 \mu H$ , Capacitor  $750 \mu F$ , Frequency 2,599 Hz)

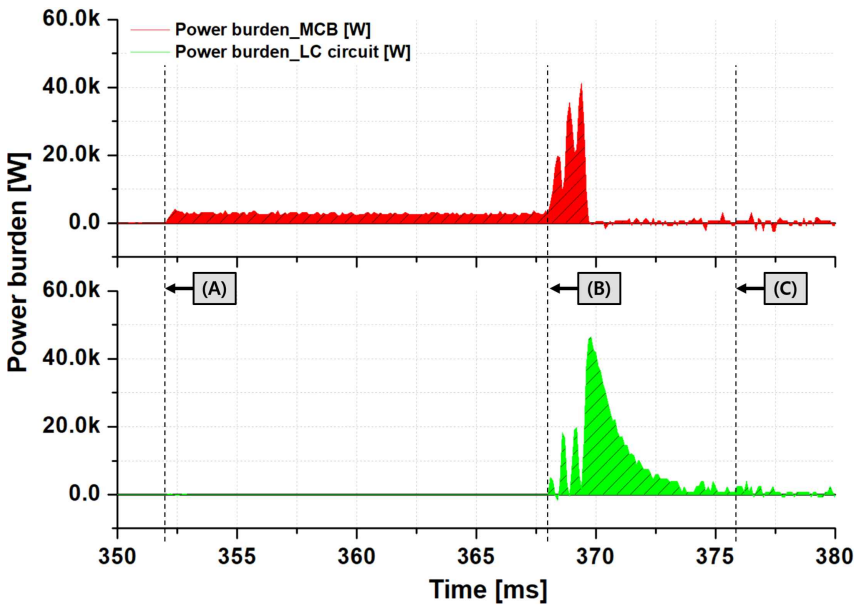


그림 4-12 전력부담 (리액터  $5 \mu H$ , 커패시터  $750 \mu F$ , 주파수 2,599 Hz)  
Fig. 4-12 Power burden (Reactor  $5 \mu H$ , Capacitor  $750 \mu F$ , Frequency 2,599 Hz)



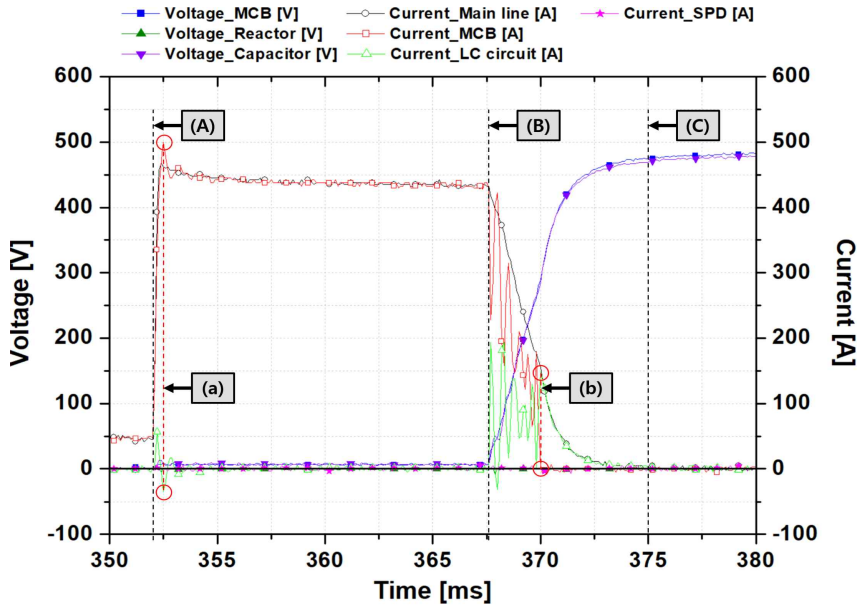


그림 4-13 차단 동작 특성(리액터 15  $\mu H$ , 커패시터 750  $\mu F$ , 주파수 1,500 Hz)

Fig. 4-13 Characteristics of cutting-off operation (Reactor 15  $\mu H$ , Capacitor 750  $\mu F$ , Frequency 1,500 Hz)

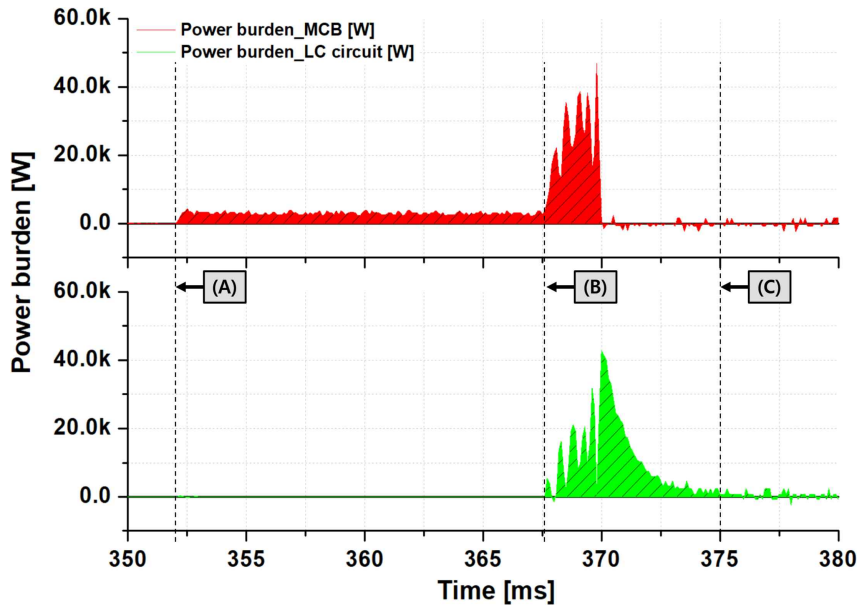


그림 4-14 전력부담 (리액터 15  $\mu H$ , 커패시터 750  $\mu F$ , 주파수 1,500 Hz)

Fig. 4-14 Power burden (Reactor 15  $\mu H$ , Capacitor 750  $\mu F$ , Frequency 1,500 Hz)

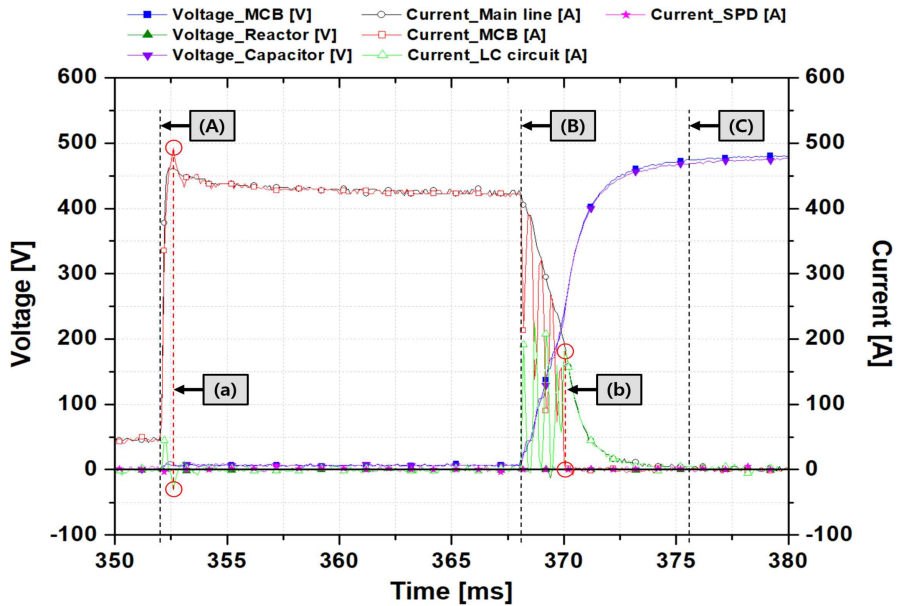


그림 4-15 차단 동작 특성(리액터  $25 \mu H$ , 커패시터  $750 \mu F$ , 주파수  $1,162 \text{ Hz}$ )

Fig. 4-15 Characteristics of cutting-off operation (Reactor  $25 \mu H$ , Capacitor  $750 \mu F$ , Frequency  $1,162 \text{ Hz}$ )

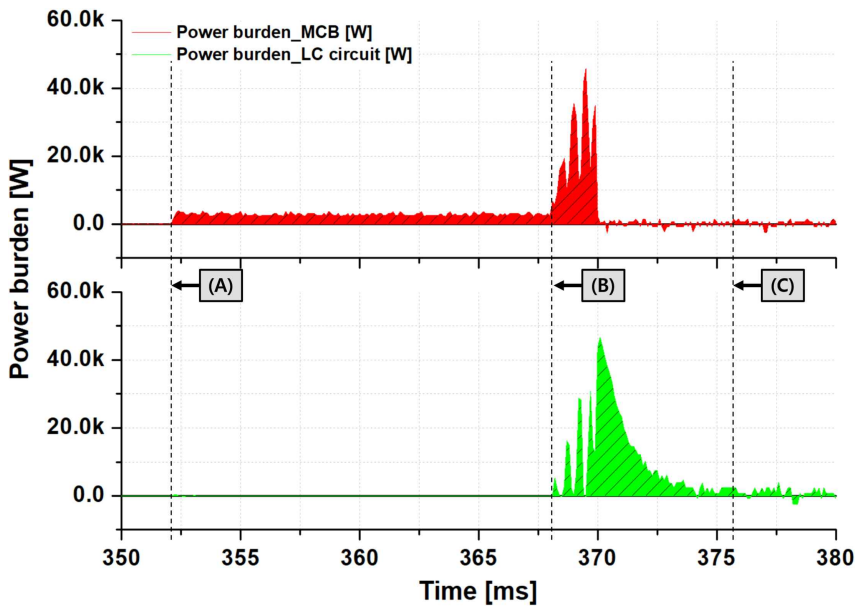


그림 4-16 전력부담 (리액터  $25 \mu H$ , 커패시터  $750 \mu F$ , 주파수  $1,162 \text{ Hz}$ )

Fig. 4-16 Power burden (Reactor  $25 \mu H$ , Capacitor  $750 \mu F$ , Frequency  $1,162 \text{ Hz}$ )

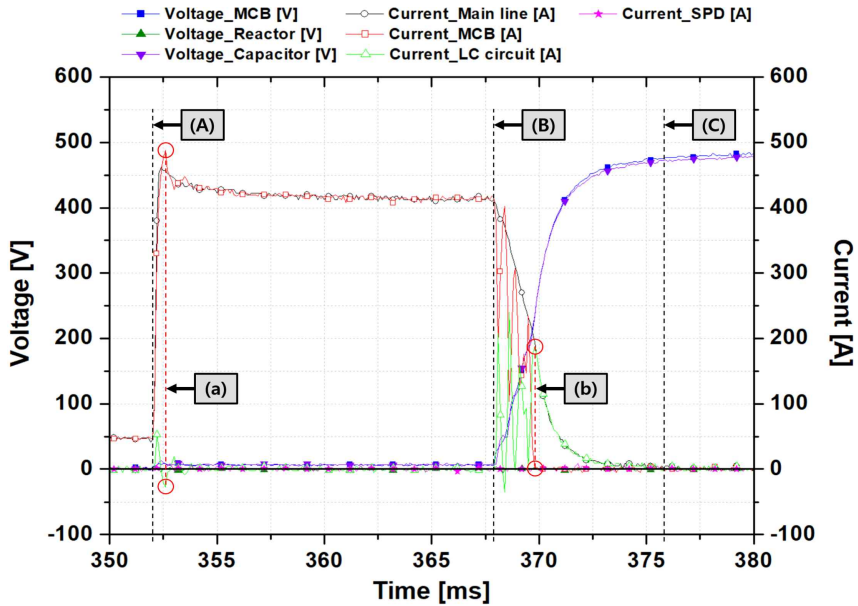


그림 4-17 차단 동작 특성(리액터  $35 \mu H$ , 커패시터  $750 \mu F$ , 주파수 982 Hz)  
Fig. 4-17 Characteristics of cutting-off operation (Reactor  $35 \mu H$ , Capacitor  $750 \mu F$ , Frequency 982 Hz)

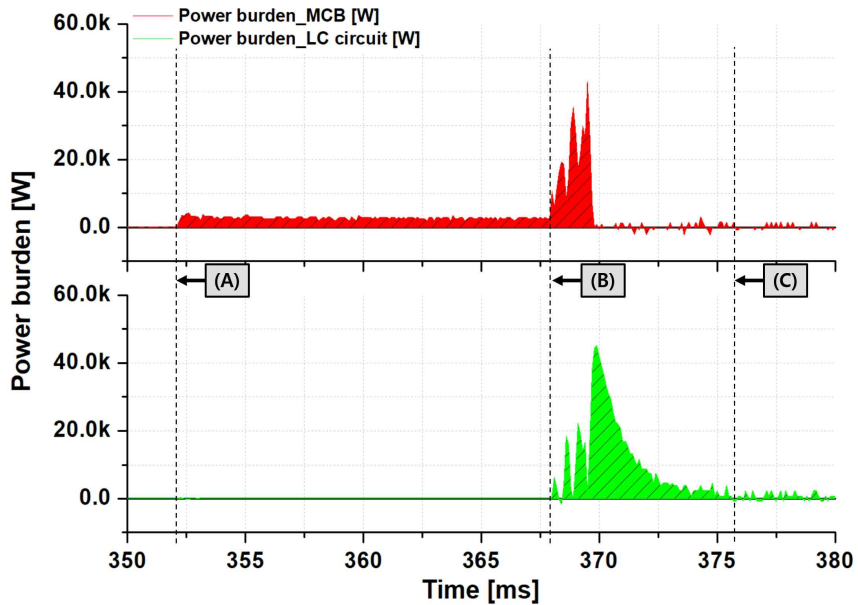


그림 4-18 전력부담 (리액터  $35 \mu H$ , 커패시터  $750 \mu F$ , 주파수 982 Hz)  
Fig. 4-18 Power burden (Reactor  $35 \mu H$ , Capacitor  $750 \mu F$ , Frequency 982 Hz)

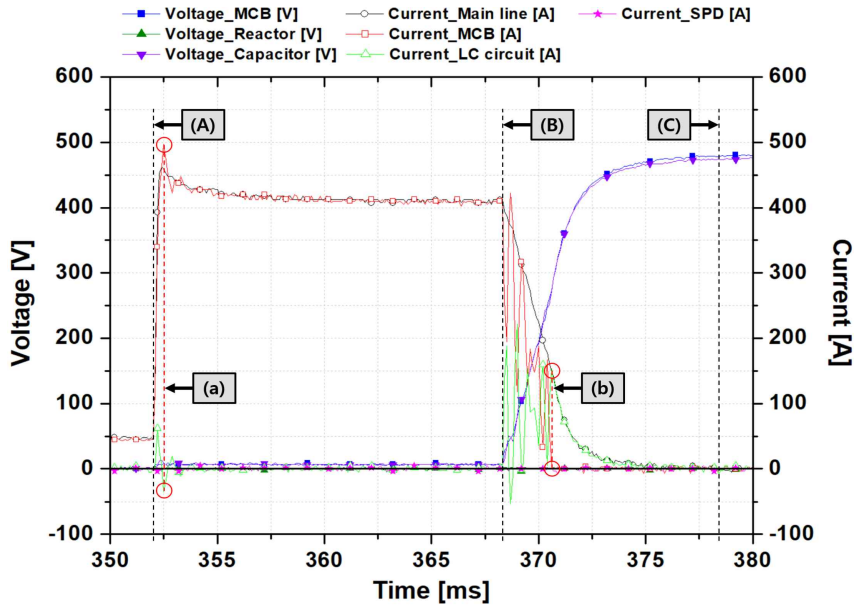


그림 4-19 차단 동작 특성(리액터  $45 \mu H$ , 커패시터  $750 \mu F$ , 주파수  $866 \text{ Hz}$ )

Fig. 4-19 Characteristics of cutting-off operation (reactor  $25 \mu H$ , capacitor  $750 \mu F$ , frequency  $866 \text{ Hz}$ )

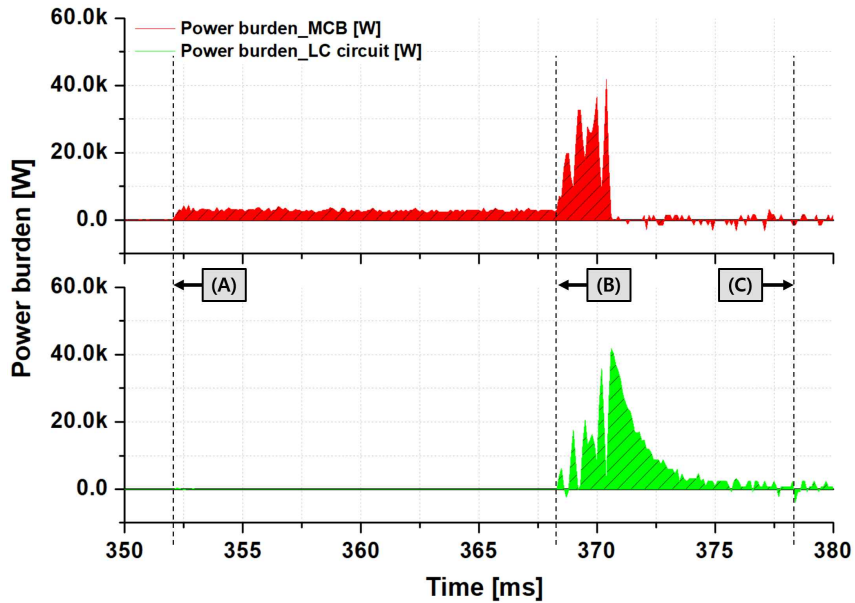


그림 4-20 전력부담 (리액터  $45 \mu H$ , 커패시터  $750 \mu F$ , 주파수  $866 \text{ Hz}$ )

Fig. 4-20 Power burden (Reactor  $45 \mu H$ , Capacitor  $750 \mu F$ , Frequency  $866 \text{ Hz}$ )

표 4-1 리액터 변수를 적용한 기계식 DC 차단기의 동작 특성 실험 결과  
 Table 4-1 Experimental results of operating characteristics of a DC circuit breaker to which the reactor variable are applied

Reactor	Line	[ A ]	[ a ]	[ B ]	[ b ]	[ C ]	Power burden	
							[W]	Rate[%]
5 $\mu H$ / 750 $\mu F$	MCB [ms/A]	352.0 /46.7	352.5 /485.0	368.0 /415.0	369.7 /0.0	376.2 /0.0	173,377	72.2
	LC [ms/A]	352.0 /0.0	352.5 /-35.0	368.0 /5.0	369.7 /211.7	376.2 /0.0	66,927	27.8
	SPD [ms/A]	352.0 /0.0	352.5 /0.0	368.0 /0.0	369.7 /0.0	376.2 /0.0	0	0
15 $\mu H$ / 750 $\mu F$	MCB [ms/A]	352.0 /46.7	352.5 /500.0	367.6 /425.0	370.0 /0.0	375.0 /0.0	137,436	67.4
	LC [ms/A]	352.0 /0.0	352.5 /-35.0	367.6 /5.0	370.0 /155.0	375.0 /0.0	66,437	32.6
	SPD [ms/A]	352.0 /0.0	352.5 /0.0	367.6 /0.0	370.0 /0.0	375.0 /0.0	0	0
25 $\mu H$ / 750 $\mu F$	MCB [ms/A]	352.0 /46.7	352.6 /492.5	368.1 /417.5	370.1 /0.0	376.6 /0.0	165,125	70.3
	LC [ms/A]	352.0 /0.0	352.6 /-31.7	368.1 /5.0	370.1 /181.7	376.6 /0.0	69,747	29.7
	SPD [ms/A]	352.0 /0.0	352.6 /0.0	368.1 /0.0	370.1 /0.0	376.6 /0.0	0	0
35 $\mu H$ / 750 $\mu F$	MCB [ms/A]	352.0 /46.7	352.6 /487.5	367.9 /417.5	369.8 /0.0	376.5 /0.0	112,542	47.4
	LC [ms/A]	352.0 /0.0	352.6 /-28.2	367.9 /0.0	369.8 /188.2	376.5 /0.0	124,710	52.6
	SPD [ms/A]	352.0 /0.0	352.6 /0.0	367.9 /0.0	369.8 /0.0	376.5 /0.0	0	0
45 $\mu H$ / 750 $\mu F$	MCB [ms/A]	352.0 /45.0	352.5 /497.5	368.3 /410.0	370.6 /0.0	378.4 /0.0	70,170	38.9
	LC [ms/A]	352.0 /0.0	352.5 /-35.0	368.3 /0.0	370.6 /148.2	378.4 /0.0	110,373	61.1
	SPD [ms/A]	352.0 /0.0	352.5 /0.0	368.3 /0.0	370.6 /0.0	378.4 /0.0	0	0

A : 고장 발생 시점 [ms]  
 a : 인위적인 차단 영점 발생 시점 [ms]  
 B : 초기고장 전류 최고점 [A]  
 b : 고장 차단 완료 시점 [ms]  
 C : MCB 개방 시점 [ms]

#### d. 리액터 변수에 따른 LC 발산진동회로 동작 특성 실험

그림 4-21부터 4-28까지는 커패시터의 변수에 따른 차단 동작 특성 실험이다. 약 25  $\mu F$ 의 무극성 커패시터를 병렬로 연결하여 각 변수의 모델들을 제작하였다. 본 실험에서는 약 250, 500, 1000, 1250  $\mu F$ 의 커패시터를 활용하여 실험을 진행하였다. 리액터는 약 15  $\mu H$ 으로 고정하였다. 다음과 같이 커패시턴스의 변화에 따라 공진 주파수는 각각 2,598, 1,837, 1,299, 1,162 Hz였다. 리액터 약 15  $\mu H$ , 750  $\mu F$  모델은 확보된 선행 연구 결과 데이터를 활용해 비교하고자 제외하였다.

첫 번째, 커패시터 250  $\mu F$ 와 리액터 15  $\mu H$ 를 적용했을 때, 고장발생 시점은 약 352.0 ms에서 발생하였다. 정상전류는 약 51.7 A가 발생하였다. 초기고장 전류는 약 352.4 ms에서 약 482.5 A가 발생하였다. MCB의 개방동작은 약 368.1 ms에서 발생하였고, 고장 전류는 약 407.5 A였다. 고장이 발생한 이후부터 MCB의 개방동작이 발생하기까지 걸린 시간은 약 16.1 ms였다. MCB에 흐르는 고장 전류는 약 370.4 ms에서 인위적인 차단전류 영점에 도달함을 확인하였다. MCB의 개방동작 이후 고장 전류가 인위적인 차단 영점에 도달하기까지 걸린 시간은 약 2.3 ms였다. 차단 완료 시점은 약 372.3 ms였다. MCB의 개방 동작 이후 차단이 모두 완료된 시점까지 걸린 시간은 약 4.2 ms였다. MCB와 LC 발산진동회로의 고장 전류에 의한 전력 부담은 각각 55.0 % (116,304 W), 45.0 % (95,157 W) 분담하여 발생하였다.

커패시터 500  $\mu F$ 와 리액터 15  $\mu H$ 를 적용했을 때, 고장발생 시점은 약 352.0 ms에서 발생하였다. 정상전류는 약 48.2 A가 발생하였다. 초기고장 전류는 약 352.4 ms에서 약 490.0 A가 발생하였다. MCB의 개방동작은 약 367.7 ms에서 발생하였고, 고장 전류는 약 412.5 A였다. 고장이 발생한 이후부터 MCB의 개방동작이 발생하기까지 걸린 시간은 약 15.7 ms였다. MCB에 흐르는 고장 전류는 약 369.7 ms에서 인위적인 차단전류 영점에 도달함을 확인하였다. MCB의 개방동작 이후 고장 전류가 인위적인 차단 영점에 도달하기까지 걸린 시간은 약 2.0 ms였다. 차단 완료 시점은 약 373.9 ms였다. MCB의 개방 동작 이후 차단이 모두 완료된 시점까지 걸린 시간은 약 6.2 ms였다. MCB와 LC 발산진동회로의 고장 전류에 의한 전력 부담은 각각 60.5 % (96,109 W), 39.5 % (62,626 W) 분담하여 발생하였다.

커패시터 1,000  $\mu F$ 와 리액터 15  $\mu H$ 를 적용했을 때, 고장발생 시점은 약 352.0 ms에서 발생하였다. 정상전류는 약 46.7 A가 발생하였다. 초기고장 전류는 약 352.5 ms에서 약 505.0 A가 발생하였다. MCB의 개방동작은 약 368.2 ms에서 발생



하였고, 고장 전류는 약 402.5 A였다. 고장이 발생한 이후부터 MCB의 개방동작이 발생하기까지 걸린 시간은 약 16.2 ms였다. MCB에 흐르는 고장 전류는 약 370.3 ms에서 인위적인 차단전류 영점에 도달함을 확인하였다. MCB의 개방동작 이후 고장 전류가 인위적인 차단 영점에 도달하기까지 걸린 시간은 약 2.1 ms였다. 차단 완료 시점은 약 377.2 ms였다. MCB의 개방 동작 이후 차단이 모두 완료된 시점까지 걸린 시간은 약 9.0 ms였다. MCB와 LC 발산진동회로의 고장 전류에 의한 전력 부담은 각각 46.6 %(131,837 W), 53.4 %(151,128 W) 분담하여 발생하였다.

커패시터 1,250  $\mu F$ 와 리액터 15  $\mu H$ 를 적용했을 때, 고장발생 시점은 약 352.0 ms에서 발생하였다. 정상전류는 약 48.2 A가 발생하였다. 초기고장 전류는 약 352.5 ms에서 약 520.0 A가 발생하였다. MCB의 개방동작은 약 367.5 ms에서 발생하였고, 고장 전류는 약 402.5 A였다. 고장이 발생한 이후부터 MCB의 개방동작이 발생하기까지 걸린 시간은 약 15.5 ms였다. MCB에 흐르는 고장 전류는 약 369.3 ms에서 인위적인 차단전류 영점에 도달함을 확인하였다. MCB의 개방동작 이후 고장 전류가 인위적인 차단 영점에 도달하기까지 걸린 시간은 약 1.9 ms였다. 차단 완료 시점은 약 378.6 ms였다. MCB의 개방 동작 이후 차단이 모두 완료된 시점까지 걸린 시간은 약 11.1 ms였다. MCB와 LC 발산진동회로의 고장 전류에 의한 전력 부담은 각각 29.8 %(61,611 W), 70.2 %(144,788 W) 분담하여 발생하였다.

리액터의 고정값에 대한 커패시터의 변수에 따라 발생하는 차단 시간과 각 공진 주파수의 변화에 따른 전력부담을 비교하였다. 그 결과, 차단 시간은 리액터 변수 실험과 동일하게 MCB의 개방동작 이후부터 차단이 완료된 시점까지의 시간에서 차이를 확인할 수 있었다. 커패시터의 값이 높아질수록 차단 완료 시간이 점점 늘어나는 결과를 리액터와 동일한 경향을 확인하였지만, 그 영향력은 상대적으로 더 컸다. 특히, MCB의 고장 전류가 인위적인 차단 영점에 도달하여 선로가 개방되었을 때 고장 전류가 LC 발산진동전류에 흐르는 시점에서 그 차이가 발생함을 결과 데이터를 통해 확인할 수 있었다. 또한, MCB의 초기고장 전류 크기도 커패시터의 용량에 비례한 결과를 보였다. 무극성 커패시터로 구성된 커패시터 뱅크는 고장이 발생한 시점에서 내부 이상전압에 따른 충방전이 약 1 ms동안(1~2 cycle) 일어난다. 이 크기에 따라 MCB의 초기고장 전류에 비례하여 영향을 받음을 확인하였다. 본 시험을 통해 차단 시간은 커패시터 용량이 작으면 작을수록 빠르게 차단 완료하였음을 확인하였다. 전력부담은 커패시터의 용량이 크면 클수록 MCB의 전력부담을 줄여주는 결과를 확인하였다. 실험 결과 데이터는 표 4-2에 정리하였다.

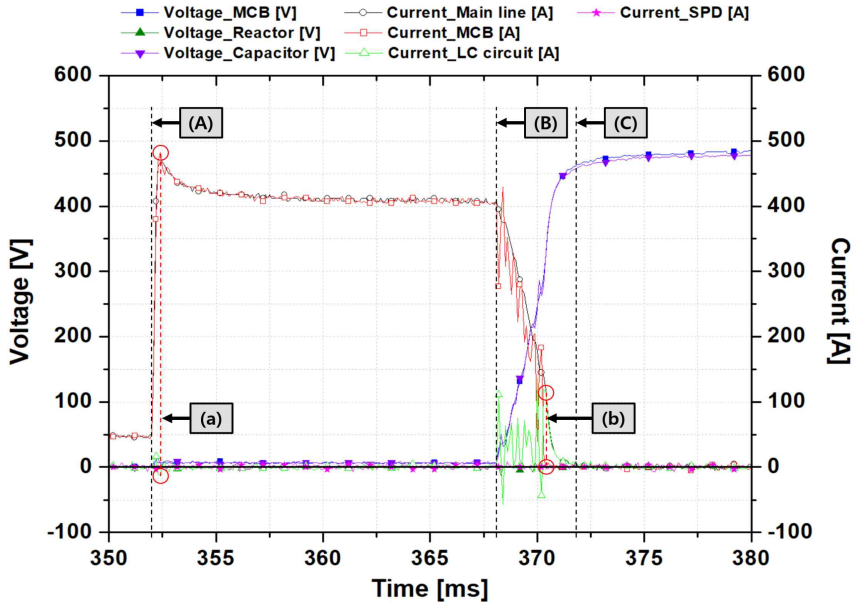


그림 4-21 차단 동작 특성(리액터  $15 \mu H$ , 커패시터  $250 \mu F$ , 주파수  $2,598 \text{ Hz}$ )  
 Fig. 4-21 Characteristics of cutting-off operation (Reactor  $15 \mu H$ , Capacitor  $250 \mu F$ , Frequency  $2,598 \text{ Hz}$ )

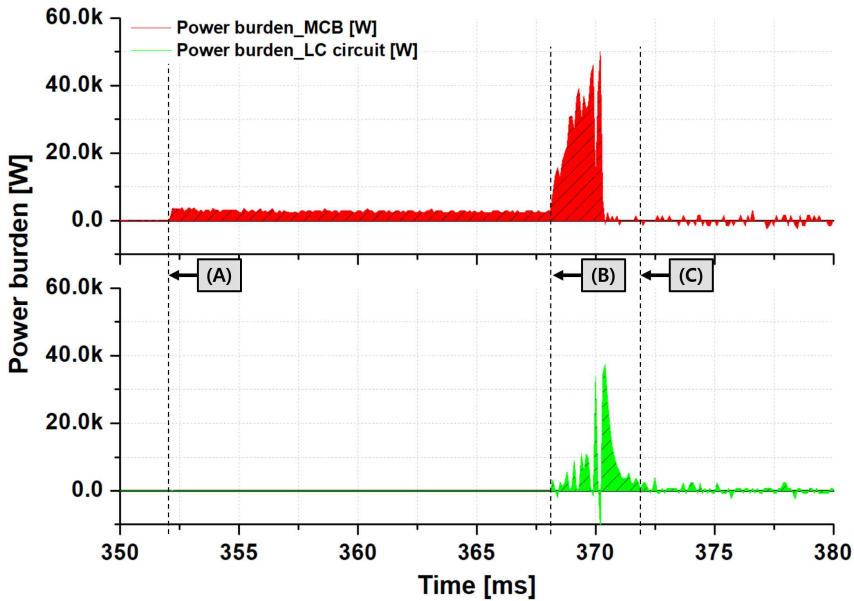


그림 4-22 전력부담 (리액터  $15 \mu H$ , 커패시터  $250 \mu F$ , 주파수  $2,598 \text{ Hz}$ )  
 Fig. 4-22 Power burden (Reactor  $15 \mu H$ , Capacitor  $250 \mu F$ , Frequency  $2,598 \text{ Hz}$ )



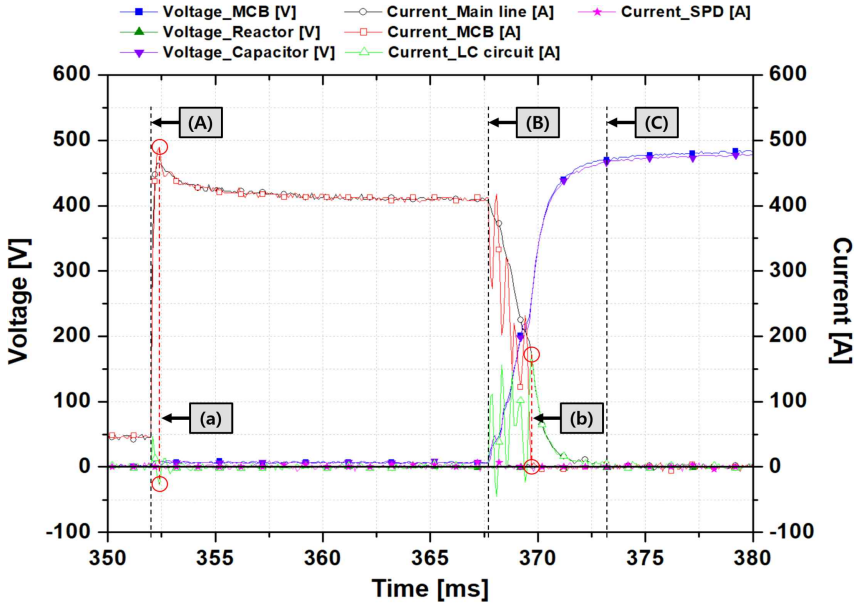


그림 4-23 차단 동작 특성(리액터  $15 \mu H$ , 커패시터  $500 \mu F$ , 주파수  $1,837 \text{ Hz}$ )  
 Fig. 4-23 Characteristics of cutting-off operation (Reactor  $15 \mu H$ , Capacitor  $500 \mu F$ , Frequency  $1,837 \text{ Hz}$ )

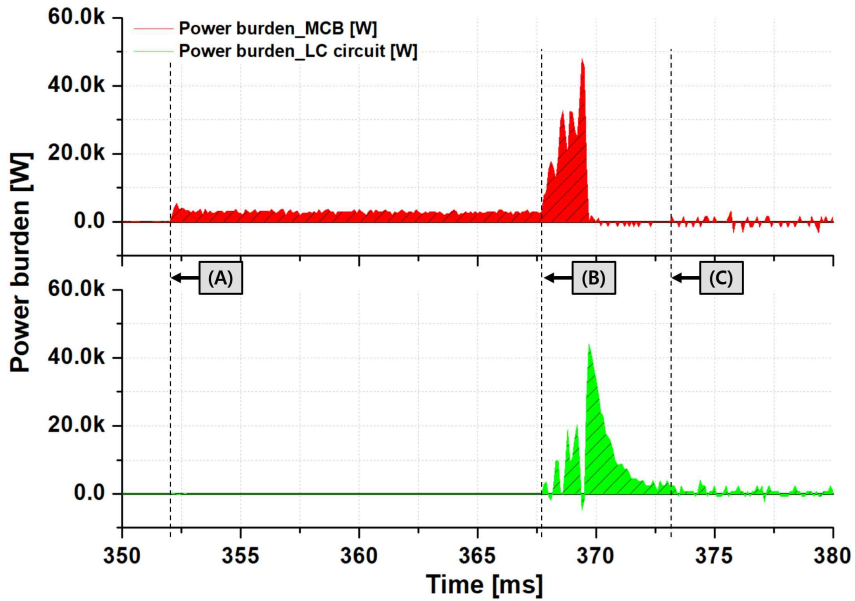


그림 4-24 전력부담 (리액터  $15 \mu H$ , 커패시터  $500 \mu F$ , 주파수  $1,837 \text{ Hz}$ )  
 Fig. 4-24 Power burden (Reactor  $15 \mu H$ , Capacitor  $500 \mu F$ , Frequency  $1,837 \text{ Hz}$ )

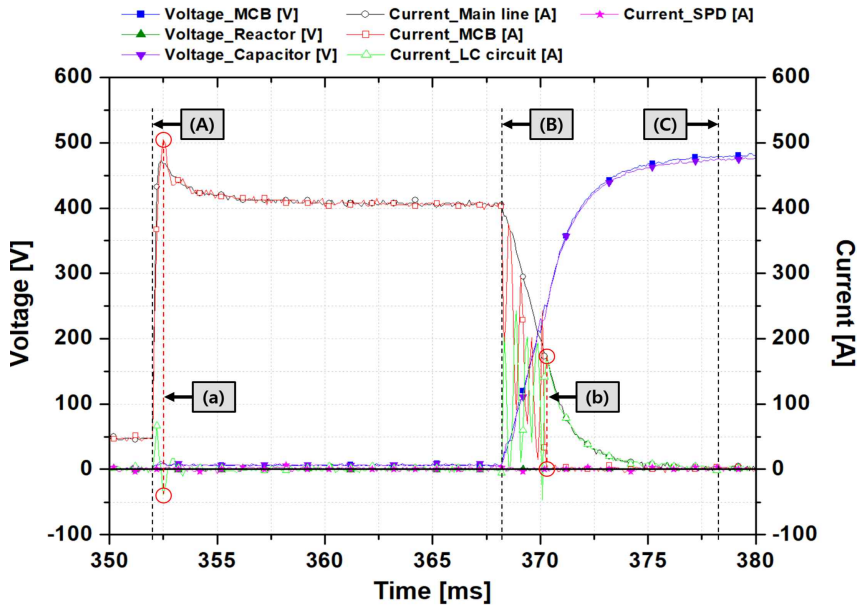


그림 4-25 차단 동작 특성(리액터 15  $\mu H$ , 커패시터 1000  $\mu F$ , 주파수 1,299 Hz)  
 Fig. 4-25 Characteristics of cutting-off operation (Reactor 15  $\mu H$ ,  
 Capacitor 1000  $\mu F$ , Frequency 1,299 Hz)

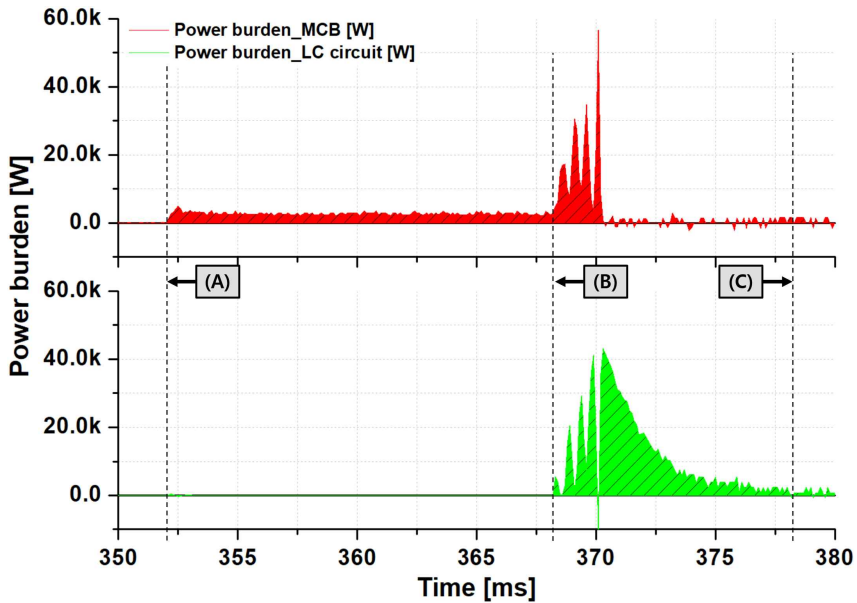


그림 4-26 전력부담 (리액터 15  $\mu H$ , 커패시터 1,000  $\mu F$ , 주파수 1,299 Hz)  
 Fig. 4-26 Power burden (Reactor 15  $\mu H$ , Capacitor 1,000  $\mu F$ , Frequency 1,299 Hz)

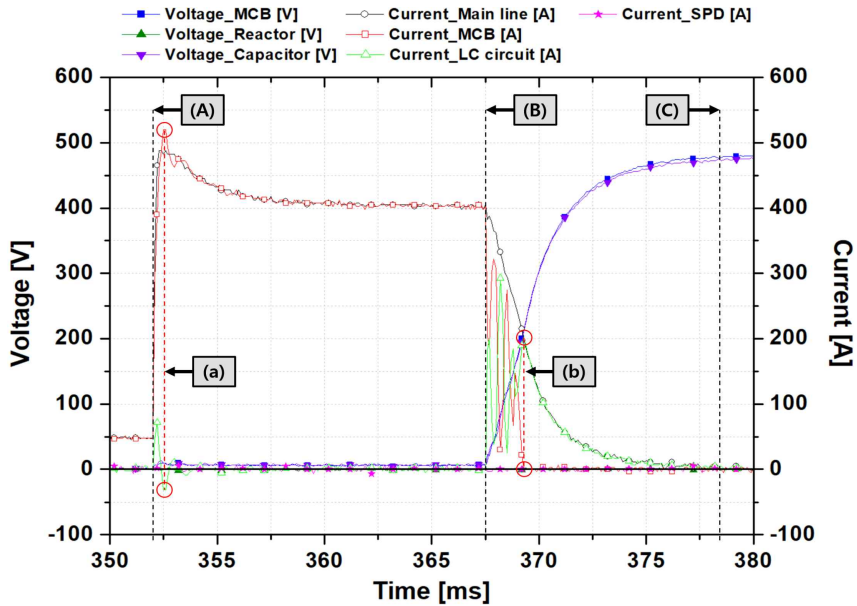


그림 4-27 차단 동작 특성(리액터  $15 \mu H$ , 커패시터  $1,250 \mu F$ , 주파수  $1,162 \text{ Hz}$ )  
 Fig. 4-27 Characteristics of cutting-off operation (Reactor  $15 \mu H$ ,  
 Capacitor  $1,250 \mu F$ , Frequency  $1,162 \text{ Hz}$ )

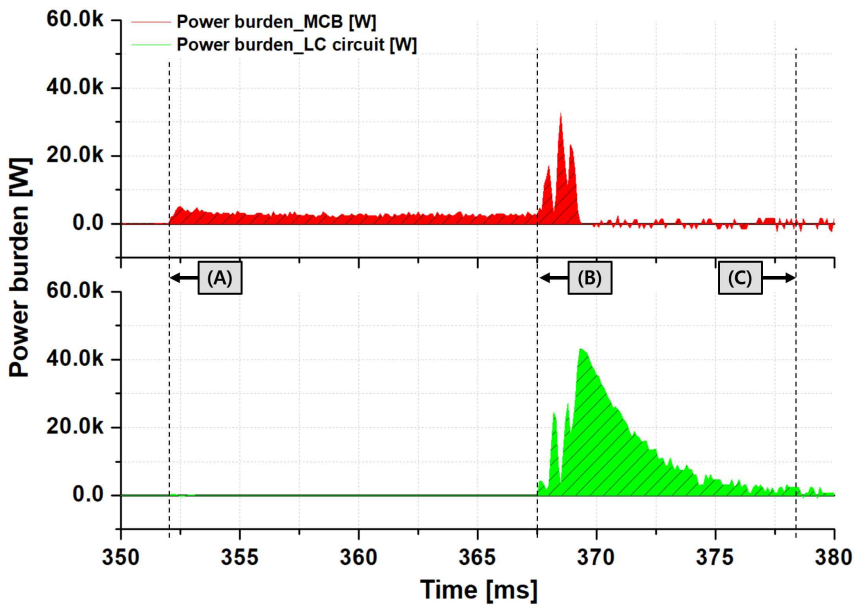


그림 4-28 전력부담 (리액터  $15 \mu H$ , 커패시터  $1,250 \mu F$ , 주파수  $1,162 \text{ Hz}$ )  
 Fig. 4-28 Power burden (Reactor  $15 \mu H$ , Capacitor  $1,250 \mu F$ , Frequency  $1,162 \text{ Hz}$ )

표 4-2 커패시터 변수를 적용한 기계식 DC 차단기의 동작 특성 실험 결과  
 Table 4-2 Experimental results of operating characteristics of a DC circuit breaker to which the capacitor variable are applied

Reactor	Line	[ A ]	[ a ]	[ B ]	[ b ]	[ C ]	Power burden	
							[W]	Rate[%]
15 $\mu H$ / 250 $\mu F$	MCB [ms/A]	352.0 /51.7	352.4 /482.5	368.1 /407.5	370.4 /0.0	372.3 /0.0	116,304	55.0
	LC [ms/A]	352.0 /0.0	352.4 /-13.3	368.1 /-1.6	370.4 /115.0	372.3 /0.0	95,157	45.0
	SPD [ms/A]	352.0 /0.0	352.4 /0.0	368.1 /0.0	370.4 /0.0	372.3 /0.0	0	0
15 $\mu H$ / 500 $\mu F$	MCB [ms/A]	352.0 /48.2	352.4 /490.0	367.7 /412.5	369.7 /0.0	373.9 /0.0	96,109	60.5
	LC [ms/A]	352.0 /0.0	352.4 /-28.2	367.7 /0.0	369.7 /173.2	373.9 /0.0	62,626	39.5
	SPD [ms/A]	352.0 /0.0	352.4 /0.0	367.7 /0.0	369.7 /0.0	373.9 /0.0	0	0
15 $\mu H$ / 1000 $\mu F$	MCB [ms/A]	352.0 /46.7	352.5 /505.0	368.2 /402.5	370.3 /0.0	377.2 /0.0	131,837	46.6
	LC [ms/A]	352.0 /0.0	352.5 /-38.2	368.2 /-5.0	370.3 /173.2	377.2 /0.0	151,128	53.4
	SPD [ms/A]	352.0 /0.0	352.5 /0.0	368.2 /0.0	370.3 /0.0	377.2 /0.0	0	0
15 $\mu H$ / 1250 $\mu F$	MCB [ms/A]	352.0 /48.2	352.5 /520.0	367.5 /402.5	369.3 /0.0	378.6 0.0	61,611	29.8
	LC [ms/A]	352.0 /0.0	352.5 /-31.7	367.5 /0.0	369.3 /203.2	378.6 0.0	144,788	70.2
	SPD [ms/A]	352.0 /0.0	352.5 /0.0	367.5 /0.0	369.3 /0.0	378.6 0.0	0	0

A : 고장 발생 시점 [ms]

a : 인위적인 차단 영점 발생 시점 [ms]

B : 초기고장 전류 최고점 [A]

b : 고장 차단 완료 시점 [ms]

C : MCB 개방 시점 [ms]

## VI. 결 론

본 논문에서는 차세대 DC 전력망 공급 신뢰도 확보를 위한 차단 기술로써, 초전도 한류 모듈과 기계식 DC 차단기의 하이브리드 방식을 적용한 초전도 DC 차단기의 특성 연구를 수행하였다. 본 논문에서 제안하는 초전도 DC 차단기의 동작 특성을 검증함에 앞서, 신뢰도 높은 DC 계통 인프라가 필요하였으며, 대표적인 전압형 HVDC 계통을 선정하여 PSCAD/EMTDC 프로그램을 통해 모델링하고 모의 상정고장에 따른 전반적인 고장 특성 분석을 진행하였다. 구체적으로는 각 상정고장에 따른 시간별 동작 특성과 PV 특성을 고려하여 위험도가 높은 상정고장 유형을 검토하였으며, 필요한 DC 차단 조건에 대해 분석하였다. 본 논문에서 제안하는 초전도 DC 차단기의 초전도 한류 모듈과 기계식 DC 차단기의 PSCAD/EMTDC 모델링 설계 조건을 분석하였으며, 두 유닛의 결합에 대한 동작 메커니즘을 제안하였다. 추가로, 초전도 한류 모듈에 대한 고장 전류 한류 효율을 개선하기 위한 초전도 선재의 권선 방식별 부피 및 전자장 비교 분석을 수행하였다. 그리고 기계식 DC 차단기의 LC 발산진동회로의 인위적인 동작 특성에 대해 상세한 비교 분석을 수행하였다. 위의 시뮬레이션 결과를 기반으로 적용된 초전도 DC 차단기 모델을 DC 계통 인프라에 적용하고, 위험도가 가장 높은 상정고장 유형을 계통 운행 파라미터에 설정하여 과도 상태에 따른 안정적인 차단 동작 특성을 분석하였다. 분석한 시뮬레이션 결과를 기반으로 규모를 축소한 초전도 한류 모듈과 기계식 DC 차단기의 시작품을 제작하였으며, 이에 대한 실험적 검증을 수행하였다. 특히, 기계식 DC 차단기의 LC 발산진동회로의 리액터와 커패시터의 관계에 대한 특성 검증을 수행하였다.

본 연구 결과는 아래 내용을 통해 요약하였으며, 내용은 다음과 같다.

첫째, HVDC 송전 시스템의 구성 및 방식에 대한 기본 개념과 전압형 HVDC에 적용되는 회로 및 제어 기법, 알고리즘을 분석하여 PSCAD/EMTDC 모델링에 적용하였으며, DC 계통의 과도 상태에서 요구하는 DC 차단 조건을 도출하였다. 또한, 본 논문에서 제안하는 초전도 DC 차단기의 초전도 한류 모듈과 기계식 DC 차단기의 동작 원리 및 종류, 메커니즘을 비교 분석하여 적합성 검토를 통해 입증하였다.

둘째, 신뢰도 높은 참고문헌을 통해 대표적인 전압형 HVDC 모델을 선정하였고,

이를 바탕으로 PSCAD/EMTDC 프로그램을 활용하여 설계 및 모델링을 수행하여 DC 계통 인프라를 완성하였다. 완성된 전압형 HVDC 계통 모델은 정상 상태에서 과도 상태까지 특성 구간을 나누어 비교 분석하였으며, 각 구간은 SM 커패시터 충·방전 시점(1, 2회), AC 전원과 MMC 계통의 결합 시점, 고장 발생 시점이었다. AC와 DC의 상정 고장을 모의하여 발생하는 계통 내의 동작 특성을 비교 분석하였고, P-V 곡선을 활용해 구간별 발생하는 안정도 흐름을 확인한 결과, DC 2선 단락 고장 유형을 가장 위험한 고장 유형으로 선정하였다. DC 2선 단락 고장 유형에서 AC 차단기의 차단 동작 이후에도 DC 계통 내에 고장 전류의 순환 특성이 약 620 ms 동안 존재함을 확인하였고, 이는 MMC 내의 IGBT에 악영향을 줄 가능성이 큼을 판단하였다. 본 논문에서 제안한 초전도 DC 차단기의 초전도 한류 모듈은 PSCAD/EMTDC 모델링에 적용하기 위한 quench 특성의 설계 매개변수 및 조건 등을 시뮬레이션 분석을 통해 도출하였고, 임계 전류 기준과 실험 데이터 기준 방식의 장단점을 정리하였다. 초전도 한류 모듈의 공간 효율 및 한류율을 높이기 위해, 각 권선 방식(Helical, Spiral, Meander type)에 따른 최적 모델들을 설계하였고, 이에 대한 설계 조건 및 자장 분포 결과 데이터를 비교 분석하여 도출하였다. 결과적으로, 논문에서 제안한 Bifilar-Meander 방식이 종합적으로 공간적 효율에서 가장 높음을 확인하였다.

셋째, 전압형 HVDC 계통의 DC 2선 단락 고장 유형에 의해 취약성을 확인하였고, 초전도 DC 차단기의 적용을 통해 개선점을 비교 분석하였다. 초전도 DC 차단기의 적용에 따라 초기고장 전류의 한류율, LC 발산진동전류 특성, 인위적인 차단 전류 영점 생성 시점등의 결과 데이터를 확보하였다. 결과적으로, 초전도 DC 차단기 적용 유무에 따라 DC 선로 기준 차단 시간은 약 65 % 개선된 결과를 확인하였다.

넷째, 선행 시뮬레이션 결과를 기반으로 초전도 한류 모듈과 기계식 DC 차단기의 시작품을 설계 및 제작하였고, 이것들은 모의 고장 발생 장치를 통해 한류 및 차단 동작 특성 연구를 수행하였다. 초전도 한류 모듈은 시작품을 통해 적용 유무에 따른 quench 동작 및 저항 특성을 바탕으로 초기고장 전류의 한류율을 확인하였고, 이에 대한 설계 기준을 검토하였다. 기계식 DC 차단기의 리액터 및 커패시터의 변화에 대한 각 요소별 인위적인 차단 전류 영점 생성 시점 및 전력 부담 등의 유효한 데이터를 확보하였고, 이에 대한 설계 기준을 검토하였다.

본 연구를 통해 전압형 HVDC 계통의 과도 상태에 따른 초전도 DC 차단기의

개발 연구가 단계적으로 연구됨으로서, 전반적인 개선 및 보완 연구를 수행할 수 있었다. AC 및 DC 상정 고장에 대한 PV 특성 및 초전도 DC 차단기 동작 특성 분석을 통해 안정도 해석을 수행하였으며, 이를 바탕으로 새로운 DC 차단 기술의 가능성을 강조할 수 있었고, 전력기기(Modular Multilevel converter)의 보호 협조가 중요함을 확인하였다. 본 논문에서 제시한 결과 데이터가 차세대 MTDC의 상용화에 기여할 수 있는 차단 기술 기초 연구 자료로 활용될 것으로 기대하며, 앞으로도 DC 전력망 공급 신뢰도 확보를 위한 기술 개발 연구를 지속적으로 수행할 계획이다.

## 참 고 문 헌

- [1] KEITI(한국환경산업기술원), Emissions reduction through upgrade of coal - fired power plants, 국가환경정보센터 해외보고서, 제 104호, 13.03.2015.
- [2] 이대근, 김기환(에너지경제연구원), 재생에너지공급확대를 위한 중장기 발전 단가(LCOE) 전망 시스템 구축 및 운영(1/5), Korea energy economics institute, 2020.
- [3] 제4차 에너지기술개발계획('19~'28)(안), 산업통상자원부 신재생에너지정책 단, 2020.
- [4] KEITI(한국환경산업기술원), 2020년 전세계 재생에너지 발전 비용 분석, KONETIC(국가환경산업기술정보시스템) 국내외IP 요약보고서, 2021.
- [5] ABB, "ABB Review - 60 years of HVDC", 2014.
- [6] G. Asplund, K. Lindén, C. Barker, A. Marzin, U. Baur, N. Pahalawaththa, J. Beerten, M. Rashwan, P. Christensen, J. Rittiger, et al. "HVDC grid feasibility study", *Electra*, pp. 50-59, 2013.
- [7] S. A. Amamra, F. Colas, X. Guillaud, P. Rault, S. Nguеfeu, "Laboratory demonstration of a multi-terminal VSC-HVDC power grid", *IEEE Trans. Power Deliv.* vol. 32, no. 5, pp. 2339-249, 2016.
- [8] V. Akhmatov, M. Callavik, C.M. Franck, S.E. Rye, T. Ahndorf, M.K. Bucher, H. Müller, F. Schettler, R. Wiget, "Technical guidelines and prestandardization work for first HVDC grids", *IEEE Trans. Power Deliv.* vol. 29, no. 1, pp. 327-335, 2014.
- [9] GE Grid Solutions, "Rio Madeira", 2018.
- [10] P. Fischer, L. Ängquist, and H.P. Nee, "A new control scheme for an HVDC transmission link with capacitor- commutated converters having the inverter operating with constant alternating voltage," *International Conference on Large High Voltage Electric Systems*, pp. 1-11, 2012.
- [11] K. He, J. Gu, S. Huang, K. Bian, Y. Ju, W. Chen, and J. Lu, "The corona space charge distribution of Changji-Guquan  $\pm 1100$  kV UHVDC



- transmission line within the Thundercloud Electric Field,” International conference on high voltage engineering and application, pp. 1-4, 2020.
- [12] T. Hammer, R. Wimmer, K. Loppach, “Testing methods for 1100 kV UHVDC transformer”, J. Global Energy Interconnection, vol. 1, no. 2, pp. 103-107, 2018.
- [13] Z. Liu, F. Zhang, J. Yu, K. Gao, and W. Ma, “Research on key technologies in  $\pm 1100$  kV ultra-high voltage DC Transmission”, vol. 3, no. 4, pp. 279-288, 2018.
- [14] Hitachi ABB Power Grids, “NordLink HVDC interconnector-changing European power landscape”, 2021.
- [15] M. Callavik, P. Lundberg, and O. Hansson, “NORDLINK pioneering VSC-HVDC interconnect or between Norway and Germany,”ABB White Paper, pp. 1-6, 2015.
- [16] H. Li, C. Liu, G. Li, R. Iravani, “An enhanced DC voltage droop-control for the VSC-HVDC grid”, IEEE Trans. Power Syst. vol. 32, no. 2, pp. 1520-1527, 2016.
- [17] J. Sau-Bassols, E. Prieto-Araujo, O. Gomis-Bellmunt, “Modelling and control of an interline current flow controller for meshed HVDC grids”, IEEE Trans. Power Deliv. vol. 32, no. 1, pp. 11-22, 2017.
- [18] R. T. Pinto, S. F. Rodrigues, E. Wiggelinkhuizen, R. Scherrer, P. Bauer, J. Pierik, “Operation and power flow control of multi-terminal DC networks for grid integration of offshore wind farms using genetic algorithms”, Energies, vol. 6, no. 1, pp. 1-26, 2012.
- [19] R. Preece, J.V. Milanović, “Tuning of a damping controller for multiterminal VSC-HVDC grids using the probabilistic collocation method”, IEEE Trans. Power Deliv. vol. 29, no. 1, pp. 318-326, 2014.
- [20] W. Chen, X. Zhu, L. Yao, G. Ning, Y. Li, Z. Wang, W. Gu, X. Qu, “A novel interline DC power-flow controller (IDCPFC) for meshed HVDC grids”, IEEE Trans. Power Deliv. vol. 31, no. 4, pp. 1719-1727, 2016.

- [21] X. Zhang, Z. Wu, M. Hu, X. Li, G. Lv, “Coordinated control strategies of VSC-HVDC-based wind power systems for low voltage ride through”, *Energies*, vol. 8, no. 7, pp. 7224–7242, 2015.
- [22] G. Liu, F. Xu, Z. Xu, Z. Zhang, G. Tang, “Assembly HVDC breaker for HVDC grids with modular multilevel converters”, *IEEE Trans. Power Electron*, vol. 32, no. 2, pp. 931–941, 2017.
- [23] J. Sneath, A.D. Rajapakse, “Fault detection and interruption in an earthed HVDC grid using ROCOV and hybrid DC breakers’, *IEEE Trans. Power Deliv.* vol. 31, no. 3, pp. 973–981, 2016.
- [24] W. Leterme, J. Beerten, D.V. Hertem, “Nonunit protection of HVDC grids with inductive DC cable termination”, *IEEE Trans. Power Deliv.* vol. 31, no. 2, pp. 820–828, 2016.
- [25] W. Leterme, S.P. Azad, D.V. Hertem, “A local backup protection algorithm for HVDC grids”, *IEEE Trans. Power Deliv.* vol. 31, no. 4, pp. 1767–1775, 2016.
- [26] T. M. Haileselassie, K. Uhlen, “Power system security in a Meshed North Sea HVDC Grid”, *Proc. IEEE*, vol. 101, no. 4, pp. 978–990, 2013.
- [27] 이윤석, 김도현, 한병문, “사이리스터 스위치와 LC 공진회로를 이용한 대용량 고전압 하이브리드 DC 차단기”, *대한전기학회 학술대회 논문집*, no. 7, pp. 370–371, 2016.
- [28] X. Pei, O. Cwikowski, D. S. Vilchis-Rodriguez, M. Barnes, A. C. Smith and R. Shuttleworth, “A review of technologies for MVDC circuit breakers,” *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*, Florence, 2016, pp. 3799–3805, doi:10.1109/IECON.2016.7793492.
- [29] B. Xiang Z. Liu Y. Geng and S. Yanabu “DC circuit breaker using superconductor for current limiting” *IEEE Trans. Appl. Supercond.* vol. 25 no. 2, pp. 5600207, 2015.
- [30] M. Callavik and A. Blomberg “The hybrid HVDC breaker” *ABB Grid*

- Systems, 2012.
- [31] B. Xiang, Y. Tan, K. Yang, Z. Liu, Y. Geng, J. Wang, S. Yanabu, “Quenched resistance effects on a superconducting current-limiting-type DC breaker”, *IEEE Trans. Applied superconductivity*, vol. 26, no. 7, pp. 5603105, 2016.
- [32] B. Xiang, L. Zhang, K. Yang, Y. Tan, Z. Liu, Y. Geng, J. Wang, S. Yanabu, “Arcing time of a DC circuit breaker based on a superconducting current-limiting technology”, *IEEE Trans. Applied superconductivity*, vol. 26, no. 7, pp. 5603205, 2016.
- [33] S. Liang, Y. Tang, L. Ren, Y. Xu, Z. Xia, Z. Wang, S. Guo, “Tests and analysis of a small-scale hybrid-type DC SFCL prototype”, *IEEE Trans. Applied superconductivity*, vol. 28, no. 4, pp. 5602106, 2018.
- [34] S. Li, Z. Shi, L. Zhao, D. Ding, Y. Liu, S. Jia, L. Wang, “Experimental investigation on the interruption performance of vacuum interrupters with AMF and TMF contacts in a quench protection switch”, *IEEE Trans. Applied superconductivity*, vol. 47, no. 8, pp. 3549–3553, 2019.
- [35] Eurotunnel, “The ElecLink Project,” Nov. 2019.
- [36] General Electric Company, “RTE and TERNÀ-piedmont-savoy HVDC line,” 2018.
- [37] General Electric Company, “High voltage direct current systems,” 2018.
- [38] General Electric Company, “DolWin3-HVDC voltage source converters for efficient connection of renewable energy,” 2019.
- [39] General Electric Company, “The southwest link-transmitting power and controlling voltage with HVDC in Sweden,” 2019.
- [40] Hitachi ABB, “Reference List HVDC Light-The original VSC technology”, 2016.
- [41] Mike Barnes, Antony Beddard, “Voltage source converter HVDC links - The state of the art and issues going forward”, *Sciverse sciencefirect, Energy Procedia* 24, pp. 108–122, 2012.

- [42] NR Electric Company, “NR’s VSC-HVDC Solution-±500kV Zhangbei DC Grid for boosting large scale hybrid renewables penetration”, 2019.
- [43] Ofgem, “Final project assessment of the NSL interconnector to Norway”, 2016.
- [44] Siemens, “HVDC-High-voltage direct current transmission,” 2017.
- [45] Siemens energy, “Siemens Energy supplies HVDC technology for the first electricity link between Germany and Belgium,” Nov. 2020.
- [46] The National HVDC Centre, “Case study: North Sea Link Protection Coordination Testing”, 2021.
- [47] B. E. Koh, G. J. Jung, I. H. Moon, and S. K. Kim, “Introduction of Haenam-jeju HVDC system”, IEEE International Symposium on Industrial Electronics Proceedings, vol. 2, pp. 1006-1010, 2001.
- [48] GE Grid Solutions, “Jeju Island Link II”, 2018.
- [49] KAPES, “북당진-고덕 2단계 HVDC 변환설비 기술보고서”, 2019.
- [50] P. E. Marken, J. P. Skliutas, P. Y. Sung, K. S. Kim, H. M. Kim, L. H. Sailer, and R. R. Young, “New synchronous condensers for Jeju Island”, IEEE Power and Energy Society General Meeting, pp. 1-6, 2012.
- [51] 김승규, 김도암, 김대식, 김찬기, 고병언, “HVDC 기술동향(IV)”, 대한전기학회 학술지, vol. 50, no. 2, Feb. 2011.
- [52] 대한전기협회, “전(電)력질주 - 제주 HVDC”, 전기저널, no. 447, pp. 74-79, 2014.
- [53] 심은보, “HVDC 송전기술과 제주-해남 HVDC 변환설비”, 전기저널, 9월. 1999.
- [54] 양현식, 김갑덕, 여근택, 김경석, “국내 최초 500 kV 북당진-고덕 HVDC 건설사업 변환시스템 엔지니어링”, 대한전기학회 하계학술대회 논문집, pp. 399-400, 2016.
- [55] Hitachi Energy, “HVDC light reference list - The original VSC technology”, 2022.
- [56] 한국전력공사, “사업시행계획-500 kV HVDC 동해안-신가평 송전선로 건

- 설사업 (삼척시)”, 4월, 2021.
- [57] 산업통상자원부, MMC기반 전압형 직류 송전 시스템 개방, 12월, 2014.
- [58] A. Nami, L. Wang, F. Dijkhuizen, and A. Shukla, “Five level cross connected cell for cascaded converters”, European Conference on Power Electronics and Applications (EPE), 2013.
- [59] B. Jacobson, Y. Jian-hafner, P. Rey, G. Asplund, M. Jeroense, A. Gustafsson, and M. Bergkvist, “HVDC with voltage source converters and extruded cables for up to  $\pm 300$  kV and 1000MW”, Proc. CIGRE, B4-105, 2006.
- [60] J. Rodríguez, J. S. Lai, and F. Z. Peng, “Multilevel inverters: A survey of topologies, Controls, and Applications”, IEEE Transactions on industrial electronics, vol. 49, no. 4, Aug. 2002.
- [61] S. Kouro, M. Malinowski, K. Gopakumar, J. Pou, L.G. Franquelo, B. Wu, J. Rodriguez, M.A. Perez, and J.I. Leon, “Recent advances and industrial applications of multilevel converters”, IEEE Transactions on industrial electronics, vol. 57, no. 8, Aug. 2010.
- [62] B. Li, J. He, J. Tian, Y. Feng, and Y. Dong, “DC fault analysis for modular multilevel converter-based system”, Journal of Modern Power Systems and Clean Energy, vol. 5, no. 2, pp. 275-282, 2017.
- [63] T. An, G. Tang, and W. Wang, “Research and application on multi-terminal and DC grids based on VSC-HVDC technology in China”, High Voltage, vol. 2, no. 1, 2017.
- [64] A. Lesnicar, and R. Marquardt, “A new modular voltage source inverter topology”, European Conference on Power Electronics and Applications(EPE), 2003.
- [65] Ngoc-ThinhQuach, S. H. Lee, S. M. Lee, H. C. Kim, E. H. Kim, “Analyzing modulation techniques for the modular multilevel converter”, International Journal of Computer and Electrical Engineering, vol. 8, no. 4, 2016.

- [66] A. Hassanpoor, “Modulation of modular multilevel converters for HVDC transmission”, PhD Dissertation, 2016.
- [67] M. H. Nguyen, S. S. Kwak, “Nearest-level control method with improved output quality for modular multilevel converters”, IEEE Access, 2020.
- [68] M. Zama, “Modeling and control of modular multilevel converters (MMCs) for HVDC applications,” PhD Dissertation, 2017.
- [69] V. A. Lacerda, R. M. Monaro, R. P. Alzola, D. Compos-Gaona, D. V. Coury and O. Anaya-Lara, “Control-based fault current limiter for modular multilevel voltage-source”, Int. J. Elect. Power Energy Syst., vol. 118, pp. 1-12, Jun. 2020.
- [70] T. Shrivastava, S. C. Gupta, and A. M. Shandilya, “NSGA-II based multi objective design optimization of resistive superconducting fault current limiters”, International Journal of Recent Technology and Engineering (IJRTE), vol. 8, no. 6, Mar. 2020.
- [71] J. M. Pina, M. V. Neves, A. Álvarez, and A. L. Rodrigues, “High temperature superconducting fault current limiters as enabling technology in electrical grids with increased distributed generation penetration”, Doctoral Conference on Computing, Electrical and Industrial Systems (DoCEIS) vol. 314, pp. 425-432, 2010.
- [72] M. S. Alam, M. A. Y. Abido, and I. E. Amin, “Fault current limiters in power systems: A Comprehensive Review”, Energies, vol. 11, no. 5, 2018.
- [73] V. Q. Dao, J. I. Lee, C. S. Kim, M. W. Park, and U. Melaccio, “Design and performance analysis of a saturated iron-core superconducting fault current limiter for DC power systems”, Energies, vol. 13, no. 22, 2022.
- [74] D. M. Larruskain, I. Zamora, and O. Abarrategui, “Fault current limiters for VSC-HVDC systems”, 10th IET International Conference on AC and DC Power Transmission (ACDC 2012), pp. 4-5, 2012.

- [75] 최효상, “HVDC 시스템과 직류차단기 기술 개발 현황,” 전기의세계, vol. 65, no. 8, pp. 21-27, Aug. 2016.
- [76] 최혜원, “HVDC 계통 신뢰도 향상을 위한 한류형 초전도 DC 차단기에 관한 연구,” 박사학위 논문, 2019.
- [77] B. Pauli, G. Mauthe, E. Ruoss, G. Ecklin, J. Poter, J. Vithayathil, “Development of a high current HVDC circuit breaker with fast fault clearing capability”, IEEE Trans. Power Deliv., vol. 3, issue 4, 1988.
- [78] H. Nakao, Y. Nakahoshi, M. Hatano, T. Koshizuka, S. Nishiwaki, A. Kobayashi, T. Murao, S. Yanabu, “DC current interruption in HVDC SF6 gas MRTB by means of self-excited oscillation superimposition”, IEEE Trans. Power Deliv. vol. 16, no. 62, 2001.
- [79] S. Teeuwsen, “Modeling the trans bay cable project as voltage-sourced converter with modular multilevel converter design”, IEEE power and energy society general meeting, 24-29, pp. 1-8, July, 2011.
- [80] B. Qin, W. Liu, R. Zhang, J. Liu, and H. Li, “Review on short-circuit current analysis and suppression techniques for MMC-HVDC transmission systems”, Applied sciences, vol. 10, no. 9, 2020.
- [81] W. Wu, X. Wu, J. Yin, L. Jing S. Wang, J. Li, “Characteristic analysis and fault tolerant control of circulating current for modular multilevel converters under sub-module faults”, Energies, vol. 10, pp. 1827, 2017.
- [82] F. Schettler, H. Huang, N. Christl, “HVDC transmission systems using voltage-sourced converters - design and applications”, IEEE power engineering society summer meeting, July, 2000.
- [83] S. Teeuwsen, “Simplified dynamic model of a voltage-sourced converter with modular multilevel converter design”, IEEE power and energy society general meeting, 15-18, March, 2009.
- [84] L. Zhang, J. Qin, X. Wu, and M. Saedifard, “A generalized precharging strategy for soft startup process of the modular multilevel converter-based HVDC systems”, IEEE Transactions on Power Delivery,

- vol. 30, no. 3, pp. 1298–1306, 2014.
- [85] R. Zeng, L. Xu, L. Yao, and D. J. Morrow, “Pre-charging and DC fault ride-through of hybrid MMC based HVDC systems”, *IEEE Transactions on Power Delivery*, vol. 30, no. 3, pp. 1298–1306, 2014.
- [86] K. M. Kim, J. H. Kim, D. H. Kim, B. M. Han, and J. Y. Lee, “Improved pre-charging method for MMC-based HVDC systems operated in nearest level control,” *Journal of Power Electronics*, vol. 17, no. 1, pp. 127–135, Jan. 2017.
- [87] K. Shi, F. Shen, D. Lv, P. Lin, M. Chen, and D. Xu, “A novel start-up scheme for modular multilevel converter,” *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 4180–4187, 2012.
- [88] 황선호. “DC 전력망 전력부담 저감을 위한 초전도 차단시스템에 관한 연구.” *국내석사학위논문 조선대학교 대학원*, 2017.
- [89] H. G. Kang, C. J. Lee, K. W. Nam, Y. S. Yoon, H. M. Chang, T. K. Ko, B. Y. Seok, “Development of a 13.2 kV/630 A (8.3 MVA) high temperature superconducting fault current limiter”, *IEEE Trans. Applied superconductivity*, vol. 18, no. 2, pp. 628–631, 2008.
- [90] H. C. Jo, K. S. Chang, Y. J. Kim, S. Y. Chu, H. J. Kim, H. M. Kim, Y. S. Yoon, T. K. Ko, “Operating characteristics of oval-shaped resistive superconducting fault current limiter”, *IEEE Trans. Applied superconductivity*, vol. 21, no. 3, pp. 1246–1249, 2011.
- [91] M. C. Ahn, J. Y. Jang, T. K. Ko, H. G. Lee, “Novel design of the structure of a non-inductive superconducting coil”, *IEEE Trans. Applied superconductivity*, vol. 21, no. 3, pp. 1250–1253, 2011.
- [92] B. Shen, Y. Chen, C. Li, S. Wang, X. Chen, “Superconducting fault current limiter (SFCL): Experiment and the simulation from finite-element method (FEM) to power/energy system software”, *Energy*, vol. 234, pp. 1–11, 2021.
- [93] K. B. Ashok, R. J. Thomas, J. P. Mathai, A. Nijhuis, “Analytical and



- numerical investigations on the degradation of REBCO based superconducting tapes under bending”, IEEE Trans. Applied superconductivity, vol. 31, no. 7, pp. 8400712, 2021.
- [94] M. Pekarčiková, E. Michalcová, L. Frolek, J. Šouc, P. Gogola, M. Drienovský, M. Skarba, J. Mišik, F. Gömöry, “Effect of mechanical loading on coated conductor tapes due to winding onto round cables”, IEEE Trans. Applied superconductivity, vol. 28, no. 4, pp. 8400505, 2018.
- [95] M. Takayasu, “Width-bending characteristic of REBCO HTS tape and flat-tape Rutherford-type cabling”, Supercond. Sci. Technol., vol. 34, pp. 125020, 2021.
- [96] S. Y. Park, G. W. Kim, J. S. Jeong, and H. S. Choi, “The modeling of the LC divergence oscillation circuit of a superconducting DC circuit breaker using PSCAD/EMTDC”, Energies, vol. 15, no. 3, 2022.
- [97] A. Parizad, H.R. Baghaee, A. Tavakoli, S. Jamali, “Optimization of arc models parameters using genetic algorithm”, International conference on electric power and energy conversion systems, 2009, Available online: <https://ieeexplore.ieee.org/document/5415746>.
- [98] O. Mayr, “Über die theorie des lichtbogens und seiner löschung”, Elektrotechnische Zeitschrift, Jahrgang 64, Heft 49/50, pp. 645–652, 1943.
- [99] O. Mayr, “Beiträge zur theorie des statischen und dynamischen lichtbogens,” Arch. Elektrotech., vol. 37, no. 12, pp. 588–608, 1943.
- [100] CIGRE Working Group 13.01, “Applications of black box modelling to circuit breakers,” Electra, pp. 41–71, 1993.
- [101] H. Pieter, “An improved Mayr-type arc model based on current-zero measurements”, IEEE transactions on power delivery, vol. 15, no. 2, pp. 580–584, 2000.
- [102] Emmanouil Panousis, Markus Bujotzek, Thomas Christen, Arc cooling mechanisms in a model circuit breaker, IEEE transactions on power delivery, 2014.