



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

2021년 2월

석사학위 논문

우주용 전자제품의 솔더 접합부  
피로수명 보장을 위한 고댐핑 적층형  
전자기판에 관한 연구

조선대학교 대학원

항공우주공학과

신 석 진

우주용 전자제품의 솔더 접합부  
피로수명 보장을 위한 고댐핑 적층형  
전자기판에 관한 연구

A Study on High Damping Multi-layered Printed Circuit  
Board for Fatigue Life of Solder Joint of Spaceborne  
Electronics

2021년 2월 25일

조선대학교 대학원

항공우주공학과

신 석 진

우주용 전자제품의 솔더 접합부  
피로수명 보장을 위한 고댐핑 적층형  
전자기판에 관한 연구

지도교수 오 현 웅

이 논문을 공학 석사학위 신청 논문으로 제출함.

2020년 10월

조선대학교 대학원

항공우주공학과

신 석 진

## 신석진의 석사학위논문을 인준함

위원장 조선대학교      겸임교수      유 영 준 (인)

위 원 조선대학교      교수      오 현 웅 (인)

위 원 조선대학교      교수      안 규 백 (인)

2020년 11월

조선대학교 대학원

## 목 차

LIST OF FIGURES .....	vii
LIST OF TABLES .....	ix
ABSTRACT .....	x
<b>제 1 장 서 론</b> .....	<b>1</b>
<b>제 2 장 연구제안 배경</b> .....	<b>7</b>
제 1 절 웨지락 개요 .....	7
제 2 절 종래의 전자기판 기계 설계 기법 .....	10
<b>제 3 장 점탄성 테이프를 적용한 고댐핑 적층형 전자기판</b> .....	<b>17</b>
제 1 절 고댐핑 적층형 전자기판 개요 .....	17
제 2 절 고댐핑 적층형 전자기판 제작 .....	20
<b>제 4 장 기본 동특성 분석</b> .....	<b>23</b>
제 1 절 자유감쇠시험 개요 .....	23
제 2 절 자유감쇠시험 결과 .....	25
제 3 절 발사진동시험 개요 .....	30

제 4 절 발사진동시험 결과 .....	32
<b>제 5 장 발사진동 피로수명시험 .....</b>	<b>35</b>
제 1 절 발사진동 피로수명시험 개요 .....	35
제 2 절 솔더 접합부 피로수명 측정 결과 .....	40
제 3 절 적층부 구조건전성 확인 .....	43
<b>제 6 장 고댐핑 적층형 전자기판의 솔더 접합부 피로수     명 예측 .....</b>	<b>46</b>
제 1 절 솔더 접합부 피로수명 예측 개요 .....	46
제 2 절 솔더 접합부 피로수명 예측 및 결과 .....	53
<b>제 7 장 결 론 .....</b>	<b>59</b>
<b>【참고문헌】 .....</b>	<b>61</b>
<b>【연구실적】 .....</b>	<b>64</b>

# LIST OF FIGURES

<b>Fig. 1</b>	Flight Sequence of Launch Vehicle [7]	4
<b>Fig. 2</b>	Fatigue Failure Mechanism of Solder Joint due to Repeated Bending Behavior of PCB [8]	5
<b>Fig. 3</b>	Examples of Fatigue Fracture on Solder Joint of Electronic Components ((a): Ball Grid Array, (b): Column Grid Array) [10]	6
<b>Fig. 4</b>	Examples of (a) a Wedge Lock [16] and (b) its Application in Electronics [17]	8
<b>Fig. 5</b>	Example of Mechanical Design for Stiffener Mounted on the PCB with Wedge Lock [11]	11
<b>Fig. 6</b>	Examples of (a) Particle Impact Damper and (b) its Application on the PCB [19]	12
<b>Fig. 7</b>	Examples of (a) Application Concept of Damping Materials such as Potting Materials or Metallic Cloths for the PCB and (b) Its Application [20]	13
<b>Fig. 8</b>	Examples of (a) Application Concept of Active Mass Damper (AMD) for the PCB and (b) Its Application [21]	14
<b>Fig. 9</b>	Example of Wire Rope Type Isolator for the Electronics [22]	15
<b>Fig. 10</b>	Number of Small Satellite Launches from 2013 to 2027 [23]	16
<b>Fig. 11</b>	Configuration of High Damping PCB with Viscoelastic Tapes	18
<b>Fig. 12</b>	Integration Process of Viscoelastic Tape with Constrained Layer on the PCB Specimen	21
<b>Fig. 13</b>	Free Vibration Test Set-up according to Temperature Condition	24
<b>Fig. 14</b>	Time Histories of Acceleration Response (20 °C)	26
<b>Fig. 15</b>	Variation of Basic Dynamic Characteristics according to Temperature Condition ((a): 1 <sup>st</sup> Eigenfrequency, (b): Damping Ratio)	28
<b>Fig. 16</b>	PSD Acceleration Profile under Random Vibration	33
<b>Fig. 17</b>	Vibration Fatigue Life Test Set-up	36
<b>Fig. 18</b>	Configurations of Daisy-chain Circuit of Electronic Components ((a): QFP208, (b): PBGA388)	38

**Fig. 19** Time Profile of Daisy-chain Resistance of Each Electronic Component on Case 1 Specimen during Fatigue Life Test .....41  
**Fig. 20** Optical Microphotographs of Tape Attachment Interfaces at Sidereal Edges before and after Fatigue Life Test ((a): Case 2, (b): Case 3) ..45  
**Fig. 21** FEM of Case 3 PCB Specimen for Fatigue Life Prediction .....49  
**Fig. 22** FEM Depending on Component Type ((a): QFP208, (b): PBGA388) .....51  
**Fig. 23** Modal Analysis Results of Case 3 Specimen ((a): 135.4 Hz, (b): 226.35 Hz, (c): 402.16 Hz) .....54

# LIST OF TABLES

<b>Table 1</b> Specifications of 3M966 Tape [24] .....	19
<b>Table 2</b> Specifications of PCB Specimens in Each Case .....	22
<b>Table 3</b> Free Vibration Test Results at Ambient Temperature (20 °C) .....	27
<b>Table 4</b> Specification of Random Vibration Test .....	31
<b>Table 5</b> Dynamic Responses under Random Vibration .....	34
<b>Table 6</b> Specification of Electronic Components [27] .....	37
<b>Table 7</b> Fatigue Life of U1 Components on Each Case Specimen .....	42
<b>Table 8</b> Comparison of 1 <sup>st</sup> Eigenfrequency of Each Specimen before and after Fatigue Life Test .....	44
<b>Table 9</b> Equations for Fatigue Life Expectation of Solder Joint Based on Critical Strain Theory [10] .....	48
<b>Table 10</b> Comparison of Thickness and 1 <sup>st</sup> Eigenfrequency of FEM and Test Result .....	50
<b>Table 11</b> Damping Ratio Applied to Analysis to Correlate Acceleration Response between Analysis and Test Results .....	57
<b>Table 12</b> Comparison of Test and Prediction Results of Fatigue Life of U1 Components on Each Case Specimen .....	58

## ABSTRACT

# A Study on High Damping Multi-layered Printed Circuit Board for Fatigue Life of Solder Joint of Spaceborne Electronics

Shin Seok-Jin

Advisor : Prof. Oh Hyun-Ung, Ph. D.

Department of Aerospace Engineering,

Graduate School of Chosun University

A wedge lock is used to mechanically fasten a printed circuit board (PCB) in an electronics. The two wedge locks are mounted at the edge of the PCB using screws or rivets. Then, the PCB is inserted into the chassis of an electronics housing structure. Finally, the PCB is fastened by applying the tightening torque to the wedge and making it in close contact with the chassis. This fastening principle has advantages from the point of view of vibration damping induced by friction between the wedge and the chassis, and easier assembly process. In addition, the wedge lock is able to act as conductive thermal path of the electronics. Due to these effectiveness of the wedge lock, it has been widely used in aeronautical, automotive, defense, as well as space industries.

Spaceborne electronics is subjected to various extreme vibrations like sine vibration, random vibration, pyro-shock during flight after launch. These vibrations make the PCB in the electronics bent repetitively, which could lead to fatigue fracture of a solder joint connecting an electronic component and the PCB. Thus, high reliable mechanical design of the electronics is necessary for space mission success. Generally, additional mechanical fixations at various locations on the PCB or additional stiffeners are applied in order to secure fatigue life of the solder joint by reducing a dynamic displacement of the PCB under the vibration by increasing a stiffness of the PCB. However, it is difficult to ensure the fatigue life on the solder joint on the PCB applying the

wedge lock, although the wedge lock helps to dissipate the vibration energy in some extent. This is because only the edge of the PCB where the wedge locks are located is constrained due to the assembly method of the PCB to the housing. To this day, additional stiffeners which have higher stiffness compared to the PCB like an aluminum, have been mounted on the PCB to assure the fatigue life of solder joint by decreasing the displacement of the PCB under the vibration. However, this design approach induces increase in volume and weight of the PCB assembly. Furthermore, in case of the electronics that accommodates a number of the PCBs, the housing structure would become more bulky.

A recent trend of satellite development in space industry has been changed from large satellites of high cost to small satellites relatively economic. According to the change, a demand for small and lightweight electronics has also increased. However, the conventional design approach of PCB has a limitation in miniaturizing the electronics. Therefore, new mechanical design approach for the electronics which could assure fatigue life of solder joint under the vibration and minimize the size of electronics compared to the conventional mechanical design approach is necessary.

In this study, a high damping multi-layered PCB using a viscoelastic tape was proposed for the fatigue life of solder joint on the PCB with wedge lock under the vibration, as well as lightweight electronics design. In the proposed PCB, multiple constrained layers are laminated on the PCB employing the tape to realize the high damping capability. This multi-layered structure is effective to attenuate the dynamic displacement of the PCB, because the friction occurred between the constrained layer and the tape under the vibration dissipates the vibration energy. Therefore, the proposed PCB is effective in ensuring the fatigue life of solder joint under the vibration due to high damping capability. Furthermore, it is much smaller and lighter than the conventional PCB assembly. In order to validate the effectiveness of the design, the PCB specimens having different number of the constrained layers were manufactured. A basic characteristic test at different temperature was performed to compare the 1<sup>st</sup> eigenfrequency and damping ratio. Also, through the random vibration test using

the specimens without the electronic components, the damping capability was experimentally validated. Thorough the launch vibration fatigue test on the specimens assembling QFP208 and PBGA388 components, the fatigue life extension effect of electronic components induced by the high damping characteristics was validated, and the structural safety of the PCB related to tape delamination under continuous vibration was confirmed, as well. Finally, the capability of the proposed PCB in enhancing the fatigue life was also validated by predicting the fatigue life based on Critical Strain Theory.

**Key Word** : Wedge Lock, Printed Circuit Board, Constrained Layered Damping, Viscoelastic Tape, Fatigue Life

## 제 1 장 서 론

웨지락 (Wedge Lock)은 전자기판과 전장품 구조체의 기계적 결합을 위해 기판에 적용되는 체결 부품이다. 웨지락은 Screw 또는 Rivet으로 기판의 가장자리에 장착되어, 구조체에 마련된 샤페 (Chassis)를 따라 전장품 내에 삽입된 후 기판의 구속을 위해 인가된 토크에 따라 샤페와 썸 (Wedge)가 밀착되어 체결된다. 상기 수납 방식은 전장품의 조립을 용이하게 할 뿐만 아니라 웨지락과 샤페 간 발생하는 마찰로 진동을 저감한다. 또한, 기판과 구조체 간 열전도 통로로서 전장품 내 열 통제를 용이하게 한다 [1-2]. 이로써, 웨지락은 전장품의 고성능 구현을 위해 기판의 높은 수납 효율을 필요로 하는 자동차, 항공, 선박용 전장품 뿐만 아니라 우주용 전장품에도 활발히 적용되고 있다 [3-6].

우주용 전장품은 Fig. 1과 같이 발사 후 목표 궤도까지의 비행 과정에서 발사체의 비행 가속도에 따른 정적 하중과 발사체의 주 엔진 연소 종료 (Main Engine Cut-off, MECO), 추진부의 분사, 공력 소음 및 음향 하중에 의한 Sine 및 Random 진동, 발사체의 다단 분리 및 페어링-위성체 분리 시 발생하는 Pyro-shock과 같은 극심한 발사진동 환경에 노출된다. 전술한 다양한 형태의 진동 중 특히 Random 진동은 Fig. 2와 같이 전장품 내 탑재 기판의 반복적인 굽힘 거동을 초래하며, 이는 기판과 탑재 전자 소자를 기계적, 전기적으로 연결하는 솔더 접합부에 피로를 누적시킨다. 우주용 전장품이 발사진동환경에 노출되는 시간은 몇 십분에 불과하지만, 발사과정에서 누적되는 피로에 의해 종국에는 Fig.3 과 같은 솔더 접합부의 손상 또는 파단이 발생할 수 있다. 또한, 위성 개발 시 진동환경에 대한 구조건전성 검증을 위해 수행되는 부품, 탑재체, 시스템 수준의 진동 시험에서도 솔더 접합부에 피로가 축적된다 [7-10]. 따라서 우주용 전장품의 성공적인 임무 수행을 위해 초기 설계 단계에서부터 탑재 전자 소자의 피로수명 보장이 가능한 전장품 기계 설계가 반드시 필요하다. 이를 위해 일반적으로 전장품 기계 설계 시 기판과 구조체 간 다수의 체결점을 추가함으로써 기판의 굽힘 거동을 제한하였다 [9]. 그러나 웨지락이 적용된 전장품은 기판의 수납 특성 상 웨지락이 장착되는 기판의 가장자리부만 구속 가능하기 때문에 기판과 구조체 간 체결점을 증가시키는 보강 설계가 불가능하다. 따라서 웨지락 적용에 따라 기판에 전달되는 진동이 일부 저감 될지라도, 기판의 크기가 증가할수록 극심한 진동환경에 대한 탑재 전자 소자의 피로수명 보장에 한계가 있다. 종래에는 전술한 웨지락 적용 기판의 한계 극복을

위해 주로 기판 대비 고강성 소재의 보강재를 기판 상에 장착하여 강성을 증가시킴으로써 기판의 굽힘 변위를 저감하였다 [11]. 그러나 별도의 보강재 적용 시 기판 조립체의 부피 및 무게 증가가 불가피하며, 이는 전장품 구조체의 무게 및 부피 증가를 초래할 수 있다. 상기 한계는 고성능 구현을 위해 다수의 기판이 탑재되는 전장품의 경우 더욱 극명해진다.

최근 우주 산업은 뉴 스페이스 (New Space) 시대가 도래하면서 고비용의 대형 위성을 소량 개발 및 운용하는 방식에서 비교적 저비용의 소형위성을 양산하여 군집 운용하는 방식으로 변화하고 있다 [12]. 전술한 위성 개발 추세에 따라 소형위성 내 수납 효율 향상 및 위성체 무게 저감이 가능한 소형/경량 전장품 개발의 필요성이 증대되고 있으며, 상기 필요성 충족을 위해 전장품 전체 크기 및 무게에 지배적인 영향을 미치는 구조체의 소형/경량화가 필수적이다. 그러나 기존 강성 기반의 기판 설계 기법은 전술한 바와 같이 전장품 소형/경량화에 한계가 존재하므로, 이를 극복 가능한 새로운 고신뢰도의 기판 기계 설계 기법이 요구된다.

본 연구에서는 기판의 진동환경 하 동적 거동 저감을 통해 탑재 소자의 피로수명을 보장함과 동시에 소형/경량 전장품 설계 구현에 기여하고자 점탄성 테이프를 적용한 구속층 (Constrained Layer) 적층 구조의 고댐핑 특성에 주목하였다. 다수의 선행연구에서 점탄성 소재 기반 적층형 구조체의 댐핑 성능을 입증했다. 대표적인 선행연구의 예로, Bhattarai et al. [13]은 큐브위성용 전개형 태양전지판에 부착된 태양전지셀의 발사진동에 대한 구조건전성을 확보를 위해 태양전지판에 복수 층의 점탄성 테이프 및 보강재를 적용하였다. Kwon et al. [14]은 궤도 상에서 위성체 내 극저온 냉각기의 구동 시 발생하는 미소진동을 절연함과 동시에 발사진동환경에서 발사 구속 장치 없이 냉각기의 구조건전성을 보장하고자 다층의 금속 박판 블레이드를 점탄성 테이프로 적층한 수동형 진동 절연기를 제안하였다. Kudal과 Cicirello [15]는 알루미늄 평판의 진동 저감을 위해 점탄성 중합체 (Viscoelastic Polymer)로 다층의 구속층을 적층하였으며, 구속층 정위 (Orientation)에 따른 댐핑 효과를 실험적으로 입증하였다. Steinberg [9]는 전자기판의 진동 저감을 위해 다층의 점탄성 소재를 기판에 적층하는 기법을 소개하였다. 전술한 다수의 선행연구에서 점탄성 소재 적용에 따른 댐핑 성능은 입증되었지만, 진동환경 하 소자의 피로수명 향상 관점에서 유효성을 입증한 사례는 전무하다.

본 연구에서는 일반 전자기판 소재로 구현 불가능한 수준의 고댐핑 특성을 기판 자체에 구현하기 위해 기판과 동일 소재의 얇은 구속층을 기판 배면에 점탄성 테이프로

다층 적층한 고댐핑 적층형 전자기판을 제안하였다. 제안 기판은 진동환경에서 적층부 층간에 발생하는 마찰로 기판의 굽힘 변위를 효과적으로 저감 가능하여, 결과적으로 기판 상 솔더 접합부의 피로수명 보장에 유리하다. 또한, 종래 기판의 강성 증가를 위해 적용한 보강재 대비 작은 무게, 부피로도 소자의 피로수명 보장이 가능하므로 전장품 구조체의 소형/경량화가 가능하다. 본 연구의 유효성 검증을 위해 구속층 적층 수에 따라 세 종류의 기판 시편을 제작했다. 제안된 적층형 기판의 기본 동특성 분석을 위해 전장품의 노출이 예상되는 환경 온도 조건에 따른 자유감쇠시험을 수행하였으며, 우주 인증 수준의 발사진동시험을 통해 제안된 기판의 동적 응답 저감 성능을 입증하였다. 또한, 고집적화 소자가 실장된 기판 시편을 활용한 발사진동 피로수명시험을 통해 제안 기판의 솔더 접합부 피로수명 보장 측면에서의 설계 유효성 및 진동환경 하 구속층 적층부의 구조건전성을 입증하였다. 마지막으로, 상기 시험결과를 토대로 구축한 유한요소모델 (Finite Element Model, FEM)을 활용하여 고집적화 소자의 피로수명을 예측을 하였고, 상기 예측을 통해 피로 시험으로부터 획득하지 못한 시편의 피로수명 연장 성능을 해석적으로 확인하였다. 본 연구에서 수행한 시험 및 해석 결과로부터 고댐핑 적층형 전자기판 적용 시 고댐핑 성능에 기인하여 기존 보강 설계 기법 대비 감소된 기판 조립체의 부피 및 무게만으로 솔더 접합부 피로수명 측면에서의 고신뢰도의 기판 설계가 가능함을 입증하였고, 이와 더불어 전장품 기계 설계 시 소형/경량화 가능성을 확인하였다.

본 논문의 구성으로 다음의 2장에서는 웨지락의 구성 및 체결 원리, 종래의 전자기판 기계 설계 기법에 관하여 서술하였다.

제 3장에서는 본 연구에서 제안하는 고댐핑 적층형 전자기판의 구성 및 특징을 서술하였다. 또한, 제안 기판의 제작방법 및 연구 유효성 입증을 위해 제작한 각 Case 별 기판 시편의 제원 정보를 서술하였다.

제 4장에서는 온도 조건에 따른 기본 동특성 비교를 위해 수행된 자유감쇠시험에 관한 개요 및 결과를 서술하였다. 또한, 제안 기판의 고댐핑 성능 입증을 위해 상온 조건에서 수행한 발사진동시험 개요 및 결과를 서술하였다.

제 5장에서는 전자 소자의 피로수명 향상 효과 및 진동환경 하 제안 기판의 구조건전성 입증을 위해 수행한 발사진동 피로수명시험에 대한 개요 및 시험 결과를 서술하였다.

제 6장에서는 진동시험 결과를 토대로 구축한 FEM 및 임계 변형을 이론에 기초하여 예측한 전자 소자의 피로수명을 정리하였다.

제 7장에서는 결론, 참고문헌 및 연구실적을 정리하였다.

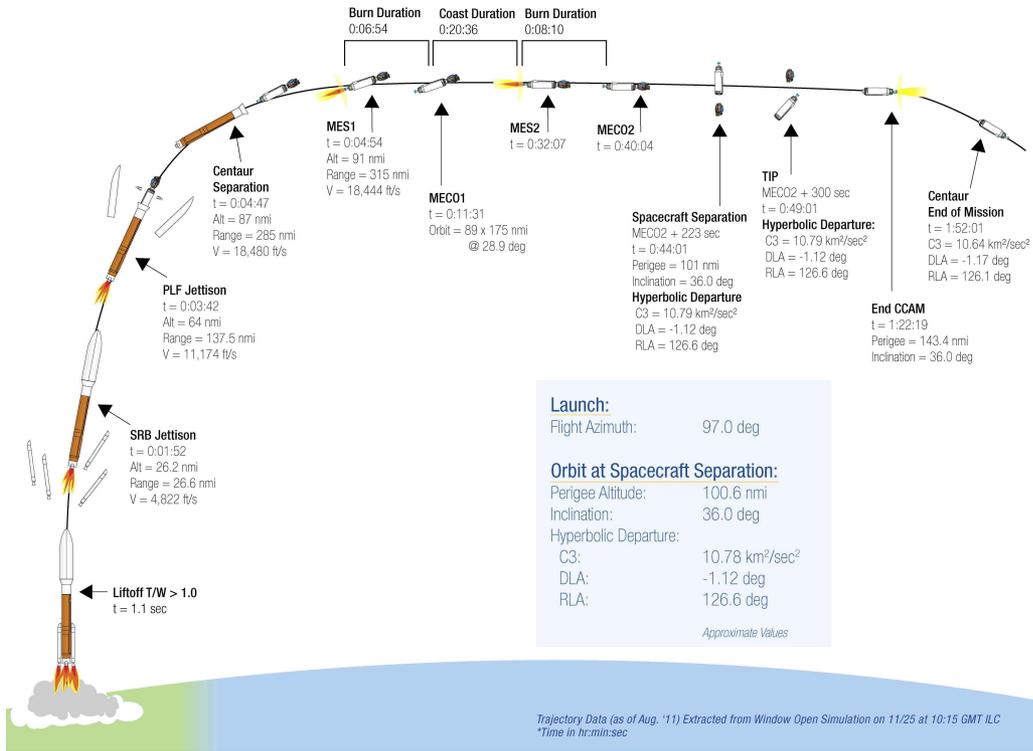
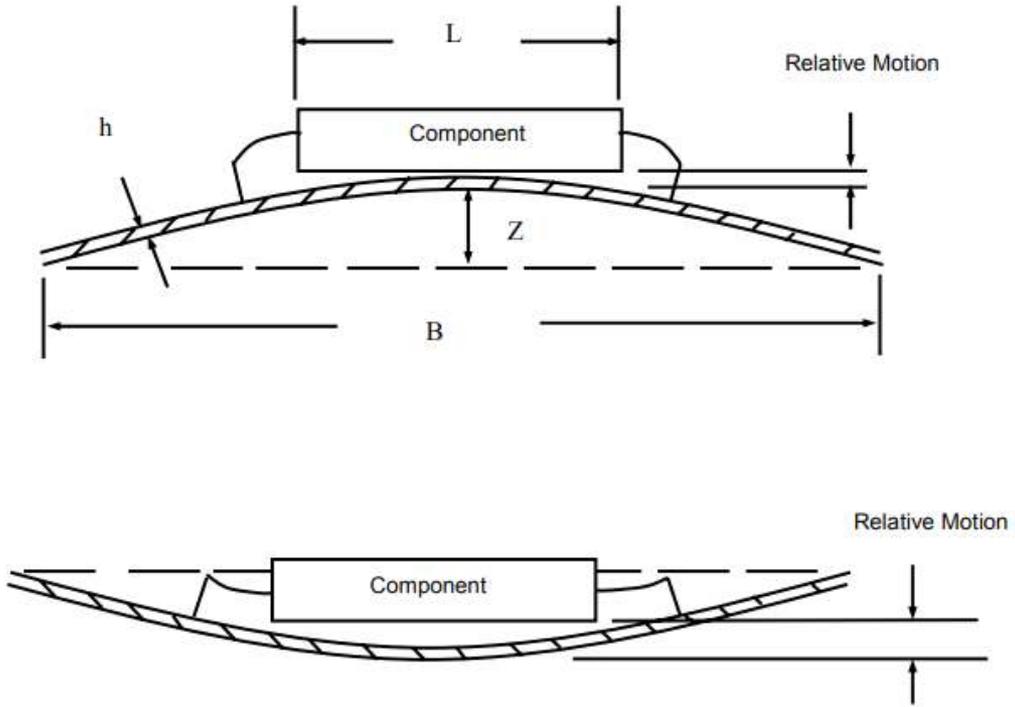
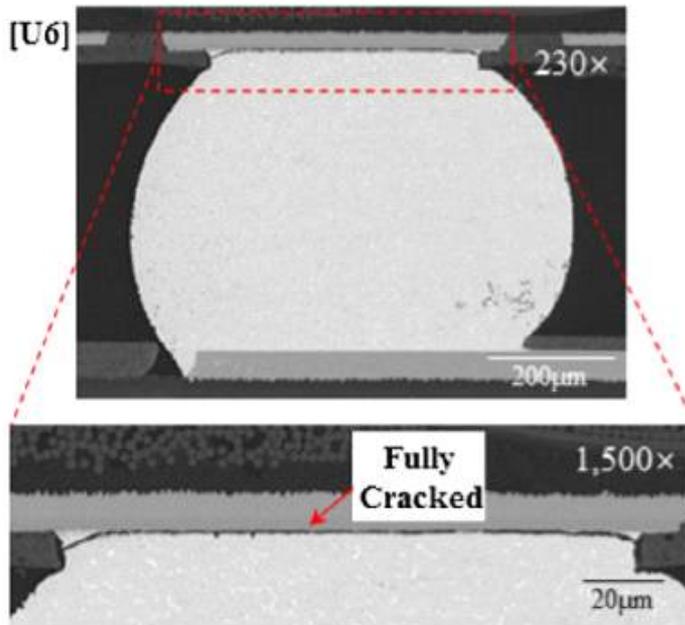


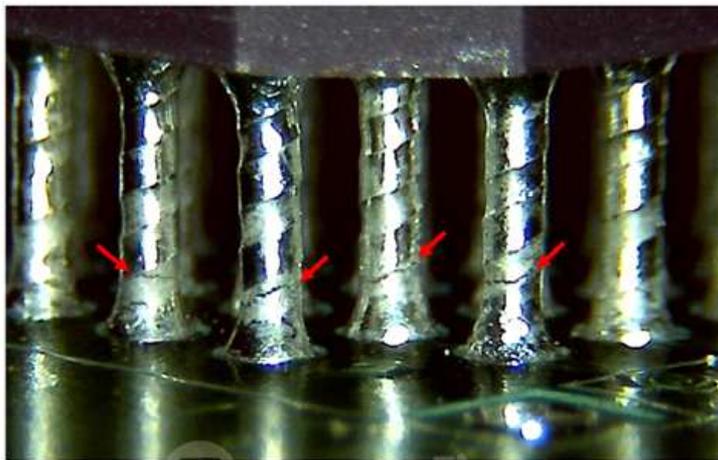
Fig. 1 Flight Sequence of Launch Vehicle [7]



**Fig. 2** Fatigue Failure Mechanism of Solder Joint due to Repeated Bending Behavior of PCB [8]



(a)



(b)

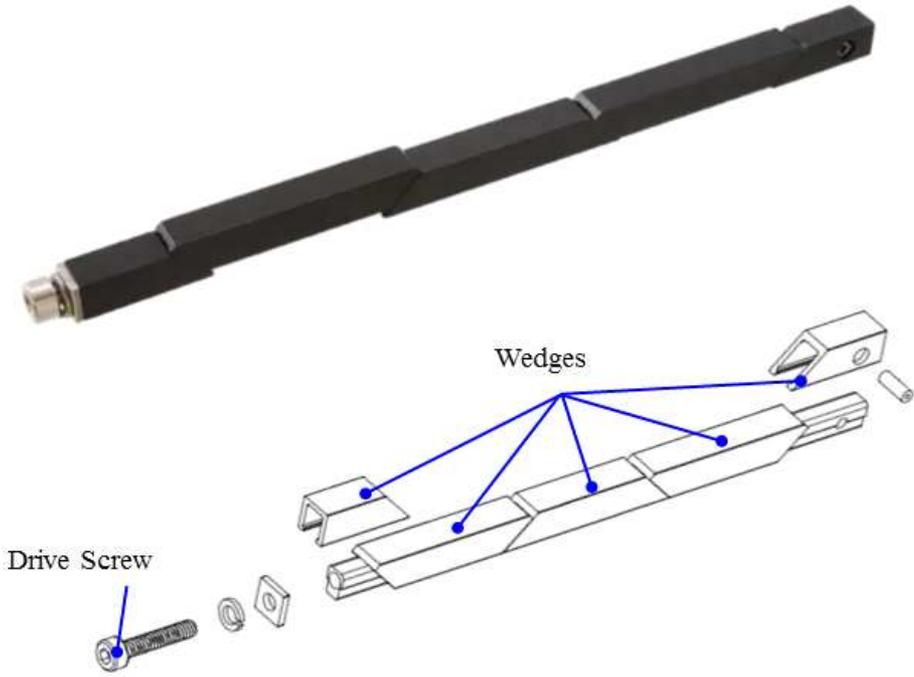
**Fig. 3** Examples of Fatigue Fracture on Solder Joint of Electronic Components  
((a): Ball Grid Array, (b): Column Grid Array) [10]

## 제 2 장 연구제안 배경

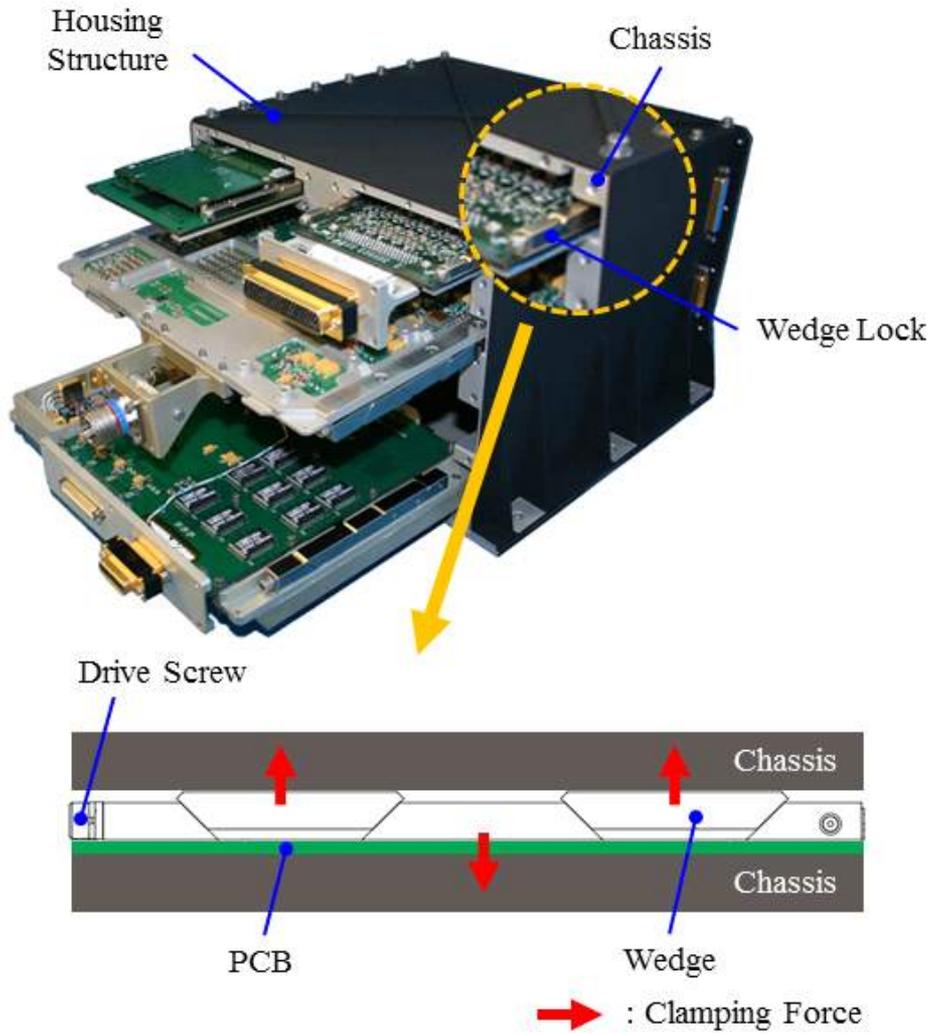
### 제 1절 웨지락 개요

웨지락은 국방 및 이동체 산업 뿐만 아니라 우주 산업에서도 전장품 내 전자기판의 기계적 체결을 위해 폭넓게 적용된다. Fig. 4는 웨지락의 형상 및 구성 (a), 웨지락이 적용된 전장품의 대표적인 형상 (b)을 보여준다 [16-17]. 웨지락은 Fig. 4 (a)와 같이 체결 토크 인가를 위한 Drive Screw가 쐐기(Wedge)를 관통한 형태로 구성된다. 웨지락은 일반적으로 Fig. 4 (b)와 같이 기판의 양 끝에 Screw 또는 Rivet으로 장착된다. 웨지락이 장착된 기판은 전장품 구조체와의 결합을 위해 구조체에 설계된 새시를 따라 수납된다. 수납 후 Drive Screw에 토크를 인가하면 쐐기가 옆에 위치한 쐐기의 사선 단면을 타고 기판의 평면 외 방향으로 돌출됨에 따라 쐐기와 새시 간 부여되는 Clamping Force에 의해 기판의 체결이 이뤄진다. 전술한 웨지락의 체결 방식은 전장품 조립, 유지 보수, 지상 검증 시험 과정에서 필요에 따라 특정 기판의 장착 및 탈착이 편리한 장점이 있다. 또한, 웨지락 적용 시 진동환경 하 체결면에서 발생하는 마찰에 의해 기판에 전달되는 진동에너지를 저감할 수 있을 뿐만 아니라, 기판과 구조체 사이에 열 전도 경로 확보가 가능하다.

그러나 웨지락을 적용한 기판은 새시를 따라 기판을 수납하는 방식 상 Fig. 4 (b)와 같이 기판의 양 끝 모서리만 구조체와 구속조건 부여가 가능하다. 일반적으로 상기 기판과 같은 양단지지 조건 (Clamped - Clamped)의 보는 크기가 증가함에 따라 진동환경에서 큰 굽힘 변위가 발생한다. 따라서 웨지락이 전술한 마찰 댐핑 효과를 일부 부여할지라도, 굽힘 변위 저감을 위한 기판-구조체 간 체결점 추가가 불가능하며, 이는 슬더 접합부의 피로에 의한 파손 위험성 증가를 의미한다.



(a)



(b)

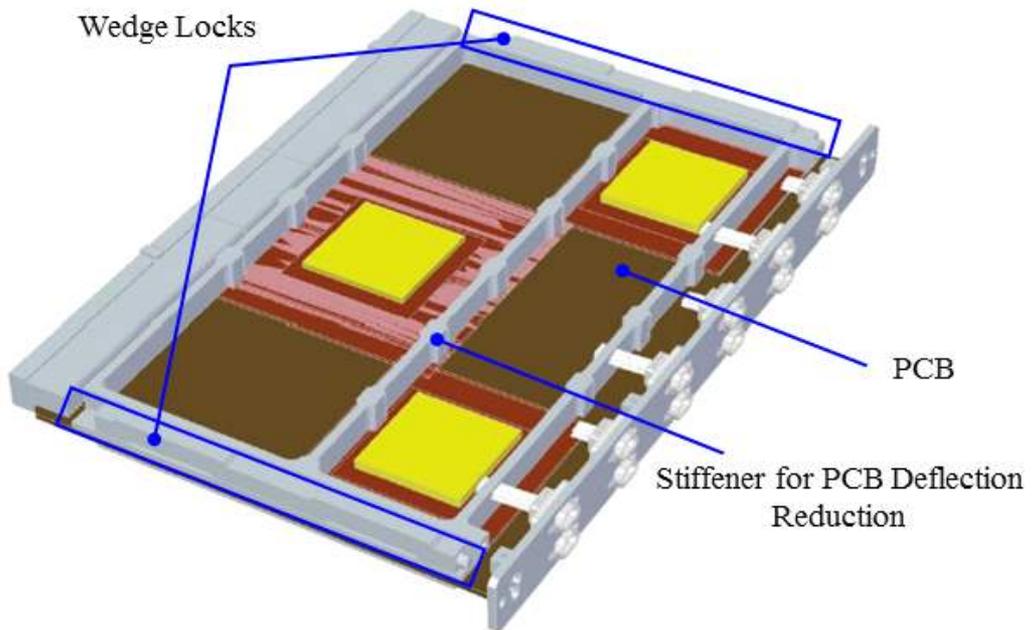
Fig. 4 Examples of (a) a Wedge Lock [16] and (b) Its Application in Electronics [17]

## 제 2 절 종래의 전자기판 기계 설계 기법

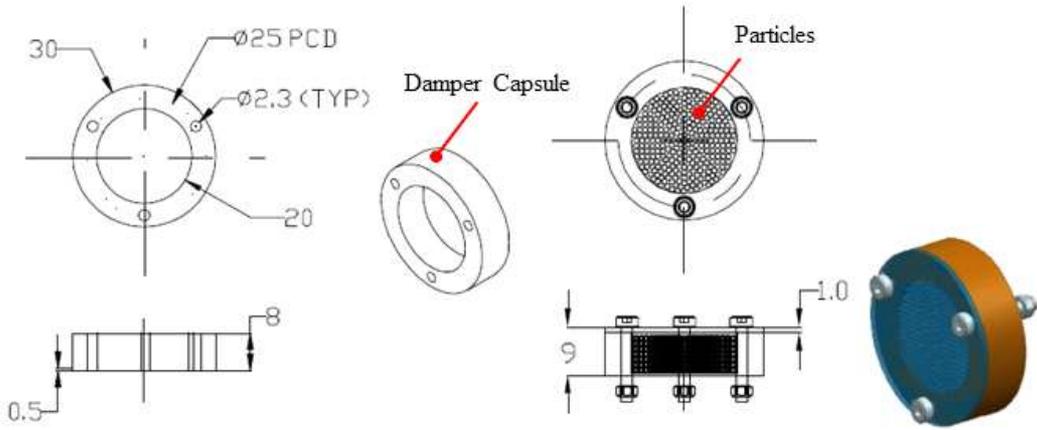
종래에는 웨지락이 적용된 전자기판 기계 설계 시 진동환경에서 기판의 과도한 굽힘 변위로 실장 소자의 피로수명 보장에 한계가 예상될 경우, Fig. 5와 같이 기판 대비 강성이 높은 소재의 보강재를 기판 상에 장착하였다 [11]. 이는 기판의 강성을 증가시켜 기판의 굽힘 변위를 저감하기 때문에 솔더 접합부의 구조건전성 보장에 효과적이다. 상기 보강 설계 기법은 웨지락을 적용하는 전장품에 국한되지 않고 하우징 설계 시 격벽 구조물을 적용하는 등의 형태로 전장품 설계에 폭넓게 적용되었다 [18]. 전술한 강성 기반의 설계 이외에 여러 선행연구에서 기판의 동적 응답 저감을 목적으로 댐핑 및 진동 절연 구조물 적용한 연구가 수행되었다 [19~22].

대표적인 선행연구의 예로, Veeramuthuvel et al. [19]은 전자기판에 Particle Impact Damper (PID)를 장착하였다. PID는 Fig. 6과 같이 Damper Capsule과 Capsule에 수납된 다수의 구 형태 Particle로 구성되며, 적용 시 기판 중앙에 Screw로 장착된다. 상기 댐퍼는 진동환경에서 Particle - Particle, Particle - Capsule 간 충돌 시 발생하는 마찰로 진동 에너지를 소산한다. Hyatt et al. [20]은 Fig. 7과 같이 기판과 기판 체결을 위한 구조체 사이에 Potting Compound 또는 Microfibrous Metallic Cloth을 적용함으로써 댐핑을 부여하였다. Esser와 Huston [21]은 Fig. 8와 같이 기판에 Active Mass Damper (AMD)를 적용하였으며, Veprik et al. [22]은 Fig. 9와 같이 전장품에 Wire Rope 타입의 진동 절연기를 적용하였다.

현 우주산업에서는 지구 관측, 통신망 구축 등 다양한 우주 임무를 수행함에 있어 Fig. 10과 같이 소형위성의 수요가 급격히 증가하고 있으며 [23], 현 개발 추세에 따라 우주용 전장품의 소형/경량화에 대한 연구가 수행되고 있다. 그러나 전술한 강성 기반의 설계 기법은 기판 조립체의 무게와 부피의 불가피한 증가를 야기하며, 이로부터 수반된 수납 기판 사이의 간격 증가는 전장품 전체 크기를 증가시키켜 소형/경량화 측면의 기술적 한계를 초래한다. 상기 기술적 한계는 기판 체결 시 웨지락이 적용되지 않는 전장품 구조체에서도 발생한다. 또한, 전술한 댐핑 또는 진동 절연 구조를 적용하는 설계 기법 [19~22]도 구조물 장착 및 적용을 위한 별도의 공간이 요구되기 때문에 궁극적인 해결책이 될 수 없다. 실제 개발된 대부분의 우주용 전장품 중 구조체의 무게는 총 무게의 50% 이상을 차지한다. 따라서 전장품의 소형/경량화 설계 달성을 위해서는 전장품 구조체의 크기절감이 필수적이다.



**Fig. 5** Example of Mechanical Design for Stiffener Mounted on the PCB with Wedge Lock [11]



(a)



(b)

**Fig. 6** Examples of (a) Particle Impact Damper and (b) Its Application on the PCB [19]

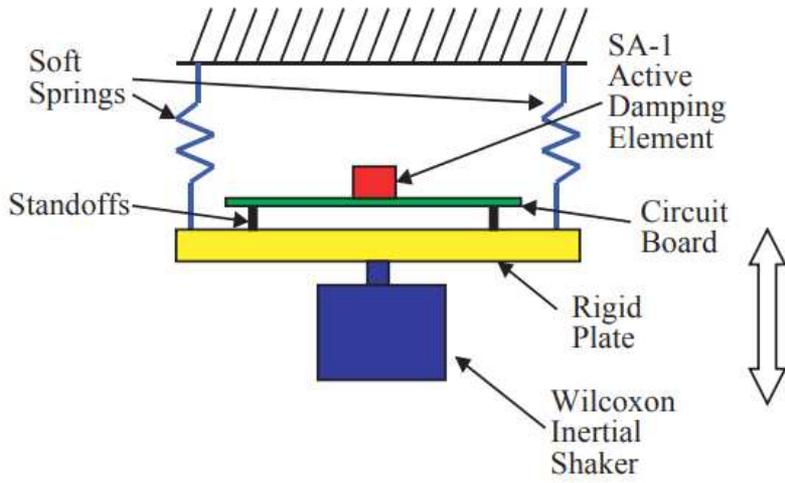


(a)

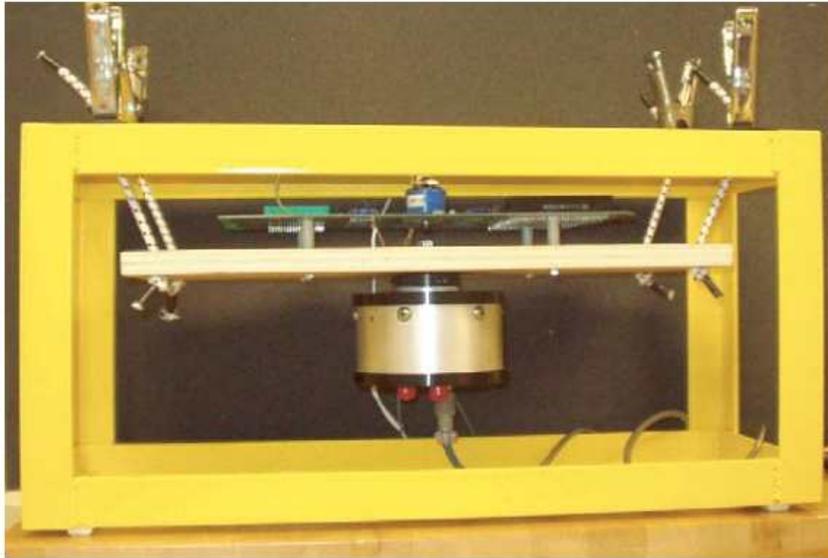


(b)

**Fig. 7** Examples of (a) Application Concept of Damping Materials such as Potting Materials or Metallic Cloths for the PCB and (b) Its Application [20]

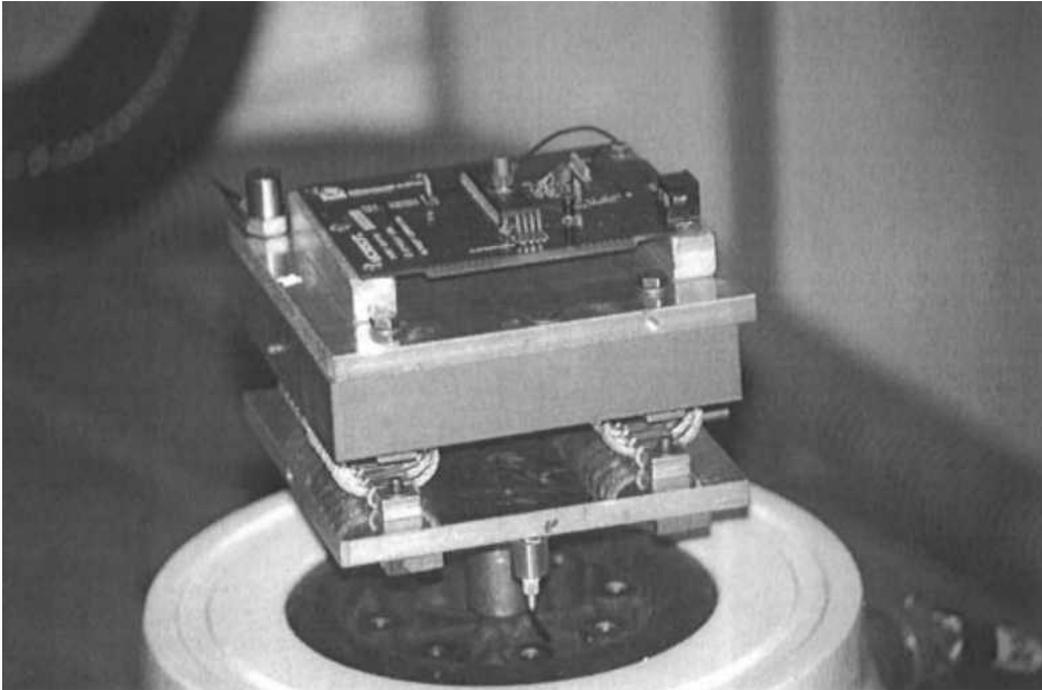


(a)



(b)

**Fig. 8** Examples of (a) Application Concept of Active Mass Damper (AMD) for the PCB and (b) Its Application [21]



**Fig. 9** Example of Wire Rope Type Isolator for the Electronics [22]

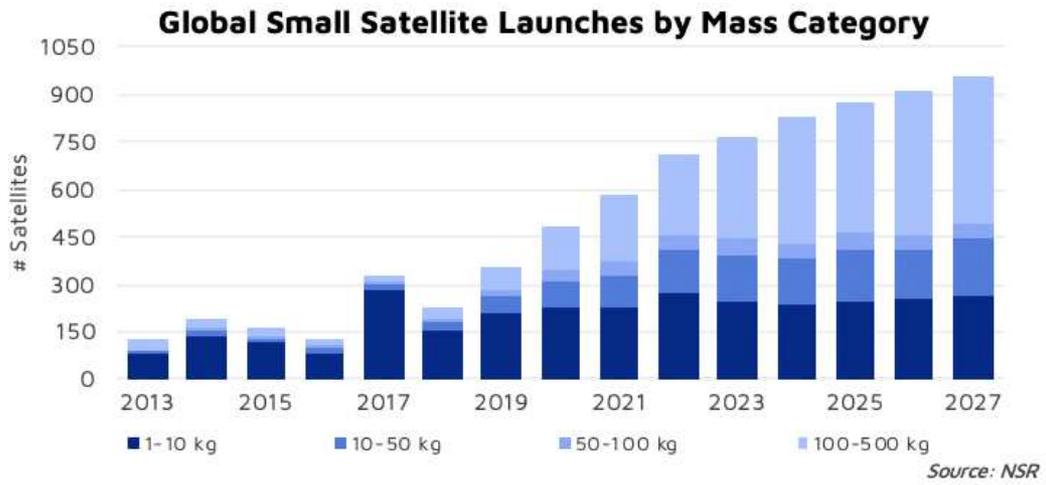


Fig. 10 Number of Small Satellite Launches from 2013 to 2027 [23]

## 제 3 장 점탄성 테이프를 적용한 고댐핑 적층형 전자기판

### 제 1 절 고댐핑 적층형 전자기판 개요

본 연구에서는 발사진동환경 하 우주용 전장품 내 탑재 전자소자의 피로수명 보장과 함께 기존 전장품 대비 소형/경량 전장품 설계 구현을 목적으로 다수의 선행 연구 [13-15]에서 고댐핑 특성이 입증된 점탄성 테이프를 적용한 구속층 적층 구조에 주목하였으며, 이에 기반한 고댐핑 적층형 전자기판을 제안하였다.

Figure 11은 본 연구의 설계 유효성 입증을 위해 제작된 고댐핑 적층형 전자기판 시편의 형상 및 구성이다. 제안된 기판은 전자기판, 구속층, 점탄성 테이프로 구성된다. 전자기판은 243 mm × 160 mm × 2.4 mm 크기의 FR-4 소재 기판이다. 구속층은 기판 양 끝 모서리부에 웨지락 장착 공간을 확보하고자 228 mm × 147 mm × 0.5 mm 크기로 설계되었으며, 기판과 동일 소재로 제작되었다. 본 연구에서는 기판의 동적 응답 최소화에 따른 탑재 소자의 피로수명 측면의 신뢰성을 보장하기 위해 Fig. 11과 같이 점탄성 테이프를 0.5 mm 두께의 구속층 층간에 적용하였다. 이로써, 동적 하중에 의해 평면 외 방향으로 굽힘 거동이 발생할 경우 높은 손실 계수 (Loss Factor)를 지닌 점탄성 테이프와 구속층 간 발생하는 마찰에 의해 기판에 전달되는 진동에너지가 효과적으로 소산할 수 있음과 동시에 적층에 따른 기판의 강성 증가로 기판의 동적 변위도 저감 가능하다. 또한, 점탄성 테이프와 구속층으로 구성된 적층부를 사각 격자 형태로 설계함으로써 기판 상 전자 부품 실장 가능 면적을 최대한 확보하였다. 제안 기판은 적층부의 수 mm 이하 수준의 두께와 금속 소재 대비 밀도가 낮은 구속층의 소재를 고려하였을 때, 종래에 적용된 보강 설계 [11, 18] 및 진동 저감 구조물 적용 설계 기법 [19-22] 대비 기판 조립체의 무게 뿐만 아니라, 전장품 전체 구조체의 크기 및 무게 감소가 가능하다. Table 1은 본 연구에서 구속층 적층에 적용한 3M966 양면 테이프의 제원 정보를 나타낸다 [24]. 상기 테이프는 실제 우주 임무에 적용된 사례가 있는 제품으로, 우주 임무 적용 시 요구되는 고진공 환경에 대한 탈기체 (Outgassing) 기준을 충족한다 [24-25]. 또한, -40 ~ 232 °C의 넓은 허용 온도 범위를 지니기 때문에, 열 설계를 통해 일정 범위의 내부 온도가 유지되는 전장품 내에 적용 시 열적 측면에서 문제가 없을 것으로 판단된다. 마지막으로, 기판과 구속층 제작에 적용된 FR-4 소재와 같은 부도체로 궤도상 내부 전자 대전에 의한 방전 손상 (Electro Static Discharge, ESD) 발생 가능성이 극히 낮기 때문에, 제안 기판에서 구속층 적층을 위해 선정되었다.

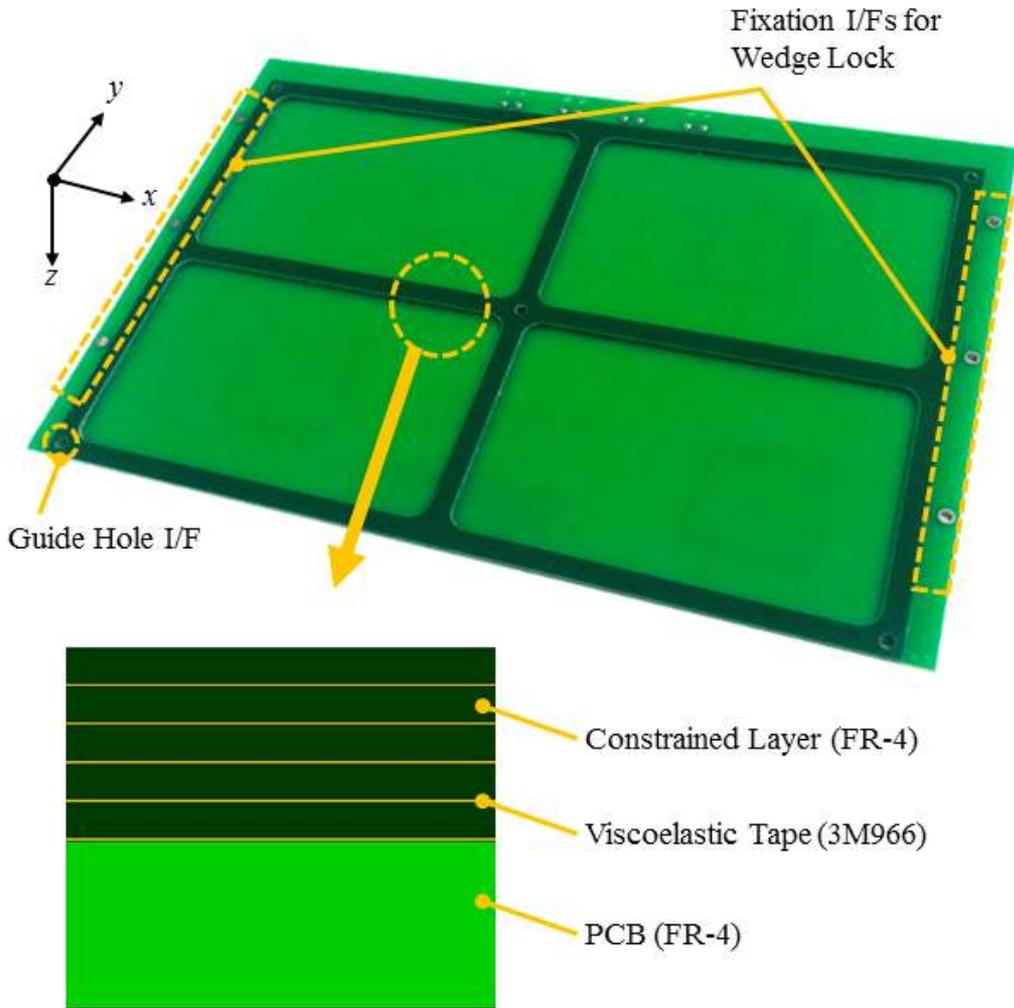


Fig. 11 Configuration of High Damping PCB with Viscoelastic Tapes

**Table 1** Specifications of 3M966 Tape [24]

Type	Double-sided Acrylic Tape
Thickness (mm)	0.06
Adhesion Strength to Steel (N/100mm)	58 (20 min Dwell) 85 (72 hr Dwell) 159 (Ultimate Bond)
Allowable Temperature Range (°C)	-40 ~ 232
Thermal Conductivity (W/m-K)	0.178 (@ 41 °C) 0.183 (@ 71 °C) 0.187 (@ 101 °C)
CTE (ppm/°C)	1.99
TML (%)	0.93
CVCM (%)	0.01

## 제 2 절 고댐핑 적층형 전자기판 제작

본 연구에서 제안된 적층형 전자기판은 적층 및 테이프 부착 과정에서 작업자의 작업성에 의해 균일한 적층이 이루어지지 않을 경우, 극심한 진동환경에서 구속층과 테이프의 박리가 발생하여 목적하는 고댐핑 특성 구현에 한계가 있을 수 있다. 따라서 작업자의 작업성에 의한 차이를 최소화하기 위해 Fig. 11과 같이 기판과 구속층 양 끝 모서리에 총 4개의 Guide Hole을 마련하였으며, Fig. 12와 같이 적층형 기판 제작 절차를 정의함으로써 작업성에 따른 기판의 댐핑 성능 저하를 방지하였다.

적층형 전자기판 제작 절차는 다음과 같다.

1. 적층형 전자기판 제작을 위한 준비물을 준비한다. (준비물: 전자기판, 구속층, 3M966 테이프, 적층 치구, Isopropyl Alcohol (IPA), 토크 렌치, 극세사 클리너, 칼)
2. IPA를 적신 극세사 클리너를 활용하여 전자기판 및 구속층 표면에 먼지 또는 오염 물질을 제거한다.
3. 3M966 양면 테이프에 구속층을 부착 후 구속층 형상에 따라 재단한다.
4. 적층 치구 하부에 마련된 Guide Pin을 활용하여 전자기판을 치구 하부 상단 표면에 위치시키고, 구속층은 부착된 테이프 시트를 제거한 뒤 Guide Pin을 따라 기판 표면에 부착한다.
5. Guide Pin을 따라 적층 치구 상부와 하부를 결합 후,  $1.1 \text{ N} \cdot \text{m}$ 의 토크로 M3 볼트를 체결함으로써 치구 상/하부를 압착한다. (M3 정격 볼트:  $1.1 \text{ N} \cdot \text{m}$ )
6. 72 시간 후, 5번에서 체결한 볼트를 제거 후 적층 치구 상부를 하부로부터 탈착하면 적층형 기판이 완성된다.

본 연구에서 제안된 고댐핑 적층형 전자기판의 설계 유효성 입증을 위해 전술한 제작 절차에 따라 총 세종류의 기판 시편을 제작 하였다. 시편은 구속층 적층 층수에 따라 Case 1~3으로 구분되며, 제원정보는 Table 2에 정리하였다. Case 1은 적층 구조가 적용되지 않은 일반 기판이며, Case 2와 3은 구속층이 각각 3층, 5층 적층된 기판이다. 적층부 적용에 따라 Case 2 시편은 Case 1 대비 약 9%의 무게와 1.5 mm의 두께가 증가하였으며, Case 3 시편은 14%의 무게 및 2.5mm의 두께가 증가되었다. 이는 종래에 기판의 강성 증가를 위해 적용한 금속 보강재의 무게 및 두께를 고려하였을 때 기판 조립체의 부피 및 무게가 저감된 수치이다.

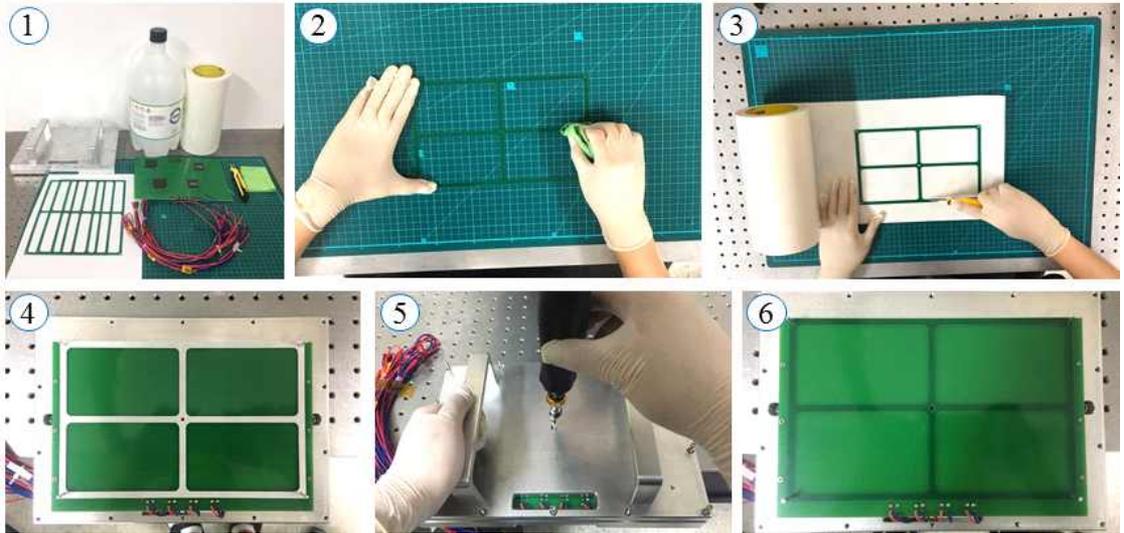


Fig. 12 Integration Process of Viscoelastic Tape with Constrained Layer on the PCB Specimen

**Table 2** Specifications of PCB Specimens in Each Case

Item	Specification		
Case	1	2	3
PCB Material	FR-4 (PCB / Constrained Layer)		
PCB Dimension (mm)	243 × 160 × 2.4		
No. of Layers	0	3	5
Total Thickness (mm, Incl. Constrained Layers)	2.4	3.9	4.9
Mass (g)	196	214	224

## 제 4 장 기본 동특성 분석

### 제 1 절 자유감쇠시험 개요

본 연구에서 제안된 고댐핑 적층형 전자기판은 진동환경 하 적층부 층간에 발생하는 마찰에 의해 진동 에너지가 소산되는 설계 특징을 갖기 때문에, 기판의 댐핑 성능은 테이프와 구속층의 적층수에 따라 결정된다. 또한, 점탄성 소재의 경우 일반적으로 온도 조건에 따라 물리적 특성이 변하기 때문에, 기판이 노출되는 열 환경에 따라 기판의 댐핑 성능에 차이가 있을 수 있다. Steinberg의 문헌 [9]에 따르면, 다층의 점탄성 소재가 적층된 기판의 경우 고온 조건에서 기판의 강성 및 댐핑 성능에 급격한 저하가 관찰되며, 이로써 진동시험 시 기판의 동적 변위 증가에 따른 솔더 접합부의 손상이 발생할 수 있다. 그러나 상기 문헌의 경우 적층에 적용된 점탄성 소재, 시험 온도 및 진동 수준, 진동 시험 결과에 대한 정보가 기술되지 않았다. 따라서 본 연구에서 제안된 적층형 기판에 대한 우주 임무 적용 적합성 파악을 위해 다양한 온도 조건에 대한 제안 기판의 기본 동특성 변화 파악이 필요하다.

본 연구에서는 제안 기판의 온도 조건에 따른 기본 동특성 파악을 위해 우주용 전장품의 내부 열 환경이 고려된  $-20 \sim 60 \text{ }^{\circ}\text{C}$  범위의 온도 조건에서 자유감쇠시험을 실시하였으며, 각 Case 별 기판 시편에 대한 1차 고유진동수와 감쇠비 (Damping Ratio,  $\zeta$ )를 산출하였다. 이를 위해 Fig. 13과 같이 열 챔버 내에 별도의 시험 치구를 이용하여 기판 시편을 장착하였으며, 시험 시 웨지락의 구속조건을 모사하기 위해 상용 웨지락과 동일한 크기의 브라켓을 활용하여 양단 구속 (Clamped-Clamped) 조건을 구현하였다. 또한, 기판 표면에 가속도계 (Accelerometer)와 열전대 (Thermocouple)를 부착하여 기판의 가속도 응답 및 온도 정보를 획득했다.

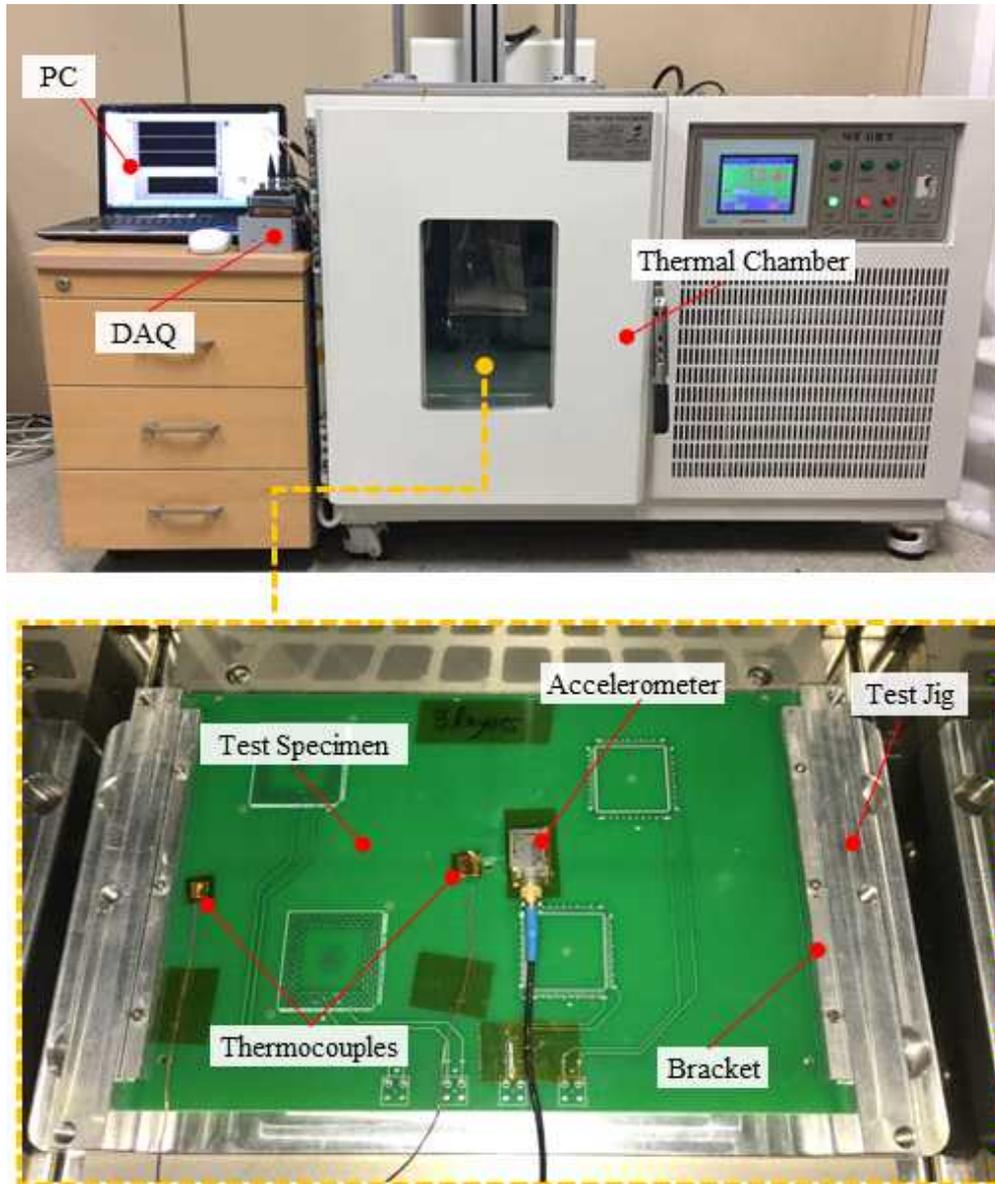


Fig. 13 Free Vibration Test Set-up according to Temperature Condition

## 제 2 절 자유감쇠시험 결과

Figure 14는 온도 조건에 따른 자유감쇠시험 중 상온 (20 °C) 조건에 대한 각 Case 별 기판 시편의 시간 감쇠이력을 나타낸다. 각 시편 별 기본 특성 비교를 위해 상기 시험으로부터 산출한 1차 고유진동수 및 대소 감소율 (Logarithmic Decrement)로부터의 감쇠비를 Table 3에 정리하였다. 구속층을 5층 적층한 Case 3 기판의 1차 고유진동수와 감쇠비는 적층 구조를 미적용한 Case 1 기판 대비 각각 1.19배, 3.7배 향상되었다. 이는 양면 점탄성 테이프와 구속층의 적층으로 기판의 강성이 증가하였으며, 동시에 접촉면적이 증가됨에 따라 적층부 층간의 전단 변형 발생 시 테이프와 구속층 간 마찰이 증가되었기 때문이다.

Figure 15 (a)는 -20 ~ 60 °C에서 수행한 자유감쇠시험으로부터 획득한 각 Case 별 기판의 1차 고유진동수를 나타낸다. 상기 결과는 Table 3에 정리한 상온 조건의 시험 결과도 포함했다. 적층 구조를 미적용한 Case 1 기판 경우 선행연구에서 다양한 온도 조건에 따라 수행한 진동시험으로부터 결과와 다르게 온도가 증가함에 따라 1차 고유진동수가 증가했다 [26]. 이는 기판 대비 열탄성 계수 (Coefficient of Thermal Expansion, CTE)가 높은 알루미늄 소재의 시험 치구가 고온에서 열 변형됨에 따라 기판에 영향을 미쳤던 것으로 판단된다. 그러나 구속층이 적층된 Case 2, 3 시편의 경우 Case 1와 다르게 온도 증가에 따라 1차 고유진동수가 감소하는 경향을 보였다. 상기 결과는 점탄성 테이프가 온도 증가와 함께 상대적으로 강성이 높은 유리 상태 (Glass-phase)에서 강성이 낮은 고무 상태 (Rubbery-phase)로 상변화하는 소재의 특성에 따라 적층부 강성이 저하된 것으로 판단된다. 또한, 적층부 강성 저하가 치구의 열 팽창보다 기판의 고유진동수 변화에 지배적인 영향을 미친 것으로 판단된다. 본 연구에서 설정한 온도 조건 하 자유감쇠시험에서는 Steinberg [9]의 연구와 달리 점탄성 테이프를 적용한 기판의 급격한 강성 감소는 발생하지 않았다.

Figure 15 (b)는 온도 조건에 따른 각 Case 별 기판 시편의 감쇠비를 나타낸다. 점탄성 테이프로 구속층을 적층한 시편의 경우 적층 구조가 미적용된 기판 시편 대비 감쇠비가 증가됨을 알 수 있다. 특히 점탄성 테이프가 유리 상태 특성을 나타내어 감쇠비가 감소하는 -20 °C 조건에서도 Case 2, 3의 감쇠비는 Case 1의 감쇠비보다 최소 두 배 이상 값이 산출되었다. 본 시험 결과로부터 발사 환경 하 예상되는 우주용 전장품 내 온도 조건에서 제안 기판은 일반 기판 대비 우수한 댐핑 성능이 보장됨을 입증하였다.

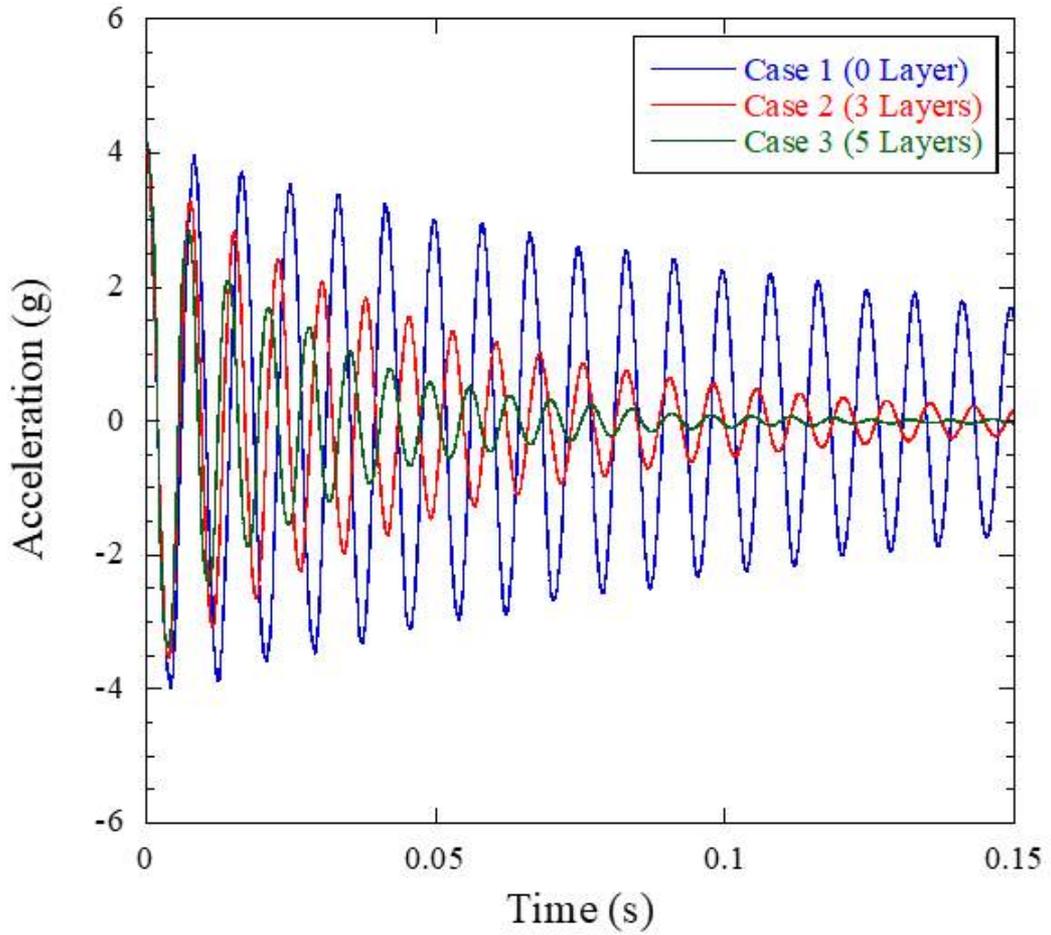
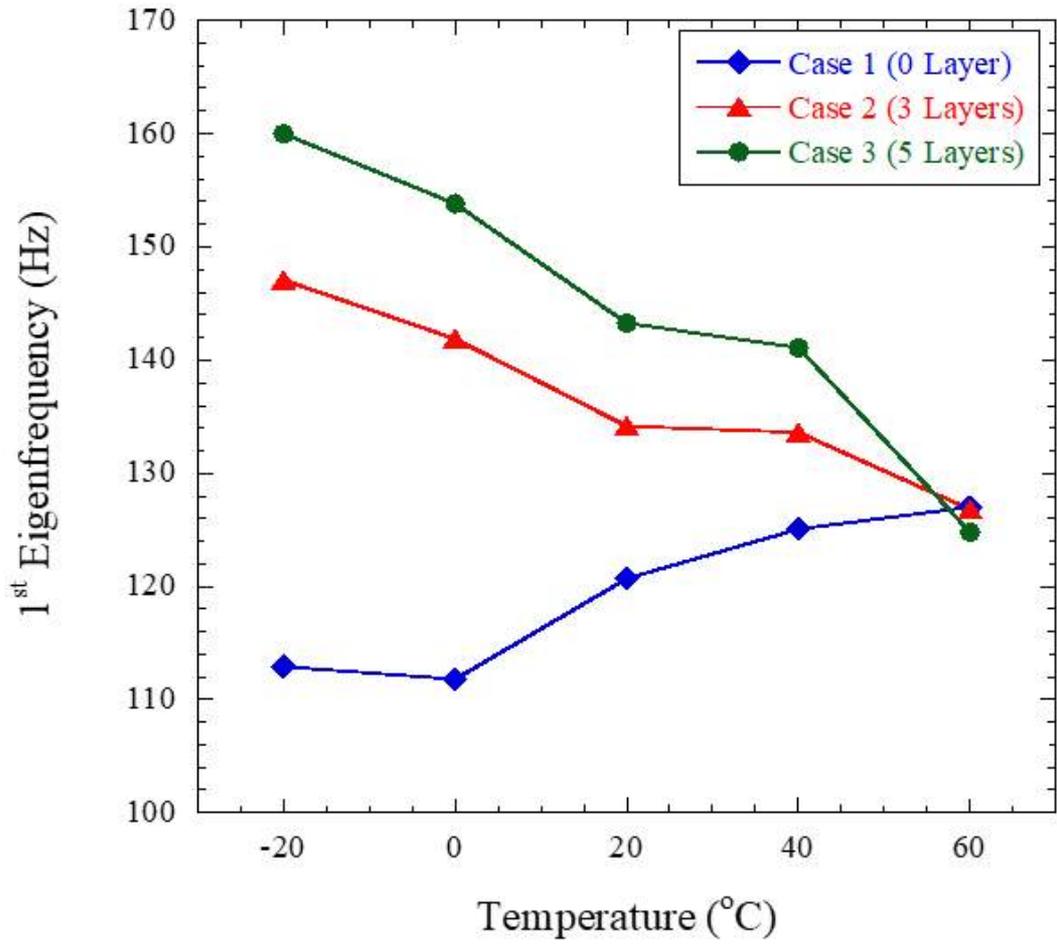


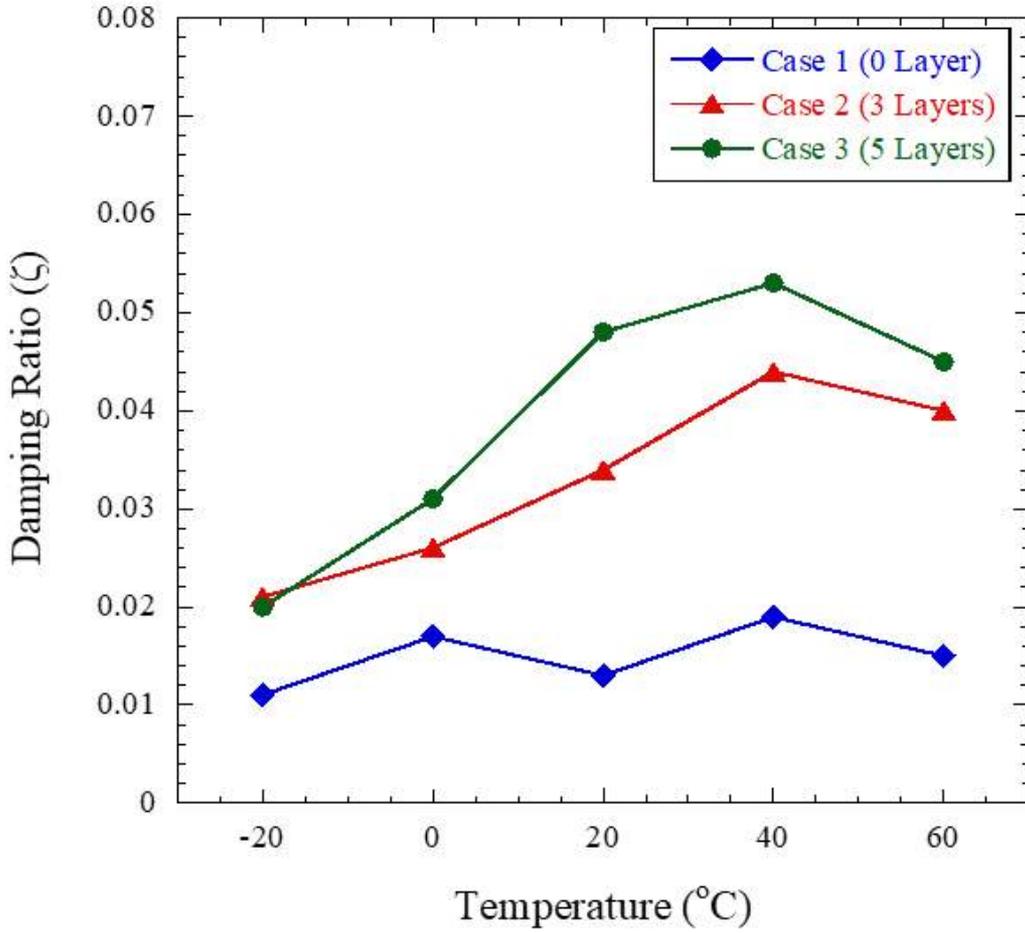
Fig. 14 Time Histories of Acceleration Response (20 °C)

**Table 3** Free Vibration Test Results at Ambient Temperature (20 °C)

Case	1 <sup>st</sup> Eigenfrequency (Hz)	Damping Ratio ( $\zeta$ )	Remarks
1	120.7	0.013	-
2	134.2	0.034	× 1.11 Increased Value of Freq. × 2.61 Increased Value of $\zeta$
3	143.3	0.048	× 1.19 Increased Value of Freq. × 3.67 Increased Value of $\zeta$



(a)



(b)

Fig. 15 Variation of Basic Dynamic Characteristics according to Temperature Condition ((a): 1<sup>st</sup> Eigenfrequency, (b): Damping Ratio)

### 제 3 절 발사진동시험 개요

본 연구에서 제안한 적층형 전자기판의 발사진동환경 하 고뎀핑 특성을 실험적으로 입증하기 위해, 상온조건에서 Table 4에 제시된 우주 인증 수준의 Random 진동 시험을 수행하였다. 진동 시험은 기판이 굽힘 거동을 일으켜 솔더 접합부의 피로측면의 신뢰성에 치명적인 영향을 미치는 z축에 대해 수행되었다. 기판의 가속도 응답 획득 및 인가 하중 제어를 위해 기판 중앙과 시험 치구에 각각 1개의 가속도계를 부착하였다.

**Table 4** Specification of Random Vibration Test

Frequency (Hz)	PSD ( $g^2/ Hz$ )	grms
20	0.026	14.14
50	0.160	
800	0.160	
2000	0.026	

## 제 4 절 발사진동시험 결과

Figure 16은 Random 진동 시험으로부터 획득한 각 Case 별 PSD (Power Spectrum Density) 응답을 나타낸다. 시험 결과로부터 구속층 적층 수가 증가됨에 따라 기판 시편의 1차 고유진동수는 증가하며, 전체 가속도 응답은 감소함을 알 수 있다. 각 Case 별 시편의 grms 응답 및 이로부터 산출한 기판의 최대 굽힘 변위 (3-sigma Level)는 Table 5에 정리하였다. Case 3 시편의 가속도 RMS (Root Mean Square)는 25.87 grms 이며, 최대 굽힘 변위는 0.27 mm이다. 상기 변위 값은 Case 1의 0.99 mm 대비 약 3.7 배 감소한 값이다. 이는 구속층 적층에 적용된 양면 테이프의 점탄성 거동과 적층부 층간의 마찰에 의해 진동에너지가 소산되었으며, 적층에 따라 증가한 기판의 강성이 동적 변위 저감에 기여하였기 때문이다. 본 진동 시험 결과로부터 제안된 고댐핑 적층형 전자기판 적용 시 적층 구조가 미적용 일반 기판 시편 대비 굽힘 변위가 효과적으로 저감됨을 입증하였다.

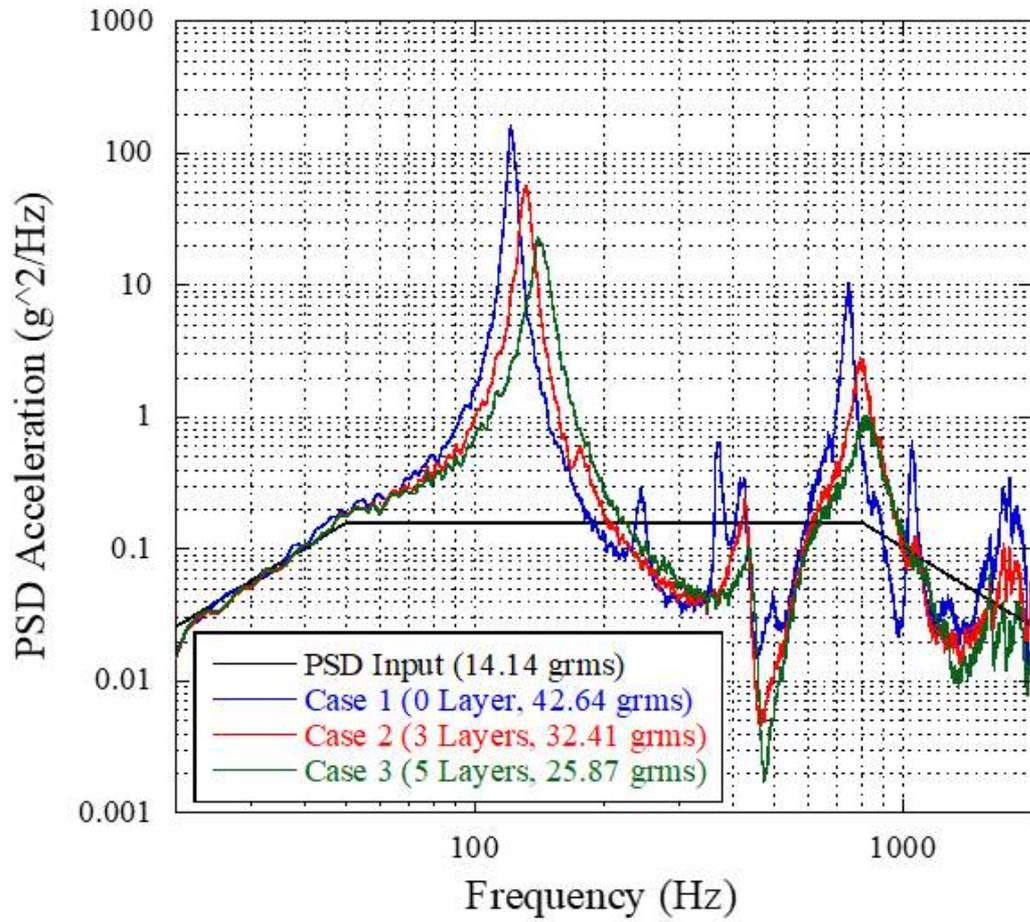


Fig. 16 PSD Acceleration Profile under Random Vibration

**Table 5** Dynamic Responses under Random Vibration

Case	RMS Acceleration (grms)	Max. Displacement (mm)	Remarks
1	42.64	0.99	-
2	32.41	0.48	× 1.31 Reduced Acceleration × 2.06 Reduced Displacement
3	25.87	0.27	<u>× 1.65 Reduced Acceleration</u> <u>× 3.67 Reduced Displacement</u>

## 제 5 장 발사진동 피로수명시험

### 제 1 절 발사진동 피로수명시험 개요

본 연구에서는 제안된 적층형 전자기판의 솔더 접합부 피로수명 향상 측면의 유효성 및 진동환경에 대한 적층부의 테이프 박리 측면에서의 구조 건전성 입증을 위해 발사진동 피로수명시험을 수행하였다. Fig. 17은 피로수명시험의 구성을 나타낸다. 본 시험에서는 전자 소자의 피로수명 측정을 위해 각 Case 별 시편에 Table 6 [27]에 정리된 QFP208 소자와 PBGA388 소자를 각각 2개씩 실장하였으며, Fig. 18 (a), (b)와 같이 소자 내 모든 솔더 접합부를 단일 회로로 연결하는 Daisy-chain 회로를 적용하였다. 본 시험은 가진 축, 인가 진동 수준, 가속도계부착 위치는 기본특성검증을 위해 실시한 발사진동시험과 동일한 조건에서 수행하였으며, 시험 중에는 데이터 수집 장치 (Keithley Instruments Inc., DAQ6510)를 통해 1.7 samples/sec 속도로 저항 값을 수집하였다. 솔더 접합부의 파손은 IPC-9701A [28]에 기초하여 초기 저항 값 대비 20% 이상 증가한 저항 값이 5회 이상 연속적으로 발생한 시점으로 정의하고, 이를 기준으로 소자별 피로수명을 측정하였다. 또한, 적층부의 진동환경에 대한 구조건전성 판별은 ECSS-E-HB-32-21A [29]에 규정된 고유진동수 변화율 5 %로 설정하였으며, 시험 전/후 광학 현미경 촬영을 통해 테이프 및 구속층의 적층 형상을 비교하였다.

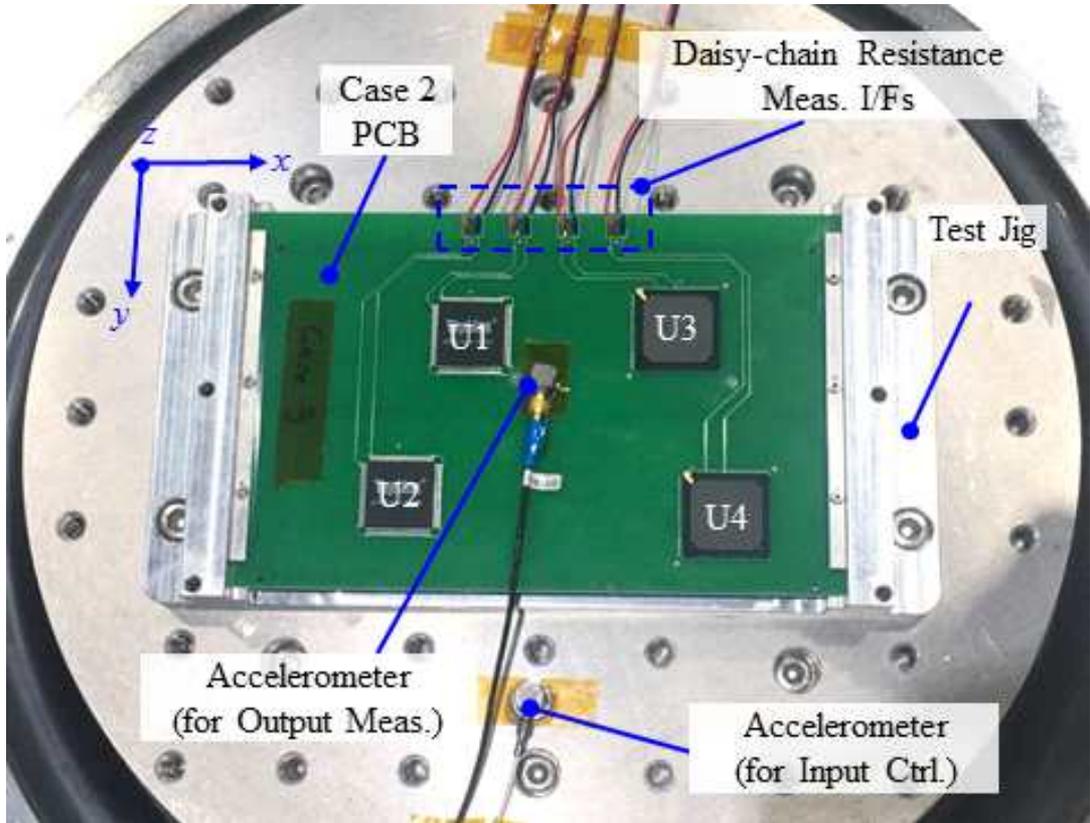
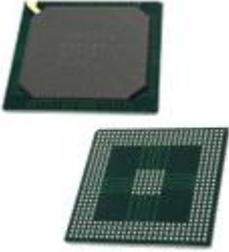
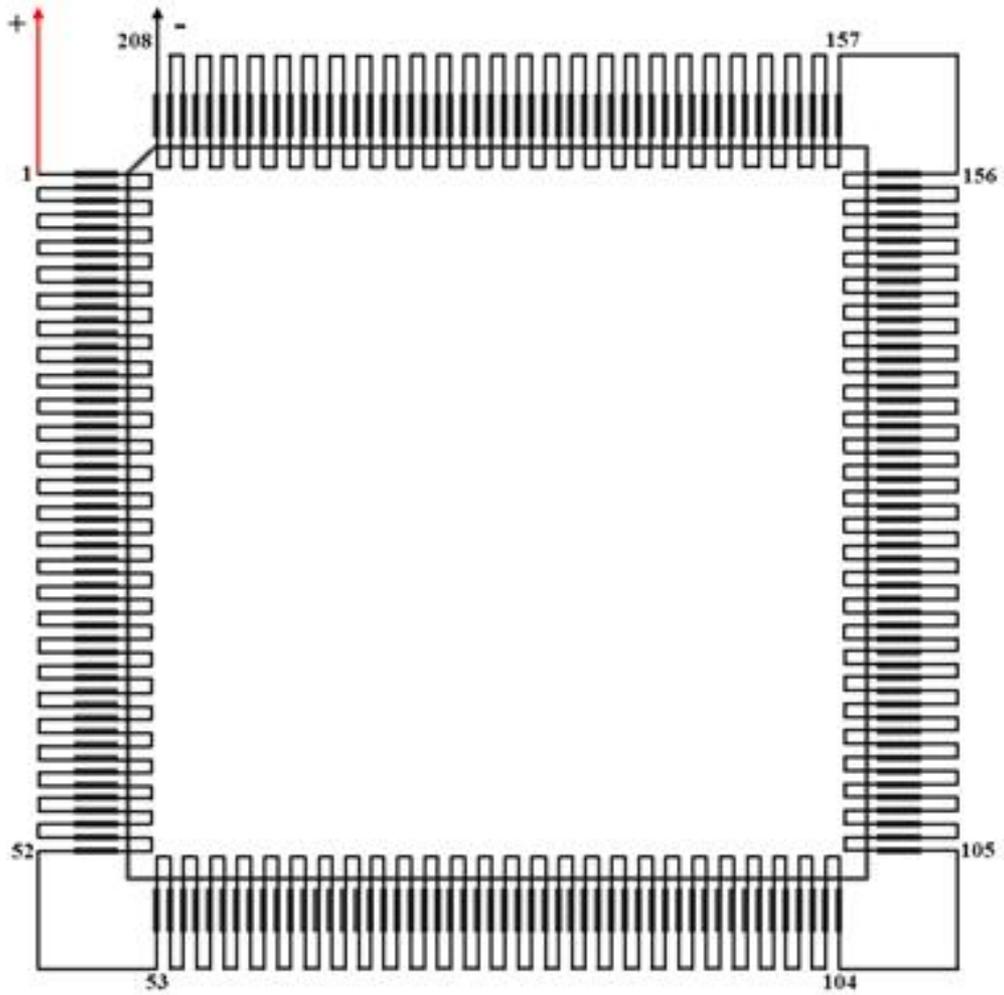


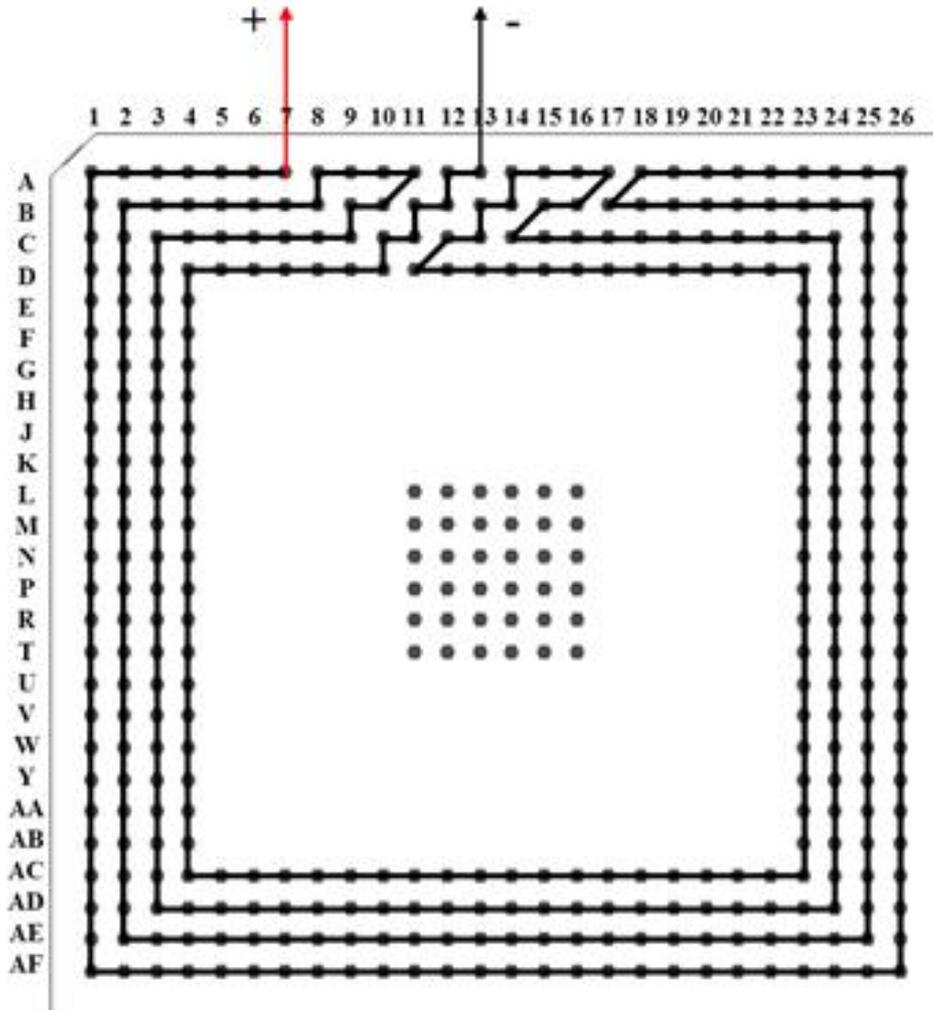
Fig. 17 Vibration Fatigue Life Test Set-up

**Table 6** Specifications of Electronic Components [27]

Component No.	Configuration	Properties
U1, U2		<ul style="list-style-type: none"> <li>• Component Type: Quad Flat Package (QFP)</li> <li>• Pin Count: 208</li> <li>• Mount Type: Surface Mount</li> <li>• Size (mm): 28×28×4</li> <li>• Weight (g): 5.4</li> <li>• Solder Material: Sn63-Pb37</li> </ul>
U3, U4		<ul style="list-style-type: none"> <li>• Component Type: Plastic Ball Grid Array (PBGA)</li> <li>• Pin Count: 388</li> <li>• Mount Type: Surface Mount</li> <li>• Size (mm): 35×35×2.4</li> <li>• Weight (g): 5</li> <li>• Solder Material: Sn63-Pb37</li> </ul>



(a)



(b)

Fig. 18 Configurations of Daisy-chain Circuit of Electronic Components ((a): QFP208, (b): PBGA388)

## 제 2 절 솔더 접합부 피로수명 측정 결과

Figure 19는 본 시험을 통해 획득한 Case 1 시편의 Daisy-chain 저항 값의 시간이력을 나타낸다. 시험 결과는 타 시편과 피로수명 연장 성능 비교를 위해 Table 7에 정리하였다. U1 소자의 저항값은 4.63 시간 가진 후 급격히 증가하여 무한대 값에 도달하였다. 상기 저항 값은 앞서 정의한 파손 기준을 초과하였기 때문에 4.63 시간에 솔더 접합부 파손이 발생하였다고 판단하였다. Case 2의 U1 소자는 6.19 시간 가진 후 솔더 접합부에 파손이 발생하였다. 두 시편의 U2~4 소자는 20시간의 가진 동안에 저항 값의 변화가 없었으며, 실장 소자의 불필요한 추가 손상을 방지하기 위해 해당 시편을 탈착하였다. 반면, Case 3 기판 시편의 경우 38시간 동안 Random 진동을 인가하였음에도 불구하고, U1~4 소자의 저항 값의 변화는 발생하지 않았다. 따라서 구속층이 5층 적층된 Case 3 시편을 적용할 경우 적층 구조가 미적용된 Case 1 대비 최소 8.21배 이상 솔더 접합부 피로수명 향상이 가능함을 알 수 있다. 본 수명 시험 결과로부터 제안된 적층형 기판의 고멤핑 특성이 발사진동환경 하 소자의 피로수명 보장에 매우 효과적임을 입증하였다.

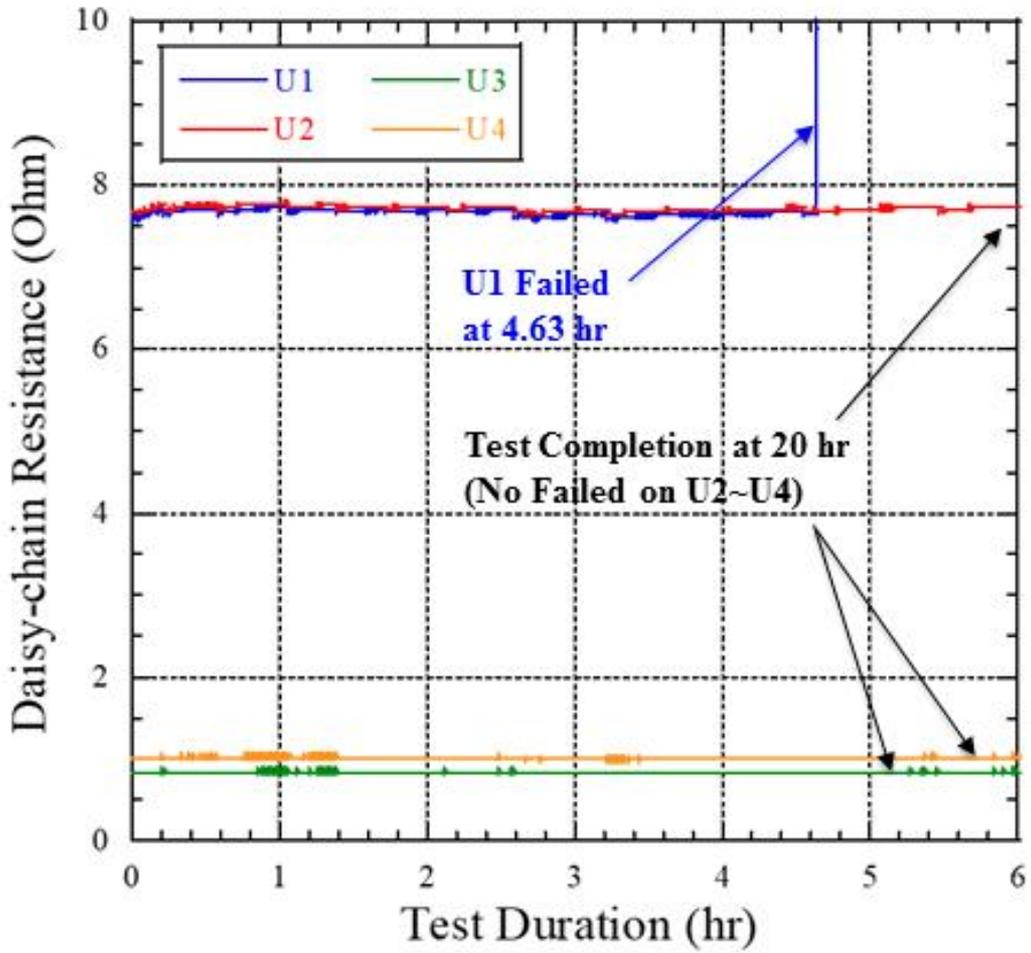


Fig. 19 Time Profile of Daisy-chain Resistance of Each Electronic Component on Case 1 Specimen during Fatigue Life Test

**Table 7** Fatigue Life of U1 Components on Each Case Specimen

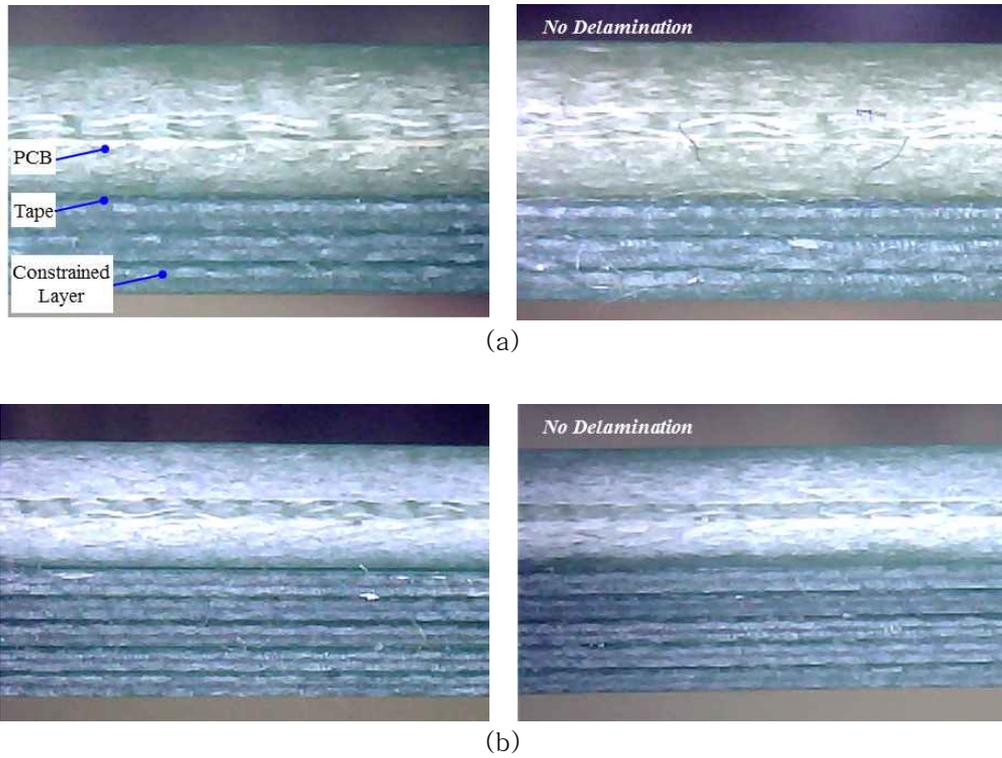
Case	Exposure Time (hr)	Time to Failure (hr)	Remark
1	20	4.63 (U1)	-
2	20	6.19 (U1)	× 1.37 Increased Time to Failure
3	38	<u>&gt; 38 (No Fail)</u>	<u>× 8.21 Increased Time to Failure</u>

### 제 3 절 적층부 구조건전성 확인

Table 8은 Case 2,3 시편의 진동 피로시험 전후 1차 고유진동수를 나타낸다. 두 시편 모두 피로 시험 전후 고유진동수 변화가 1.85% 미만으로 기판에 동특성 변화가 발생하지 않음을 알 수 있었다. Fig. 20 (a), (b)는 Case 2, 3의 시험 전/후 광학 현미경으로 촬영한 적층부 형상이다. 상기 사진은 진동 시험 전/후 두 시편 모두 적층부에 층간 박리 및 파손이 발생하지 않음을 보여준다. 따라서 전술한 고유진동수 및 적층부 접착 상태 비교로부터 본 연구에서 제안한 적층형 전자기판은 우주용 전장품에 대한 인증 수준의 Random 진동환경에 최소 20시간 이상 노출되어도 구조건전성이 보장됨을 입증하였다.

**Table 8** Comparison of 1<sup>st</sup> Eigenfrequency of Each Specimen before and after Fatigue Life Test

Case	Pre-test (Hz)	Post-test (Hz)	Variation (%)
2	130.0	130.0	0
3	135.0	132.5	1.85



**Fig. 20** Optical Microphotographs of Tape Attachment Interfaces at Sidereal Edges before and after Fatigue Life Test ((a): Case 2, (b): Case 3)

## 제 6 장 고댐핑 적층형 전자기판의 솔더 접합부 피로수명 예측

### 제 1 절 솔더 접합부 피로수명 예측 개요

Case 3 기판 시편의 경우, 발사진동 피로수명시험에서 장시간의 발사진동환경에 노출되었음에도 불구하고 솔더 접합부의 피로 파괴가 발생하지 않아 적층부를 적용하지 않은 일반 기판 대비 솔더 접합부 피로수명 향상 성능을 측정하지 못하였다. 따라서 Case 3 기판 시편의 피로수명 향상 성능을 확인하고자, 제안 기판의 형상구성 및 시험 결과를 토대로 탑재 소자의 피로수명을 해석적으로 예측하였다. 또한, 피로수명 예측을 통해 산출된 Case 1, 2의 예측 수명과 피로시험 결과와 비교함으로써 예측 결과가 타당함을 입증하였다.

전자 소자의 피로수명은 Park et al. [10]이 제안한 임계 변형을 이론 기반의 솔더 접합부 피로수명 예측법에 기초하여 예측되었다. 상기 기법은 기존에 솔더 접합부 피로수명 예측을 위해 적용해온 Steinberg 이론의 이론적 한계를 극복하기 위해 제안되었으며, 피로수명 예측을 위한 FEM 구축 시 소자의 크기와 질량 정보만을 반영한 단순화 모델로 고신뢰도의 예측이 가능하다. 임계 변형을 이론에 따르면 전자기판 임계 주 변형을  $\epsilon_c$ 이 기판 최대 주 변형을  $\epsilon_{p_{max}}$ 를 상회 할 경우 Random 진동환경에서 약 2천만 주기 동안에 피로수명 보장이 가능하다. 솔더 접합부 피로수명 예측을 위한 수식은 Table 9에 정리하였다.

Figure 21은 피로수명 예측을 위해 구축된 Case 3 기판의 유한요소모델 (Finite Element Model, FEM)이다. Solid Element 기반의 FEM 구축 시 회전자유도 (Rotational Degree of Freedom)가 반영되지 않는 Element 특성으로 과도한 강성이 산출될 가능성이 있어 솔더 접합부 피로수명 예측에 한계가 존재한다. 따라서, 본 유한요소모델은 QUAD4 Shell Element를 기반으로 구축되었다. 적층부의 경우, 본 연구에서 적용한 3M966 테이프의 물성 정보 부재하며, 널리 적용되는 Solid Element 기반의 적층 구조 모델링은 전술한 바와 같이 솔더 접합부 피로수명에 어려움이 있기 때문에, 점탄성 테이프와 구속층의 별도 구현 없이 기판 상 해당 위치의 Shell Element 두께를 일반 기판의 두께인 2.4 mm 보다 증가시킴으로써 모사하였다. 또한, 상기 Element의 두께는

피로수명을 영향을 미치는 주요 인자 중 하나인 기판의 강성을 결정하기 때문에, 타당한 피로수명 예측 결과 산출을 위해 진동 시험으로부터 획득한 기판의 강성과 해석 모델이 유사한 강성을 지니도록 적층부에 해당하는 Element의 두께를 조정하였다. 본 예측에 적용한 각 Case 별 FEM의 두께 및 1차 고유진동수는 Table 10에 정리하였다. 기판 상의 QFP208, PBGA388 소자는 Fig. 22 (a), (b)와 같이 OD Lumped Mass와 병진3자유도 (3 Translational Degree of Freedom)를 구속한 Rigid Body Element (RBE2)를 적용하여 단순화 모델링 되었다. 또한, 기판의 Clamping 체결부는 체결면적에 병진3자유도 구속조건 ( $T_x=T_y=T_z=0$ )을 적용하여 모사되었다. Case 1, 2 기판 시편의 FEM도 위와 동일한 방법으로 구축되었다.

**Table 9** Equations for Fatigue Life Expectation of Solder Joint Based on Critical Strain Theory [10]

Critical Strain Theory
<p>(1) <math>\epsilon_c = \frac{\zeta}{C\sqrt{L}}</math> : Critical PCB Strain                      (<math>\zeta</math> : Allowable Principal In-plane PCB Strain, <math>C</math> : Electronic Component Type Constant, <math>L</math> : Component Length)</p>
<p>(2) <math>\zeta = \sqrt{\frac{2.35}{t}(1900 - 300 \times \log(\dot{\epsilon}))}</math>                      (<math>t</math> : PCB Thickness, <math>\dot{\epsilon}</math> : Strain Rate)</p>
<p>(3) <math>\dot{\epsilon} = 2\pi \times \epsilon_{p_{\max}} \times f_n</math>                      (<math>\epsilon_{p_{\max}}</math> : Maximum In-plane Principal PCB Strain, <math>f_n</math> : 1<sup>st</sup> Eigenfrequency of PCB)</p>
<p>(4) <math>\epsilon_{p_{\max}} = 3 \times \left\{ \left( \frac{\epsilon_{x_{rms}} + \epsilon_{y_{rms}}}{2} \right) + \sqrt{\left( \frac{\epsilon_{x_{rms}} - \epsilon_{y_{rms}}}{2} \right)^2 + (\epsilon_{xy_{rms}})^2} \right\}</math>                      (<math>\epsilon_{x_{rms}}, \epsilon_{y_{rms}}</math> : RMS In-plane Normal Strain, <math>\epsilon_{xy_{rms}}</math> : RMS In-plane Shear Strain)</p>
<p>(5) <math>N_f = N_c \left( \frac{\epsilon_c}{\epsilon_{\max}} \right)^b</math> : The Number of Cycles to Failure                      (<math>N_c</math> : Critical Number of Cycles to Failure, <math>b</math> : Fatigue Exponent of Sn63-Pb37 Solder)</p>
<p>(6) <math>TTF(hr) = \frac{N_f}{3600f_n}</math> : Time to Failure (hr)</p>

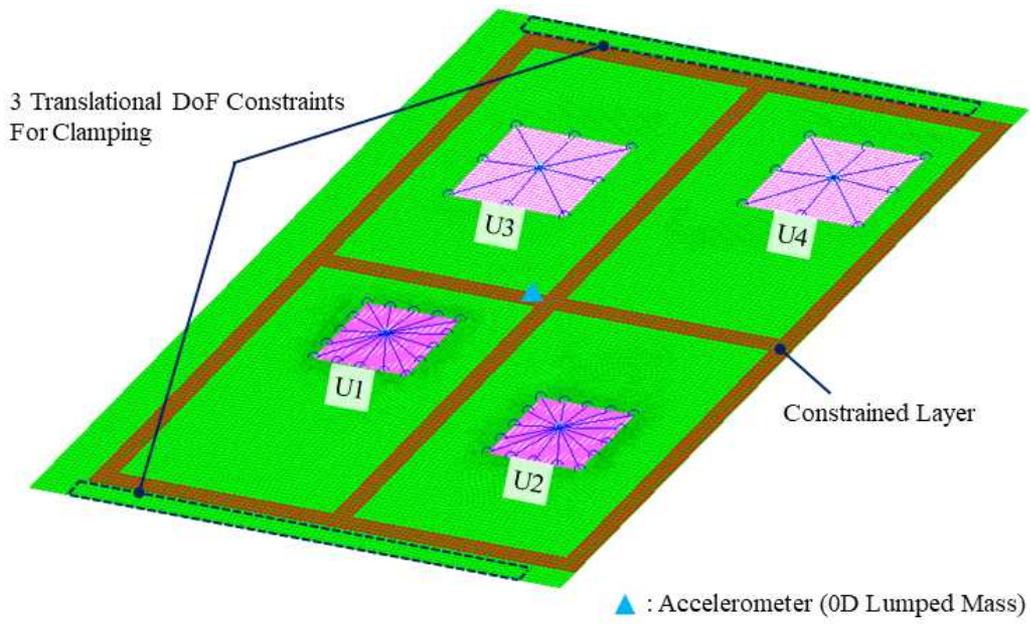
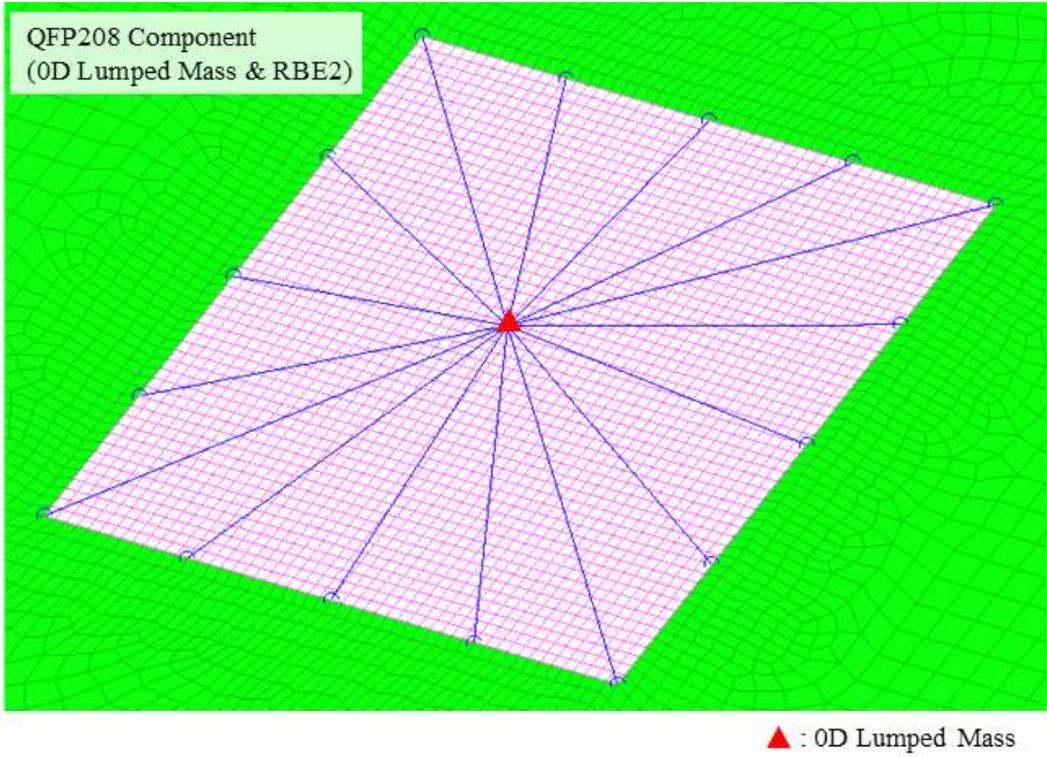


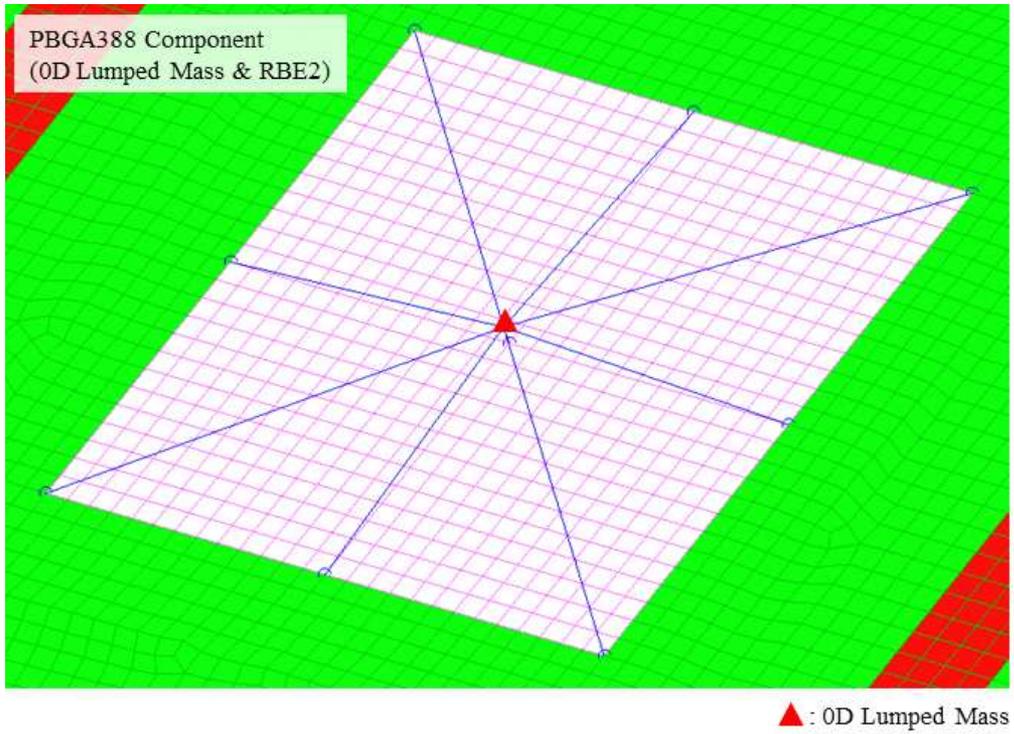
Fig. 21 FEM of Case 3 PCB Specimen for Fatigue Life Prediction

**Table 10** Comparison of Thickness and 1<sup>st</sup> Eigenfrequency of FEM and Test Result

Case	FEM		Vibration Test Result	
	Thickness (mm)	1 <sup>st</sup> Eigenfreq. (Hz)	Thickness (mm)	1 <sup>st</sup> Eigenfreq. (Hz)
1	2.4	123.6	2.4	125.0
2	2.9	130.2	3.9	130.0
3	3.3	135.4	4.9	135.0



(a)



(b)

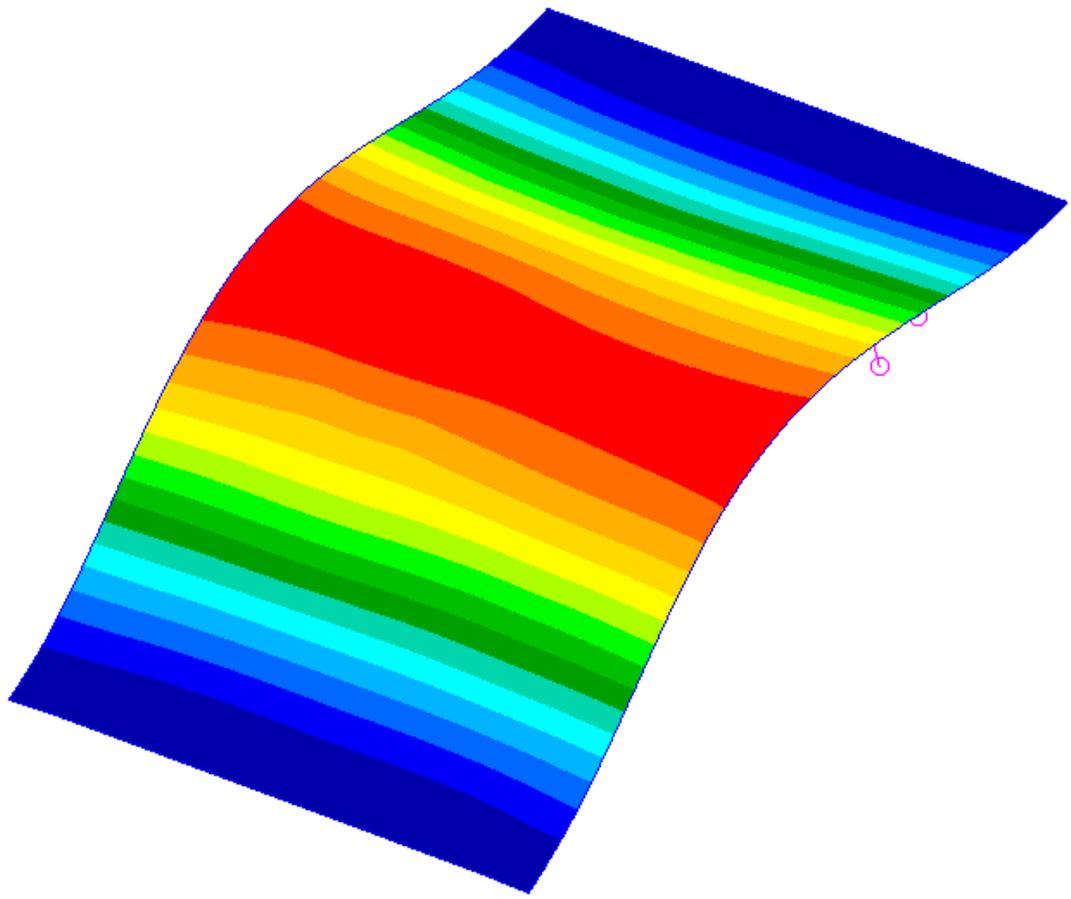
Fig. 22 FEM Depending on Component Type ((a): QFP208, (b): PBGA388)

## 제 2 절 솔더 접합부 피로수명 예측 및 결과

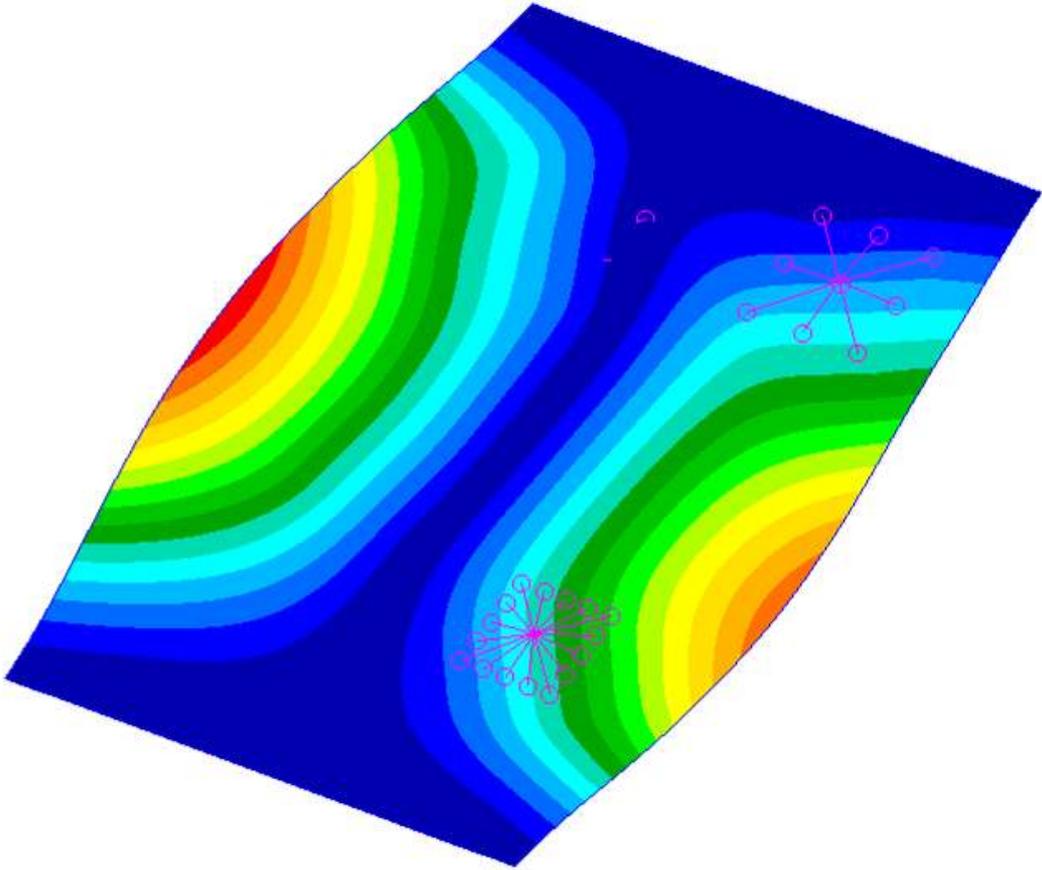
발사진동환경 하 솔더 접합부의 피로수명 예측을 위해 전술한 FEM을 기반으로 모드 및 Random 진동 해석을 수행하였다. Fig. 23은 모드 해석을 통해 획득한 Case 3 기판 시편의 1~3차 모드형상 및 모드별 주파수를 나타낸다. 상기 결과 중 기판과 솔더 접합부간 최대 상대 변위를 야기하여 솔더 접합부 피로파괴에 지배적인 영향을 미치는 기판의 전 굽힘 모드 (Global Bending Mode)는 135.4 Hz에서 나타났다. Case 1, 2 기판도 Case 3 기판과 동일하게 1차 모드에서 전 굽힘 모드가 나타났으며, 각 Case 별 해석 모델의 1차 고유진동수는 Table 10과 같다.

Random 진동 해석은 진동 피로수명시험과 동일 수준의 진동에 대하여 수행되었다. 기판의 동적 응답은 솔더 접합부의 피로수명 결정함에 있어 지배적인 요소이다. 따라서 본 해석 수행 시, 예측의 정확도 향상을 위해 진동 시험으로부터 획득한 기판의 가속도 응답과 해석 결과가 유사하도록 구조 감쇠비 (Damping Ratio)를 보정하였다. 해석에 적용된 감쇠비의 경우, 자유감쇠시험으로부터 획득한 감쇠비 보다 큰 값이 적용되었다. 이는 진동 시험의 동적 하중이 자유감쇠시험의 동적 하중보다 극심하여 적층부에 전단 변형이 더 많이 발생함에 따라 기판의 댐핑 성능이 향상될 수 있기 때문이다. 해석 시 적용한 감쇠비 및 이에 따른 기판 중앙부의 가속도 응답은 Table 11에 정리하였다.

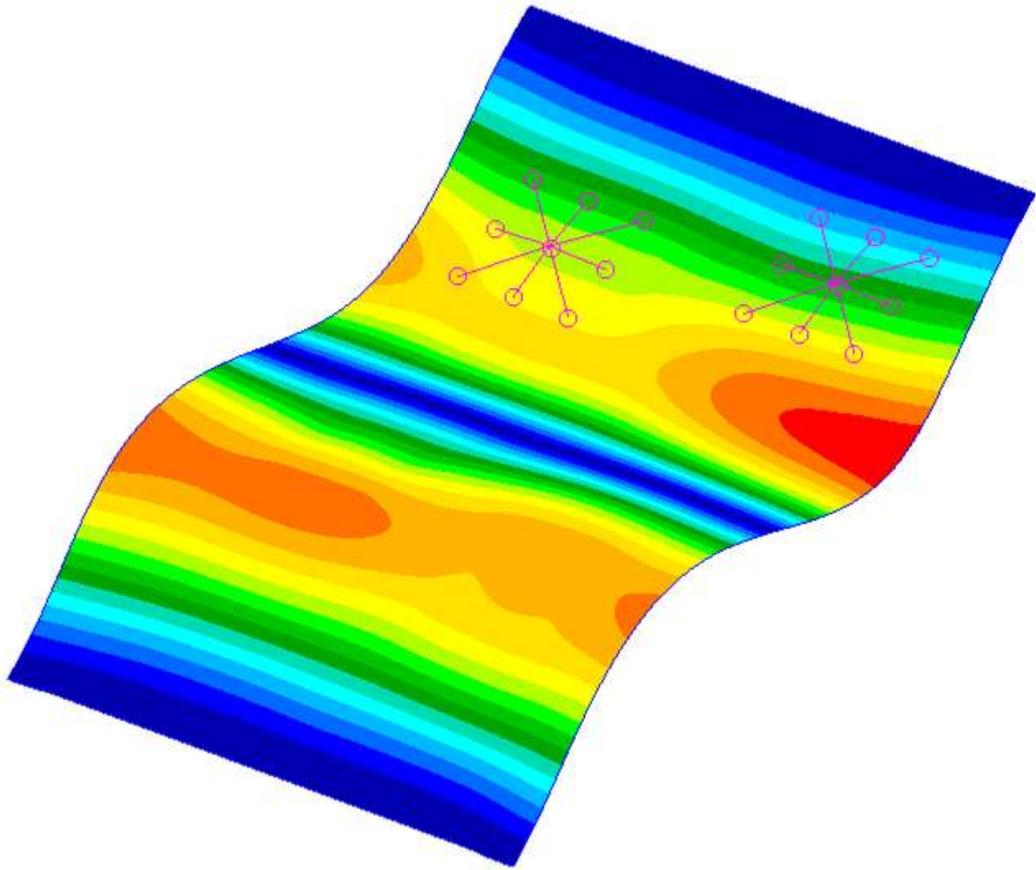
Table 12는 구조해석 및 Table 9에 정리된 임계 변형률 식을 활용하여 산출한 각 시편 별 U1 소자의 예상 피로수명이다. Case 1, 2의 피로수명 예측값은 각각 4.27 시간, 5.98 시간으로 진동 시험 결과와 상당히 부합하는 결과가 도출되었으며, 이로부터 피로수명 예측 방법 및 결과가 타당한 것으로 판단하였다. 또한, Case 3 시편의 U1 소자의 피로수명 예측값은 42.44시간으로 적층이 미적용된 Case 1 시편 대비 약 9.94 배 향상되었으며, 이는 38시간의 가진에도 파괴가 발생하지 않은 진동 시험 결과와 경향성이 일치하였다. 상기 분석 결과로부터 피로수명시험에서 확인하지 못한 Case 3 시편의 피로수명 연장 성능을 예측할 수 있을 뿐만 아니라, 본 연구에서 제안한 고댐핑 적층형 전자기판이 솔더 접합부 피로수명 보장에 효과적임을 입증하였다.



(a)



(b)



(c)

**Fig. 23** Modal Analysis Results of Case 3 Specimen ((a): 135.4 Hz, (b): 226.35 Hz, (c): 402.16 Hz)

**Table 11** Damping Ratio Applied to Analysis to Correlate Acceleration Response between Analysis and Test Results

Case	Analysis Result		Test Result
	Damping Ratio	RMS Acceleration (grms)	RMS Acceleration (grms)
1	0.028	42.99	42.64
2	0.045	33.34	32.41
3	0.083	24.36	25.87

**Table 12** Comparison of Test and Prediction Results of Fatigue Life of U1 Components on Each Case Specimen

Case	Test Results	Prediction Results			
	TTF (hr)	$\epsilon_c$ ( $\mu$ -strain)	$\epsilon_{p_{max}}$ ( $\mu$ -strain)	TTF (hr)	Remark
1	4.63	213.9	309.0	4.27	-
2	6.19	181.2	246.3	5.98	× 1.40 Increased Time to Failure
3	> 38 (No Fail)	180.5	179.6	42.44	× 9.94 Increased <u>Time to Failure</u>

## 제 7 장 결 론

본 연구에서는 소형/경량 우주용 전장품 구현을 위해 다층의 점탄성 테이프와 구속층을 적층한 고댐핑 전자기판을 제안하였다. 상기 기판 설계 개념은 기판 적층부의 점탄성 거동 및 테이프와 구속층 간 발생하는 마찰에 의해 구현된 기판의 고댐핑 특성으로 전자 소자의 피로수명 보장에 유리한 장점을 지닌다. 또한, 기판에 댐핑 성능 구현을 위한 적층부의 두께는 수 mm로 기존 우주용 전장품 설계 시 적용된 기판의 보강 설계 및 여러 학술 연구를 통해 제안된 진동 저감을 위한 별도의 구조물을 적용하는 설계 기법 대비 부피 및 무게 절감이 가능하다. 본 연구에서는 설계 유효성 입증을 위해 점탄성 테이프 및 구속층의 적층 수에 따라 세가지 Case의 기판 시편을 제작하였다. 기본 특성 파악을 위해 다양한 온도 조건에서의 자유감쇠시험과 우주 인증 수준의 발사진동시험을 수행하였으며, 이로부터 적층 층수가 증가 할수록 기판의 댐핑 성능이 향상됨을 입증하였다. 제안 기판의 솔더 접합부 피로수명 향상 성능 분석 및 발사진동 환경 하 적층부의 구조건전성 입증을 위해 Daisy-chain 회로를 적용한 두 종류의 고집적화 소자 (QFP208, PBGA388)를 각 Case 별 기판 시편에 실장 후 발사진동 피로 시험을 수행하였다. 시험 결과, 구속층을 3층 적층한 Case 2 기판 시편의 경우 구속층을 적층하지 않은 일반 전자기판인 Case 1 대비 1.38배 향상 되었으며, 5층 적층한 Case 3 기판 시편은 38시간 가진에도 솔더 접합부 손상이 발견되지 않았다. 또한, 시험 전/후 1차 고유진동수 비교 및 광학 현미경을 활용한 적층부 촬영을 통해 발사진동환경에 대한 구조건전성을 입증하였다. 마지막으로, 진동 피로시험을 통해 획득하지 못한 Case 3 기판 시편의 피로수명 연장 성능을 분석하기 위해 FEM 구축 후 임계변형을 이론에 기초하여 실장 소자의 피로수명을 예측하였다. Case 3 시편 적용 시 Case 1 시편 대비 약 9.94 배 피로수명 연장이 예측되었다.

본 연구에서 수행한 시험 및 해석 결과를 고찰해보면, 제안된 기판은 점탄성 테이프 로 구속층을 적층함으로써 일반 전자기판이 구현 할 수 없는 수준의 고댐핑 특성을 구현하였으며, 이는 기판의 굽힘 변위를 저감함으로써 소자의 피로수명을 향상시켰다. 따라서, 제안 기판 적용 시 우주용 전장품 내 솔더 접합부 피로수명 보장을 위해 통상적으로 적용해온 기판의 강성 증가에 의존하는 설계 기법 대비 작은 부피/무게 증가만으로 솔더 접합부 피로수명 보장이 가능하기 때문에, 현 우주용 전장품의 구조 형상을 고려해보면 전장품 구조의 부피/무게를 약 50% 수준 절감 가능할 것으로 기대된다. 또

한, 우주용 전장품 개발 시 필수적으로 고려되는 궤도환경 및 내부 전자 대전에 의한 방전 손상위험이 고려된 설계로 실제 우주 임무 적용에도 문제가 없을 것으로 판단된다. 따라서 본 연구에서 제안한 전자기판 설계 기법은 현 우주 산업의 소형/경량 소형 위성 개발 추세에 필수적인 전장품 경량화에 기술적 기여가 가능할 것으로 판단된다.

## 【참 고 문 헌】

1. D. B. Barker, and Y. S. Chen, "Modeling The Vibration Restraints Of Wedge Lock Card Guides" , Transactions of the ASME Journal of Electronic Packaging, vol. 115, no. 2, pp. 189-194, 1993.
2. K. E. McMurray, "Characterization Of Boundary Conditions For Wedge-Lock-Mounted Printed Circuit Boards" , Virginia Polytechnic Institute and State University, Master' s Thesis, 1995.
3. J. K. Seong, W. H. Lee, C. Kim, S. Y. Jeong, D. W. Yi, and S. Y. Kim, "Simulation and Design of Electrical Equipments Based on Airborne System" , Proceedings of the KSME Thermal Engineering Division Spring Conference, 2011, pp. 501~504.
4. A. H. Hosseinloo, S. P. Tan, F. F. Yap, and K. C. Toh, "Shock and Vibration Protection of Submerged Jet Impingement Cooling Systems: Theory and Experiment," Applied Thermal Engineering, Vol. 73, 2014, pp. 1074~1084.
5. H. J. Jang, J. G. Lee, J. C. Lee, and S. J. Park, "Design of Digital Controller for Divert Control Actuator System Based on BLDC Motor," Proceedings of KSPE Fall Conference, 2012, pp. 833~837.
6. T. S. Jang, J. Rhee, and J. K. Seo, "A Study on Fabrication of Monolithic Lightweight Composite Electronic Housing for Space Application," Acta Astronautica, Vol. 117, 2015, pp. 497~509.
7. <https://mars.nasa.gov/msl/timeline/launch/launch-sequence/>
8. T. Irvine, "Shock & Vibration Fatigue Criteria for Electroical Components Revision B" , 2003
9. D. S. Steinberg, "Vibration analysis for electronic equipment" , 3rd Edition, John Wiley & Sons Inc., New York, USA, 2000.
10. T. Y. Park, J. C. Park, and H. U. Oh, "Evaluation of Structural Design Methodologies for Predicting Mechanical Reliability of Solder Joint of BGA and TSSOP under Launch Random Vibration Excitation," International Journal of Fatigue, Vol. 114, pp. 206~216, 2018
11. M. Focardi et al., "The Instrument Control Unit Of The ESA-PLATO 2.0

- Mission” , Proceedings of Space Telescopes and Instrumentation 2016: Optical, Infrared, and Millimeter Wave, vol. 9904, pp. 1–15, 2016.
12. S. Marcuccio, S. Uilo, M. Carminati, and O. Kanoun, “Smaller Satellites, Larger Constellations: Trends and Design Issues for Earth Observation Systems,” IEEE Aerospace and Electronic Systems Magazine, vol. 34, no. 10, pp. 50-59, 2019.
  13. S. Bhattarai, H. R. Kim, and H. U. Oh, " Cubesat's Deployable Solar Panel with Viscoelastic Multilayered Stiffener for Launch Vibration Attenuation," International Journal of Aerospace Engineering, Vol. 2020, pp. 1–10, 2020
  14. S. C. Kwon, M. S. Jo, D. H. Ko, and H. U. Oh, “Viscoelastic Multilayered Blade-Type Passive Vibration Isolation System For A Spaceborne Cryogenic Cooler,” Cryogenics, vol. 105, pp. 1–16, 2020.
  15. A. R. Kudal and A. Cicirello, “Constrained Layer Damping Treatment: Analysis Of Multi-Strip Application On Thin Plates,” Journal of Physics: Conference Series, vol. 1106, no. 1, pp. 1–8, 2018.
  16. <http://www.wakefield-vette.com/products/accessories/wedgelocks/-c-series.aspx>
  17. <https://www.seakr.com/catalog/>
  18. G. Andres, S. P. Felix, and A. Gustavo, "Application of Steinberg Vibration Fatigue Model for Structural Verification of Space Instruments,"AIP Conference Proceedings 1922, 2018
  19. P. Veeramuthuvel, K. Shankar and K. K. Sairajan, “Application of Particle Damper on Electronic Packages for Spacecraft” , Acta Astronautica, Vol. 127, 2016, pp. 260–270
  20. N. Hyatt, M. Black, R. Dean, G. Flowers, B. Grantham, and R. Garner, “Damping Enhancement In Printed Circuit Boards With Potting Materials Or Microfibrous Metallic Cloth,” Proceedings of the ASME 2009 International Design Engineering Technical Conferences & Computers and Information in Engineering Conference (IDETC/CIE 2009), pp. 1-6, 2009.
  21. B. Esser and D. Huston, “Active Mass Damping Of Electronic Circuit Boards,” Journal of Sound and Vibration, vol. 277, no. 1-2, pp. 419-428,

- 2004.
22. A. M. Veprík and V. I. Babitsky, “Vibration Protection Of Sensitive Electronic Equipment From Harsh Harmonic Vibration” , Journal of Sound and Vibration, vol. 238, no. 1, pp. 19-30, 2000.
  23. <https://www.nsr.com/>
  24. <https://www.3m.com/>
  25. European Cooperation for Space Standardization (ECSS-E-HB-32-21A), 2011.
  26. H. Jiao, Y. Liu, F. Sun, N. Wu, and H. Fang, “Solder Interconnects Reliability Subjected To Thermal-Vibration Coupling Loading” Journal of Materials Science: Materials in Electronics, vol. 30, no. 12, pp. 11482-11492, 2019.
  27. <https://www.topline.tv>
  28. IPC-9701A, “Performance Test Methods And Qualification Requirements For Surface Mount Solder Attachments” Association Connecting Electronics Industries (IPC), 2006.
  29. ECSS-E-HB-32-21A, “Space Engineering: Adhesive Bonding Handbook” , European Cooperation For Space Standardization (ECSS), 2011.

## 【연구 실적】

### <해외논문>

1. T. Y. Park, **S. J. Shin**, S. W. Park, S. J. Kang and H. U. Oh, "High-damping PCB implemented by multi-layered viscoelastic acrylic tapes for use of wedge lock applications," Engineering Fracture Mechanics, Available Online 20 October, 2020

### <국내논문>

1. **신석진**, 전수현, 강수진, 박성우, 오현웅, "점탄성 테이프를 적용한 고댐핑 적층형 전자기판의 기본 특성 검증", 한국항공우주학회지, 제 48권 제 5호 (2020) 383-390

### <국제학회발표>

1. **S. J. Shin**, T. S. Kim and H. U. Oh, "Evaluation of Mechanical Safety of Solder Joint for Spaceborne Electronics by Critical Strain-based Design Methodology", The 32nd International Symposium on Space Technology and Science (ISTS), Fukui, Japan, 2019.
2. **S. J. Shin**, B. G. Chae and H. U. Oh, "Cable Cutting Separation Mechanism for Deployable Solar Panels of 6U CubeSat", Proceedings of Asian Joint Symposium on Aerospace Engineering (AJSAE), Gyeongju, Republic of Korea, 2018

### <국내학회발표>

1. 신석진, 박성우, 강수진, 오현웅, "고댐핑 전자기판의 진동환경 하 특성 검증", 한국항공우주학회 2020 추계학술대회, 한국항공우주학회
2. 신석진, 박성우, 강수진, 오현웅, "초탄성 SMA 보강재 기반 고댐핑 전자기판의 특성 검증", 2020년도 항공우주시스템공학회 추계학술대회, 항공우주시스템공학회

### <수상>

1. **신석진**, 김수현, 김혜인, 이현우, 한영섭, 오현웅, "드론의 장거리 정찰지역 효율적 투입을 위한 유도탄 활용 운용개념 연구", 2019 조선대학교 캡스톤디자인 경진대회 장려상

<특허>

1. 출원번호: 10-2020-0104924, "점탄성 특성을 이용한 고댐핑 적층형 인쇄회로기판 및 그 제조방법" 발명자: 오현웅, 박성우, 강수진, 신석진