



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

2019년 2월

석사학위 논문

MEMS 공정으로 제작 된 Si기반 Optical Bench 특성 평가

조선대학교 대학원

첨단소재공학과

염 주 빈

MEMS 공정으로 제작 된 Si기반 Optical Bench 특성 평가

Evaluation of Si-based Optical Bench Characteristics
fabricated by MEMS process

2019년 2월 25일

조선대학교 대학원

첨단소재공학과

염 주 빈

MEMS 공정으로 제작 된 Si기반 Optical Bench 특성 평가

지도교수 강 현 철

이 논문을 공학 석사학위신청 논문으로 제출함

2018년 10월

조선대학교 대학원

첨단소재공학과

염 주 빈

염주빈의 석사학위논문을 인준함

위원장 조선대학교 교수 박진성 (인)

위 원 조선대학교 교수 강현철 (인)

위 원 조선대학교 교수 이종원 (인)

2018년 11월

조선대학교 대학원

목 차

List of Figures	III
ABSTRACT	IV
제 1 장 서론	1
제 2 장 이론적 배경	5
제 1 절 Silicon Wafer	5
제 2 절 MEMS 공정	12
제 3 장 실험 및 결과 고찰	15
제 1 절 Low Resistivity Silicon Wafer 와 High Resistivity Silicon Wafer의 특성비교	15
1. S-parameter 분석	15
2. Electrical Eye 분석	20
제 2 절 Optical Engine 특성평가	23
1. Scanning Electron Microscope (SEM) 분석	23
2. Optical Spectrum 분석	27
3. 광수신감도 분석	30
4. Optical Eye 분석	33

제 4 장 결론 37

참고문헌 39

List of Figures

Fig. 1 Moore's Law	3
Fig. 2 Silicon Electrical Circuit Board manufacturing process	4
Fig. 3 Mass ratio of crustal elements	8
Fig. 4 Comparison between Si, Ge and GaAs diodes	9
Fig. 5 Silicon Wafer Manufacturing Process	10
Fig. 6 Czochralski, CZ method	10
Fig. 7 Float-zone, FZ method	11
Fig. 8 Evaporation chamber conceptual diagram and evaporation method	14
Fig. 9 Lithography process flow chart	14
Fig. 10 Network Analyzer Test Set-up	17
Fig. 11 S-parameter	17
Fig. 12 Low Resistivity Silicon Wafer S-parameter	18
Fig. 13 High Resistivity Silicon Wafer S-parameter	19
Fig. 14 Electrical Eye Test Set-up	21
Fig. 15 Low Resistivity Silicon Wafer Electrical Eye	21
Fig. 16 High Resistivity Silicon Wafer Electrical Eye	22
Fig. 17 SEM image of Via Hole	24
Fig. 18 SEM image of Via Hole	25
Fig. 19 EDS analysis of Via hole	26
Fig. 20 SMSR(Side Mode Suppression Ratio)	28
Fig. 21 Measurement of Optical Spectrum & SMSR	29
Fig. 22 Optical Receive Sensitivity test set-up	31
Fig. 23 Measurement of Optical receive sensitivity	32
Fig. 24 Eye Pattern	34
Fig. 25 Measurement of Optical eye on Ch01	35
Fig. 26 Measurement of Optical eye on Ch02	35
Fig. 27 Measurement of Optical eye on Ch03	36

Fig. 28 Measure of Optical Eye on Ch04 36

ABSTRACT

Evaluation of Si-based Optical Bench characteristics fabricated by MEMS process

Jubin Yeom

Advisor : Prof. Hyon-Chol Kang, Ph.D

Dep. of Advanced Materials Engineering

Graduate School of Chosun University

Demand for high-capacity multimedia has rapidly increased due to the rapid development of the telecom market to 5G beyond LTE and popularization of smartphones and tablet PCs. Accordingly, the optical communication market is focused on developing a technology for transmitting high-speed and high-capacity Ethernet signals. To solve this problem, SiOB technology is attracting attention. SiOB means Silicon Optical Bench. Silicon is present in the form of sand, rock, and minerals. Silicon is one third of the earth's crust, and is very abundant in the earth. Therefore, it is regarded as a material which can be supplied very stably. Also, it has no toxicity and is very environmentally excellent and the device can be operated at a high temperature of about 200 degrees, which is also excellent in thermal characteristics. But, SiOB technology has many difficulties due to Si semiconductor properties. In this paper, we design and fabricate optical engine using optical bench manufacture of Silicon. In this paper, we propose a method of designing a wideband optical bench using High Resistivity Silicon Wafer. Also, the actual Optical Engine was fabricated with Optical Bench to evaluate the characteristics.

ABSTRACT

MEMS 공정으로 제작 된 Si기반 Optical Bench 특성 평가

Jubin Yeom

Advisor : Prof. Hyon-Chol Kang, Ph.D

Dep. of Advanced Materials Engineering

Graduate School of Chosun University

최근 LTE를 넘어 5G로 가는 통신 시장의 급격한 발전과 스마트폰, 태블릿 PC 등의 대중화로 인해 소비자에 고용량 멀티미디어 수요가 급속히 증가하고 있다. 이에 광통신 시장은 고속, 대용량 이더넷 신호를 전송하기 위한 기술 개발에 관심이 집중되고 있으며, 이를 해결하기 위해 SiOB 기술이 각광받고 있다. SiOB는 Silicon Optical Bench를 의미한다. Silicon은 모래, 암석, 광물 등의 다양한 형태로 존재하며 이들은 지각의 30% 정도를 구성하고 있어 지구상에서 가장 흔히 존재하는 물질이며 따라서 매우 안정적으로 공급 될 수 있는 재료로 꼽히고 있다. 또한 독성이 전혀 없어 인체에도 무해하며, 환경적으로도 매우 우수하고 약 200도의 고온에서도 소자가 동작할 수 있어 열적 특성도 우수하다고 볼 수 있다. 하지만 Si 반도체 물성으로 인해 많은 어려움이 있다. 그래서 본 논문에서는 High Resistivity Silicon Wafer를 이용하여 광대역 Optical Bench를 설계하는 방법을 제안 하였다. 또한 Optical Bench를 가지고 실제 Optical Engine을 제작 하여 특성평가를 하였다.

제 1 장 서론

Fig. 1.은 무어의 법칙이다. 무어의 법칙은 1965년 인텔의 공동 설립자 고든 무어가 제시한 것으로 본인의 경험적인 관찰을 통해 24개월마다 반도체 집적회로의 성능이 2배로 증가한다는 의견을 내놓았다. 이후 캘리포니아 교수 카버 미드가 3가지 조건을 붙여 무어의 법칙을 완성 하였다. 첫 번째는 ‘기술 개발 속도에 관한 법칙’으로 반도체 메모리칩의 성능 즉, CPU의 속도나 메모리의 용량이 2배씩 향상되는 것으로 18개월에서 24개월의 주기를 가지고 있다.[1] 두 번째는 컴퓨터 성능은 18개월마다 2배씩 향상 된다 이며, 마지막 세 번째는 컴퓨터 가격은 18개월마다 반으로 떨어진다는 조건을 붙여 완성 시켰다.[1] 실제로 컴퓨터 외에 스마트폰 태블릿 PC등의 대중화로 인해 소비자의 고용량 멀티미디어 수요는 급속히 증가하고 있다. 이에 따른 데이터 센터, 인터넷 교환 센터, 고성능 서버와 같이 데이터 트래픽양이 기하급수적으로 증가하고 있는 시점에서 고속, 이더넷 신호 전송을 위한 기술이 필수적으로 요구되고 있다.[2] 이러한 방안을 해결하기 위해 집적화 및 소비전력을 낮출 수 있는 SiOB 기술이 각광받고 있다. 하지만 SiOB 기술은 Silicon의 반도체 물성으로 인해 광대역 RF 설계에 많은 어려움이 있다.[3~6] 이를 해결하기 위해 본 논문에서는 High Resistivity Silicon을 이용해서 광대역 Optical Bench를 설계하는 방법을 제안하였다. High Resistivity Silicon은 기관 누설 손실을 줄이고 패시브의 기관 잡음을 억제하는 솔루션을[5,7] 가지고 있다. 제작 공정은 High Resistivity Silicon Wafer의 [111]면을 사용하여 54.74°로 Etching 하여 V-Groove를 제작 하였고 바닥에 Via Hole을 Plasma로 Etching 한 후에 산화 막을 생성시키는 공정을 진행하였다. 그 후 구리로 Via Hole을 채우고 바닥 면을 평평하게 만드는 연마 작업을 통해 기본이 되는 ECB(Electrical Circuit Board)를 제작 하였고, FPCB(Flexible Printed Circuit Board)와 SMT(Surface Mount Technology) 표면 실장 기술로 ECB와 FPCB를 부착 시켰다. 그 위에 LD를 Flip chip bonding 과 Wire bonding의 공정을 진행하여 Optical Engine을 제작하였다. 제작 된 Optical Engine을 실제 국제 표준 규격인 MSA에서 제시하는 기준에 부합되는 것을 확인하기 위해

Optical Spectrum을 측정하여 SMSR(Side Mode Suppression Ration) 및 Wavelength를 확인 하였고, 채널별로 광 수신감도를 측정 및 Optical Eye를 확인 하였다. 본 연구는 High Resistivity Silicon Wafer의 특성평가 뿐만 아니라 실제로 Optical Engine을 제작하여 분석하는 연구까지 수행하였다.

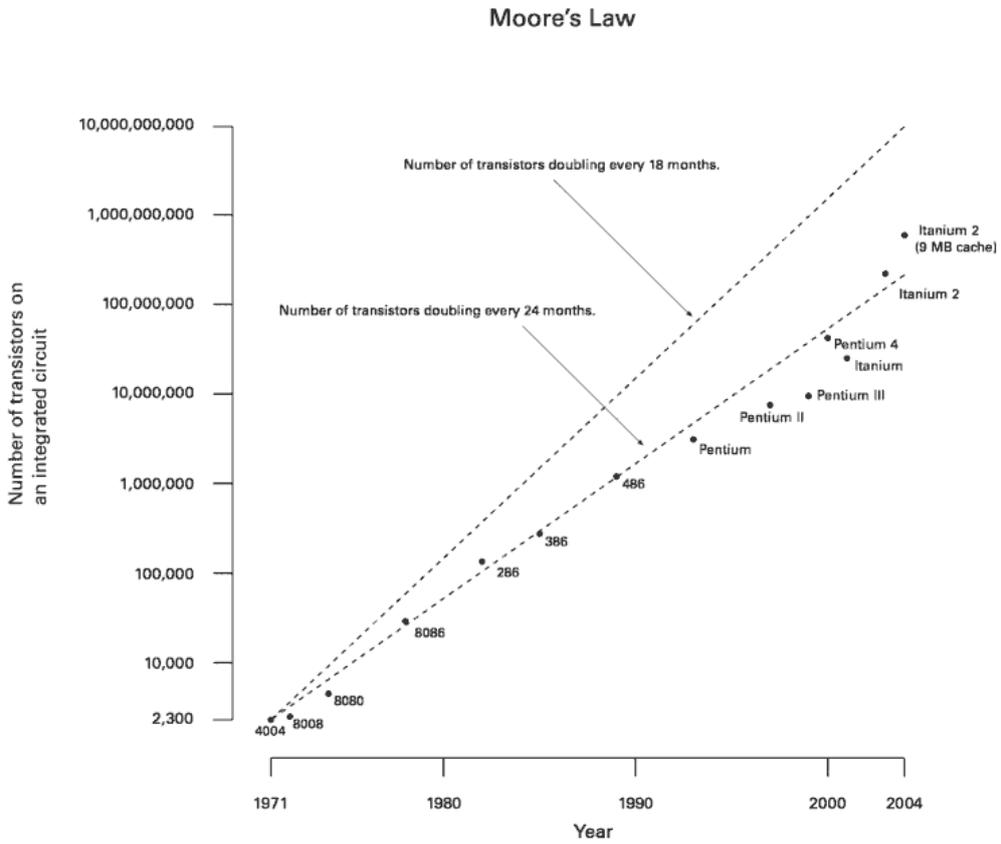


Fig. 1 Moore's Law



Fig. 2 Silicon Electrical Circuit Board manufacturing process

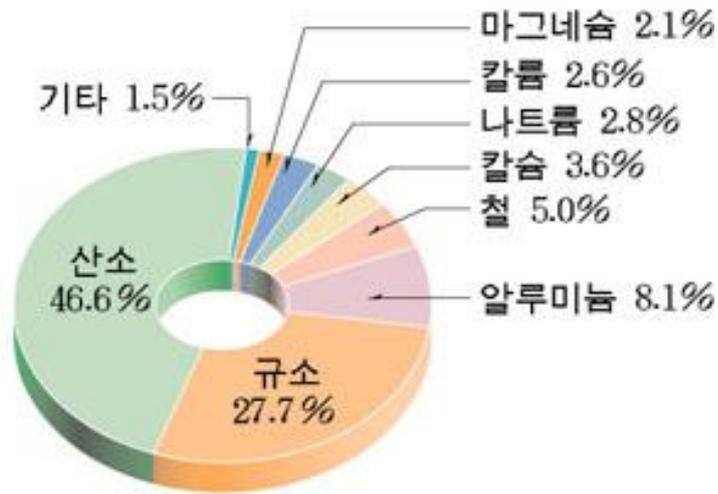
제 2 장 이론적 배경

제 1 절 Silicon Wafer

대부분의 Wafer는 Silicon으로 이루어져 있다. 초기에는 Germanium을 사용했으며, 그 후에는 GaP, GaAs 등도 사용 되었지만 현재는 Silicon이 주로 사용되고 있다. Silicon은 첫 번째로 구하기가 쉽고 가격이 싸다는 장점이 있다. Fig. 2.에서 확인 할 수 있듯이 각각의 구성하는 물질 중 산소 다음으로 Silicon(규소)이 가장 많은데, 그만큼 구하기 쉽고 원재료가 싸다는 장점이 있다. 두 번째로는 독성이 없다. Silicon은 실제로 인공 뼈 재료로도 사용 할 만큼 인체에도 무해하다고 할 수 있다. 세 번째로는 Silicon의 우수한 특성 때문이다. 실제로는 Germanium이 Silicon 보다는 전류 특성이 더 좋다. 하지만 녹는점, 동작 온도 등이 좋지 않아 Germanium이 반도체 공정 중 고온에서 진행되는 과정을 견디지 못하고 녹아버리는 일이 발생한다. 또한 Silicon은 $\sim 150^{\circ}\text{C}$ 까지 동작이 가능한데 비하여 Germanium은 동작범위가 $\sim 100^{\circ}\text{C}$ 로 더 낮다. 이는 Silicon의 밴드 갭 특성으로 인해 차이가 발생 된다. Fig. 3은 Silicon, Germanium, GaAs(갈륨비소)의 특성 곡선이다. 전류가 특정 전압부터 통하게 되는데 이 지점을 Turn on 전압이라고 한다. Germanium의 경우 통상 0.3V정도에서 Turn on 되는데, 온도에 따라 이 특성이 달라진다. 그만큼 조금의 전압의 변화에도 민감하게 반응하여 불안정하다는 것을 확인 할 수 있다. 하지만 GaAs(갈륨비소)는 특성 곡선에서 확인 가능하듯이 Silicon보다 더 좋은 특성을 갖고 있다. 하지만 가공하면서 독성 물질이 생성되므로 극한 환경에서 사용할 것이 아니라면 Silicon이 더 안정적이고, Silicon은 12" 등의 큰 사이즈의 Wafer가 제작 가능하지만 GaAs(갈륨비소)는 6" 이상 만들 수 없다. 마지막으로 Silicon은 Passivation Layer를 형성하기가 쉽다. Passivation Layer는 확산 공정에서 표면 보호 및 안정화와 전기적 절연, 보호막, 소자간의 격리, 표면의 불순물을 제거하는 역할을 하는 중요한 부분이고 필수적인 부분이다. 하지만 Germanium의 경우 Passivation Layer는 만들기도 어려울뿐더러, 만들어 놓으면 물에 녹아버리기도 하고, 800°C 에서는 분리되는 현상

까지 나타나 고온에서 진행 되는 공정과정을 절대 견딜 수가 없다. 그에 반하여 Silicon의 경우 제작공정이 쉽고, 화학적으로 안정한 구조를 가지고 있어 사용하기에 편리하다는 장점을 가지고 있다. 이러한 장점으로 현재 대부분의 Wafer는 Silicon으로 만들어 지고 있다. Silicon Wafer는 제조공정은 크게 3단계로 나눌 수 있다. 첫 번째는 모래에서 추출한 실리콘을 wafer로 만들기 위해 순도를 높이는 정제 과정이 필요하다. 고진공 상태에서 실리콘 원료를 1400도 이상의 높은 온도로 녹여 고 순도의 실리콘 용액을 만들고 결정 성장시켜 굳히는 과정을 거치는데, 이렇게 만들어진 실리콘 기둥을 잉곳(Ingot)이라고 한다. 실리콘 결정 성장기술은 초크랄스키법(Czochralski) 혹은 플로팅 존법(Floating Zone)법이 있다. 초크랄스키법은 단결정 Silicon(Seed)을 녹아있는 실리콘 용액 위 표면에 접촉시켜 단결정 Silicon(Seed)를 천천히 끌어올리는 방법으로 이때, 단결정 Silicon(Seed)을 끌어올리면서 액상과 고상 사이의 계면에서 냉각이 일어나 큰 단 결정체가 성장되면서 잉곳(Ingot)이 만들어지는 방법이다.[8] 플로팅 존법은 한 순간에 원료 물질 중에 한 부분이나 일부 영역만 가열 용융시켜서 결정을 성장시키는 방법으로 정제된 단결정을 얻을 수 있는 방법이다. 두 번째는 결정이 성장 된 후, 얇은 웨이퍼로 만드는 성형 공정이 필요하다.[9,10] 먼저 단결정 Silicon(Seed)과 잉곳(Ingot)의 끝부분을 제거한 뒤, 냉각된 잉곳(Ingot)을 다이아몬드 톱을 이용하여 균일한 두께로 얇게 절단하면 웨이퍼가 된다. 이때, 잉곳(Ingot)의 지름이 웨이퍼의 크기를 결정하게 되는데, 최근에는 웨이퍼가 클수록 대량생산이 가능하기 때문에 점점 커지는 추세이다. 마지막으로 절단된 웨이퍼의 표면을 매끄럽게 만드는 Polishing 공정이다. 웨이퍼의 표면에 흠결이 있고 거칠수록 정밀도에 영향이 미치기 때문에 연마액과 연마장을 이용해 웨이퍼의 표면을 매끄럽게 갈아낸다. 이렇게 제작된 웨이퍼는 결정 방향이나 두께 저항에 따라 나뉘게 된다. 웨이퍼의 결정 방향은 밀러 지수로 정의한다. Silicon Wafer는 표면의 상태가 전기적 상태를 결정하는데 큰 영향을 미친다. [100]방향은 화학적으로 비교적 안정적인 편이고, [111]방향은 화학적으로 활성도가 높은 편이다.[11~13] 저항에 따라서는 Low Resistivity (10ohm-cm) 와 High Resistivity (5000ohm-cm)로 나뉘게 된다. 저항치는 실리콘 내의 전자와 정공들의 움직임과 흐름에 대한 저항력으로 단위는 Ohm-cm으로 표시한다. 저항치는 Silicon에 As,

Phos, Boron과 같은 불순물을 포함시키면서 조절이 가능하다. 불순물이나 도판트의 양이 증가할수록 저항치는 줄어들고, 도판트가 많이 들어간 물질은 저항치가 작은 성질이 된다.[14~17]



[지각 구성 원소의 질량비]

Fig. 3 Mass ratio of crustal elements

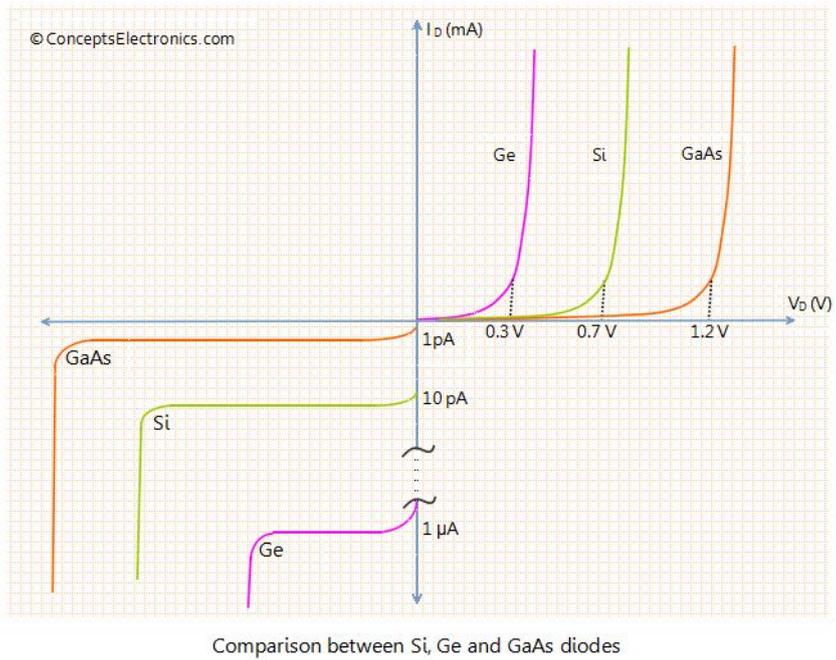


Fig. 4 Comparison between Si, Ge and GaAs diodes



Fig. 5 Silicon Wafer Manufacturing Process



Fig. 6 Czochralski, CZ method

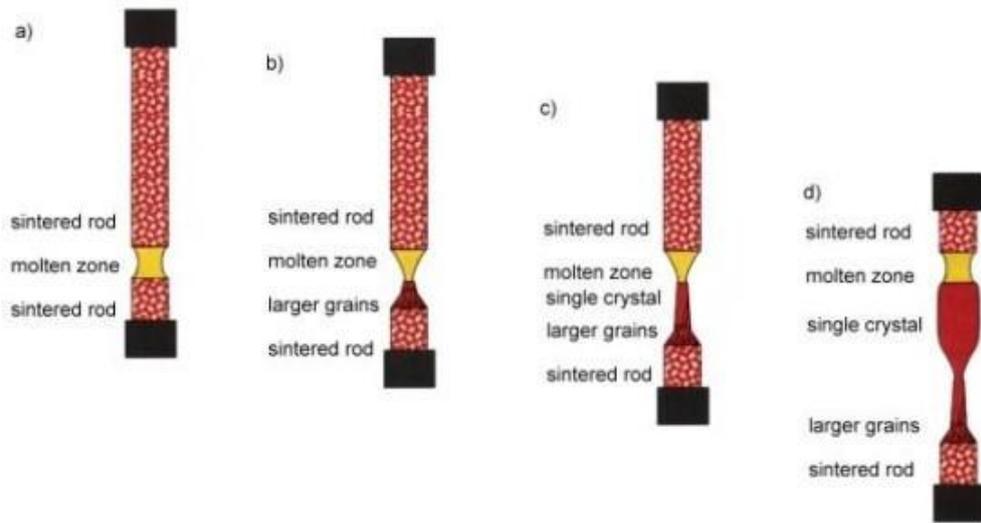


Fig. 7 Float-zone, FZ method

제 2 절 MEMS 공정

MEMS (Micro Electro Mechanical Systems)는 회로와 입체적인 미세구조, sensor, actuator를 Silicon기판 위에 집적화 시킨 것으로 소형이지만 복잡하여 고도의 동작을 하는 시스템이다. 마이크로머신이나 마이크로시스템 등으로 불리기도 하는 MEMS는 반도체 집적회로의 구조 기술을 기초로 하고, 광, 재료, 전자, 기계 등 다양한 기술을 포함한 미세가공 기술로 제작되어, 소형화뿐만 아니라 집적화, 저 전력 및 낮은 가격등 대부분의 기계, 전자 및 부품들이 궁극적으로 추구하는 목표를 모두 만족시킬 수 있다는 장점을 가지고 있다. 앞으로 주도하는 핵심 기술 중 하나로 주목되고 있는 MEMS 기술은 우리가 흔히 접할 수 있는 정보기기 관련 시스템의 sensor나 print head와 같은 중요한 부분에 사용되고 있으며, 다양한 산업 분야에서 시스템, 구조, 부품 제조를 위한 핵심 기술로 사용되고 있다.[18,19] 다른 기술에 비하여 짧은 역사를 가지고 있는 MEMS 기술은 다른 기술과의 융합을 통해 기존 시장을 효과적으로 대체하거나 새로운 시장을 창출할 무한한 잠재력을 가지고 있다. 1980년 초부터 유럽, 미국, 일본 등의 국가에서 기술 선점을 위해 대형 연구개발 사업을 추진함과 동시에 특허를 통한 자국의 원천기술 봉쇄에 심혈을 기울이고 있다. 일반적으로 MEMS는 마이크로($1\mu\text{m}=10^{-6}\text{m}$) 단위의 작은 부품과 시스템으로 설계되어 제작, 응용된다. 기본적인 기술에는 물질 층의 증착(deposition), 포토리소그래피(photo lithography)를 통한 패터닝(patterning), 필요한 모양의 형태를 제작하기 위한 에칭(etching)이 있다. MEMS의 제작에서 기본적인 블록을 제안하는 방법으로 증착한다는 것의 의미는 수 nm에서 $100\mu\text{m}$ 사이의 물질에 얇은 필름을 붙인다는 것이다. 증착에는 물리적 증착방법과 화학적 증착 방법이 있다. 물리적 증착 법은 증착시킬 필름에 해당하는 물질을 기판 물질의 표면에 붙이는 과정이다. 이 공정에 적용되는 기술에는 스퍼터링(sputtering)과 진공증착(evaporation deposition)이 있다. 스퍼터링은 타겟 물질의 원자를 이온 광선을 이용해 분리한 후 자유로운 이동이 가능하게 하여 기판 물질에 붙이는 과정을 말한다. 또한 진공증착은 열이나 전자빔을 진공상태에서 Sample에 발사하여 몇 개의 원자를 분리시켜 증착시키는 방법으로 열 진

공증착과 E-beam 증착이 활용된다. 진공증착은 타겟 물질에 에너지를 가해서 전체의 거대한 결합 중 몇 개의 원자를 떼어내는 방법으로 타겟 물질마다 가해지는 에너지가 다양하다는 단점이 있어 스퍼터링 방법을 주로 사용한다. 화학적 증착은 기판 물질과 기체 상태의 원료를 화학 반응하게 하여 증착시키는 화학기상증착을 말한다. 패터닝에는 리소그래피, 포토리소그래피, 전자빔 리소그래피, 이완광선리소그래피, X-ray 리소그래피 등 많은 카테고리로 나뉘질 수 있다. 그 중에 대표적으로 리소그래피는 증착한 박막이나 웨이퍼를 필요한 모양으로 만드는 공정 중에 하나로, 반도체 공정에 필요한 소자를 제작하기 위해 사용된다. 마지막으로 에칭은 증착된 박막이나 웨이퍼의 일부분을 제거하여 원하는 형상으로 만드는 공정으로 크게 Wet etching과 Dry etching으로 나뉜다. Wet etching은 액체 상태의 식각 액을 이용하여 박막을 식각하는 방법이고, Dry etching는 가스 등을 이용하여 박막을 식각하는 방법이다.

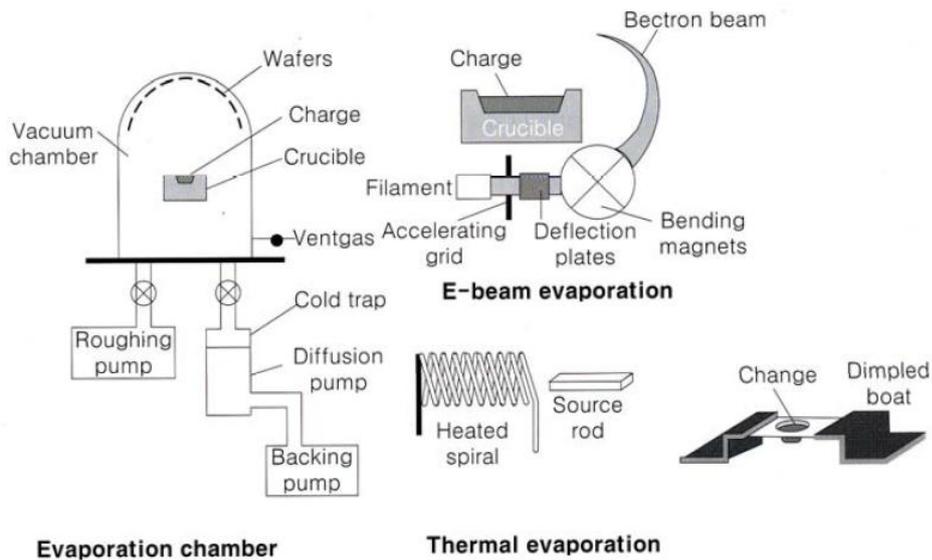


Fig. 8 Evaporation chamber conceptual diagram and evaporation method

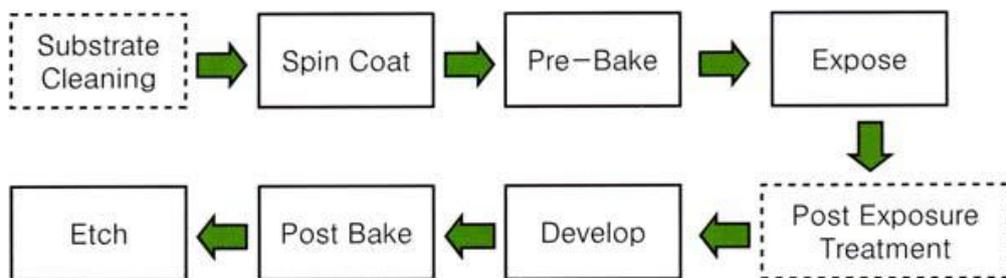


Fig. 9 Lithography process flow chart

제 3 장 실험 및 결과 고찰

제 1 절 Low Resistivity Silicon Wafer 와 High Resistivity Silicon Wafer의 특성 비교

1. S-parameter 분석

S-parameter를 측정하기 위해 필요한 장비는 Network Analyzer로 흔히 회로 망분석기 또는 NA라는 약자로 많이 사용된다. RF engineering의 필수 장비중의 하나이고, 하나의 기계 안에 Spectrum analyzer와 주파수 source가 들어있어서 입력과 출력의 주파수 신호 분포 결과를 서로 나누면서 S-parameter를 측정하게 된다. Network analyzer에는 두 개의 동축선 connector port가 존재하는데, DUT(Device under test; 측정 대상)의 입력과 출력에 각각 연결하여 사용하게 된다. 여기서 동축 커넥터는 소형의 SMA type와 대형의 N type를 주로 사용한다. Network analyzer는 대부분의 계측기와 마찬가지로 PC와의 interface를 지원하며, HP/IB나 GPIB를 통해 PC의 Software와 연동이 가능하다. 이것을 통해 자동측정과 데이터베이스화가 가능하며, 이 기능은 특히 Device modeling에서 유용하게 활용된다. S(scattering) parameter는 RF에서 가장 널리 사용되는 회로 결과 값으로 정의를 간단하게 설명하면, 주파수 분포 상에서 입력 전압 대 출력 전압의 비를 의미 하는 것으로, 예를 들어 S21이라 하면, 1번 포트에서 입력한 전압과 2번 포트에서 출력된 전압의 비율을 의미한다. 즉 1번 포트에 입력된 전력이 2번 포트에서는 얼마나 출력되는지를 나타내는 수치이다.

Fig.12 는 Low Resistivity Silicon Wafer의 특성평가를 나타낸다. S11는 반사 계수로 입력전압 대비 반사전압 비로 나타내며, 입력과 출력이 같은 포트이기 때문에 자기가 입력하고 출력하여 돌려받는 값을 의미한다. 그러기 때문에 값이 클 수록 반사가 작다는 것을 뜻하며, 매칭이 잘 되었다고 할 수 있다. 그래프 상에서는 Frequency가 낮은 Pass band(통과대역)에서 Loss 값이 -40dB 정도로 나

타내면 정합이 잘되어 있다는 의미이고, Frequency가 높은 Stop band(저지대역)에서는 0dB에 가깝게 나타나야 한다. 하지만 Low Resistivity Silicon Wafer는 0dB 정도로 대부분이 반사되어 소멸되었다고 볼 수 있다. S21은 포트 1에서 포트 2로 전달되는 전달계수를 의미하며, 삽입 손실은 통과대역 최대레벨과 0레벨 간의 gap을 나타내며, 삽입 손실의 gap이 좁을수록 소자의 특성이 우수하다. 하지만 Low Resistivity Silicon Wafer의 경우 대부분의 입력 신호가 다 손실되어 값이 거의 나오지 않는다.

반대로 Fig.13 High Resistivity Silicon Wafer의 경우는 S11의 반사 손실은 거의 -40dB 부근으로 입력과 출력의 반사가 작아 매칭이 잘 되었고, S21의 경우도 Pass band에서 0dB에 가깝게 나와 신호의 손실이 크지 않다는 것을 확인할 수 있었다.

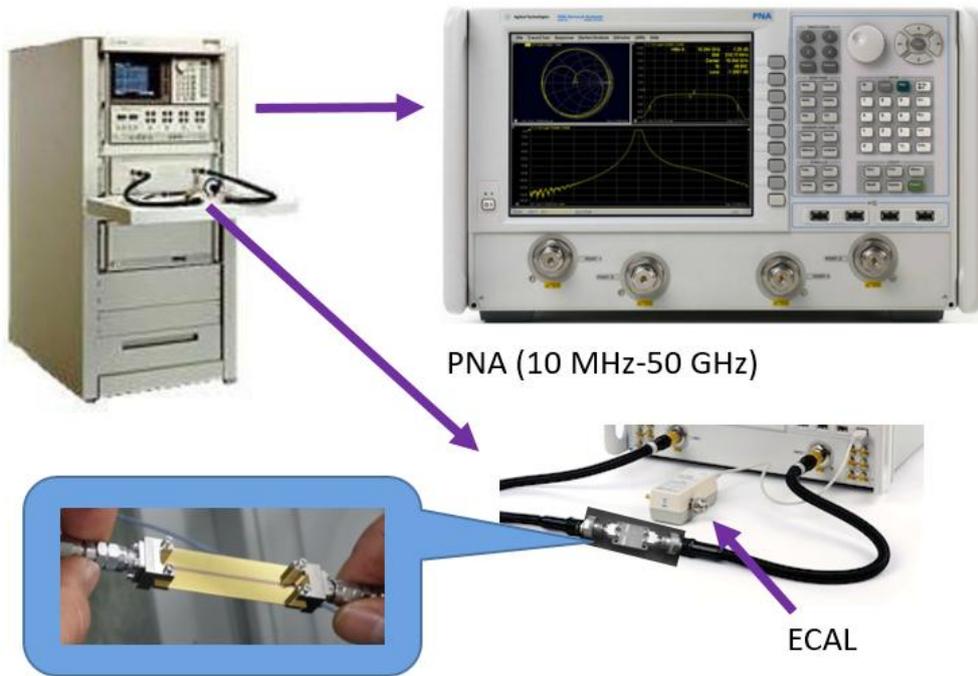


Fig. 10 Network Analyzer Test Set-up

$$S_{ab} = \frac{V_a^-}{V_b^+} \quad S_{matrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix}$$

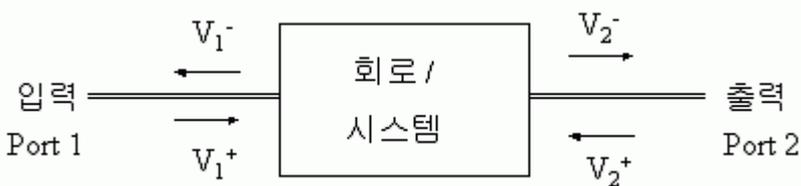


Fig. 11 S-parameter

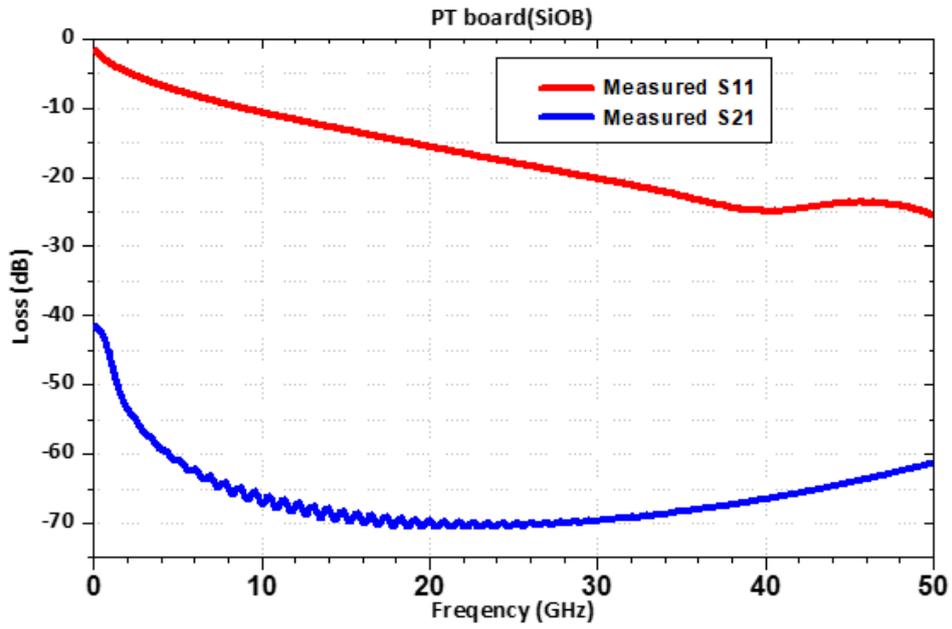


Fig. 12 Low Resistivity Silicon Wafer S-parameter

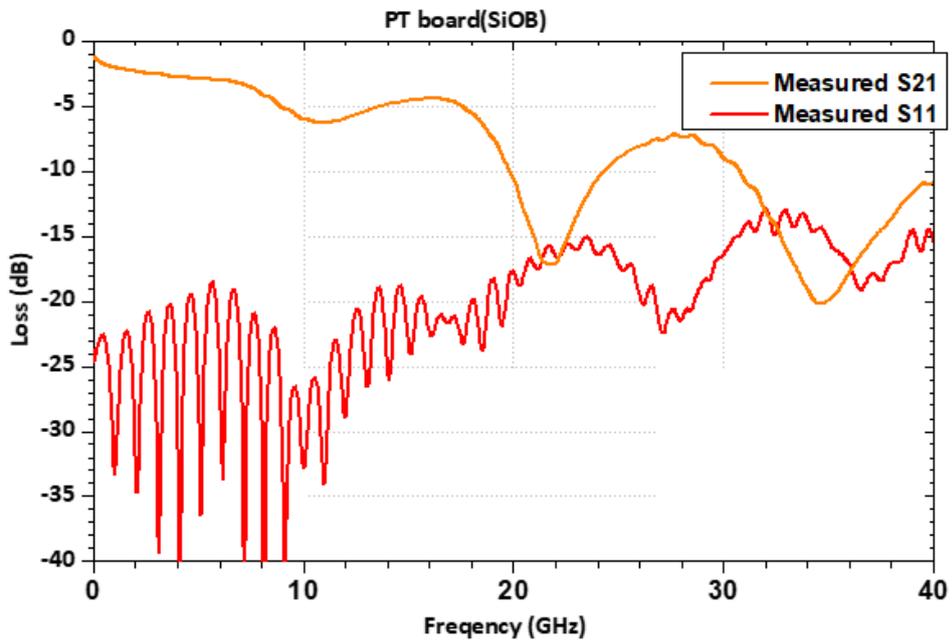


Fig. 13 High Resistivity Silicon Wafer S-parameter

2. Electrical Eye 분석

Electrical Eye는 BERT(Bit Error Rate Tester)에서 나오는 PPG(Pulse Pattern Generator)의 신호를 보내서 특정 시간 단위 내에서 DCA(Digital)에 나타나는 디지털 신호의 단계적인 레벨 이동 흐름을 중첩하여 보내주는 파형을 나타내는데 중첩된 파형이 마치 사람의 눈을 닮았다고 하여 Eye Pattern이라고 부른다. Eye Pattern의 열림의 크기 정도로 수신 데이터의 품질이나 회로 장비의 결함에 대해 주관적, 정성적 평가를 할 수 있는 지표이고, 일반적으로 눈의 모양이 점점 흐려지면서 닫히는 형상이 될수록, 신호의 품질이 열화 되었다고 표현하는데 이는 디지털 신호가 제대로 전송되지 않고 손실된다고 볼 수 있다.

Fig. 15는 Low Resistivity Silicon Wafer에 BERT(Bit Error Rate Tester) 신호를 넣어서 DCA로 측정한 결과 값이다. 보이는 것처럼 BERT(Bit Error Rate Tester)의 신호들이 모두 손실되어 Eye Pattern이 완전히 열화 되어 어떠한 Eye Pattern의 열림이 확인 되지 않는다. 반면에 Fig. 16의 경우 High Resistivity Silicon Wafer를 통과한 BERT(Bit Error Rate Tester)의 디지털 신호의 경우 0Level 과 1Level 이 뚜렷하게 나뉘어져서 Eye Pattern의 열림이 제대로 진행되고 있는 것을 확인 할 수 있다. 이를 통해 디지털 신호가 손실되지 않고 제대로 전송되고 있음을 알 수 있었다.

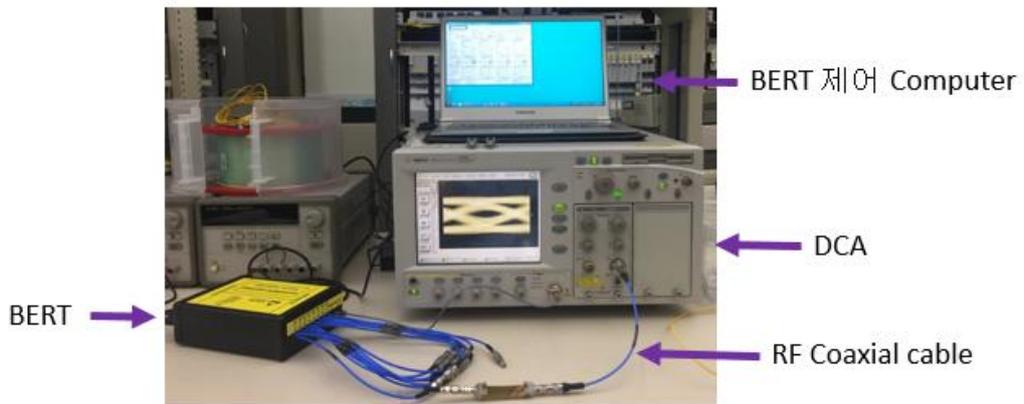


Fig. 14 Electrical Eye Test Set-up

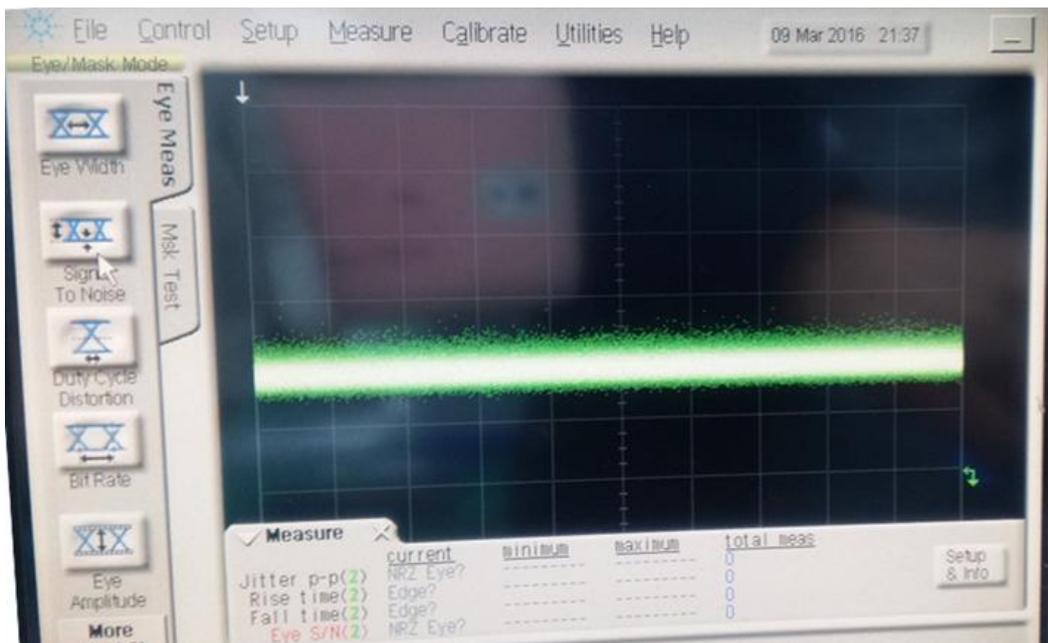


Fig. 15 Low Resistivity Silicon Wafer Electrical Eye

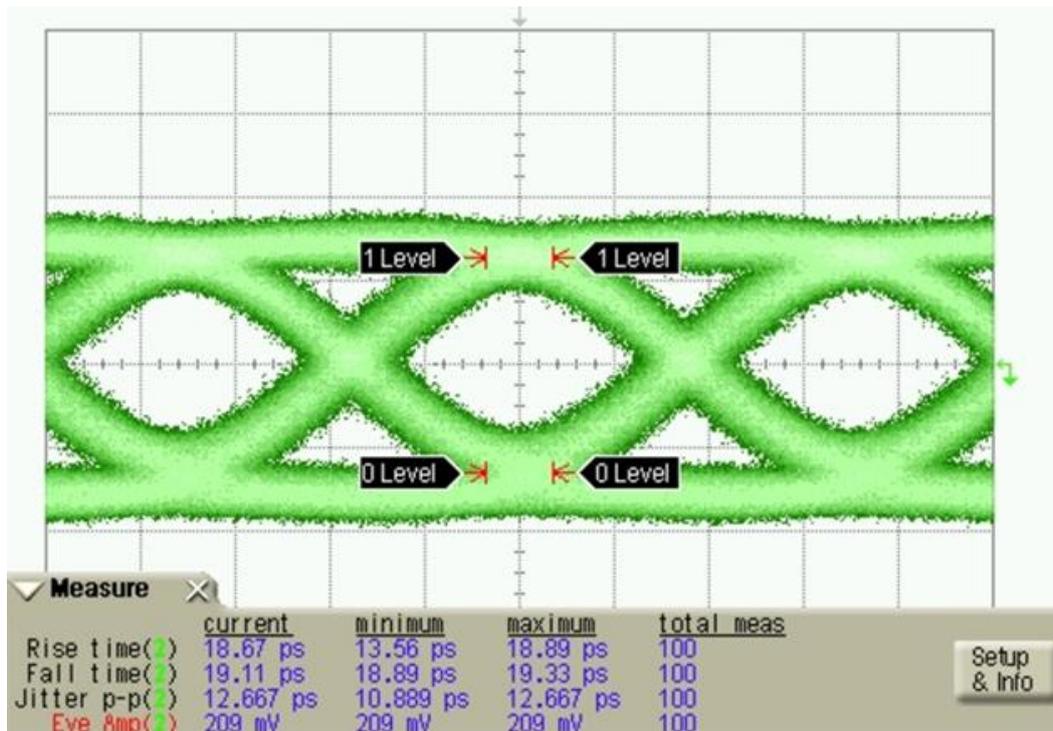


Fig. 16 High Resistivity Silicon Wafer Electrical Eye

제 2 절 Optical Engine 특성평가

1. Scanning Electron Microscope (SEM) 분석

Optical Engine을 제작할 때 MEMS 공정에서 Chemical reactive plasma를 이용하여 Via Hole을 제작한 후 산화 막 생성 후 구리로 Via Hole을 채우는 공정을 진행한다. Via Hole 및 Pattern을 확인하기 위해 SEM으로 분석하였다. SEM은 Scanning Electron Microscope의 약자로 Sample의 표면을 전자빔을 통해 Scan하여 Image화 시키는 전자 현미경의 일종이다. SEM에서 고속의 전자를 발사하면 이 전자가 시료표면에 충돌하면서 상호작용하여 시료에서 전자와 같은 물질이 튀어나오는데, 이를 분석하는 원리이다. Fig. 17은 Via를 전체적인 형상이 보이도록 찍은 SEM 사진이다. 조성 분석은 SEM에 부착되어있는 EDS(Energy Dispersive X-ray Spectroscopy)장비로 측정 되었다. EDS는 SEM에서 Sample에 전자빔을 주사하게 되면 원자 내의 전자가 에너지를 흡수하여 들뜬 상태가 된다. 이때 들뜬 전자가 다시 안정화 되면서 특정 X-선이 방출되게 되는데, 방출된 X-선은 물질마다 고유한 에너지 값을 가지게 된다. 샘플에 대한 정성분석은 EDS에서 수집된 X-선을 세기 별로 분류하여 한다. Fig. 18은 Via를 확대한 사진으로 spectrum 17로 표시된 부분에 SEM에서 전자빔을 통해 Scan하였고 EDS에서 spectrum 17에서 검출된 특정 X-선들을 분류하여 Fig. 19에서 확인 가능하듯이 정성 분석 그래프가 나오게 되었다. TOP면에 Coating 되어있는 Au가 가장 많이 검출된 것을 확인 할 수 있었고 내부에 Via Hole을 채우고 있는 Cu도 검출 되었다.

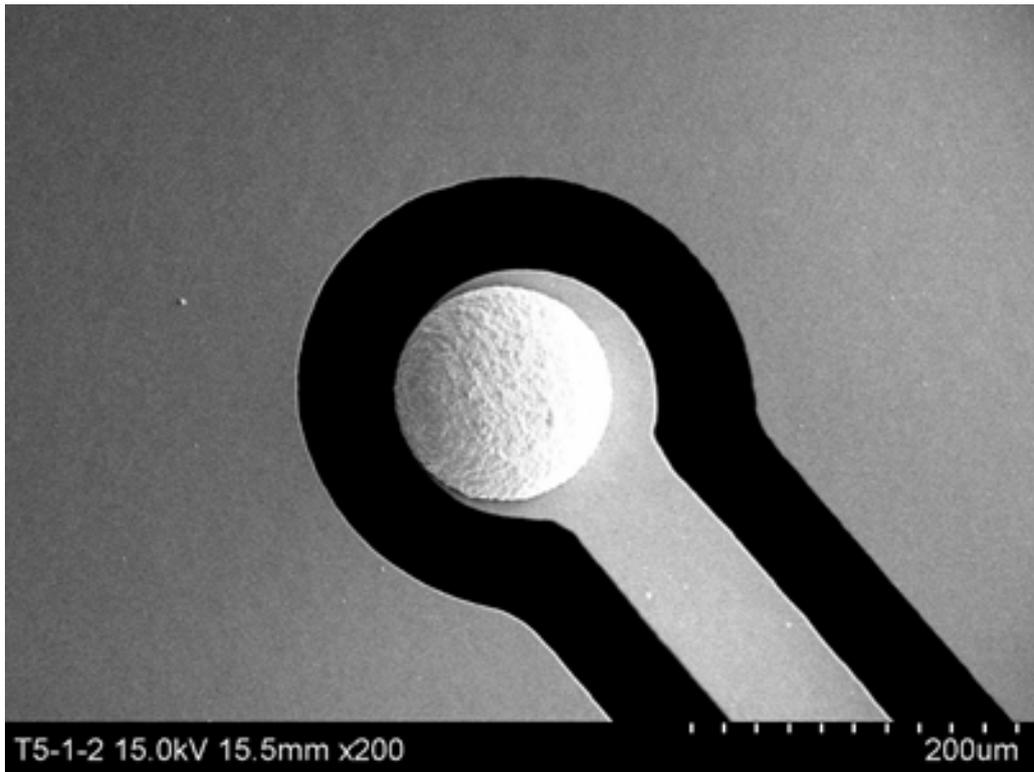


Fig. 17 SEM image of Via Hole

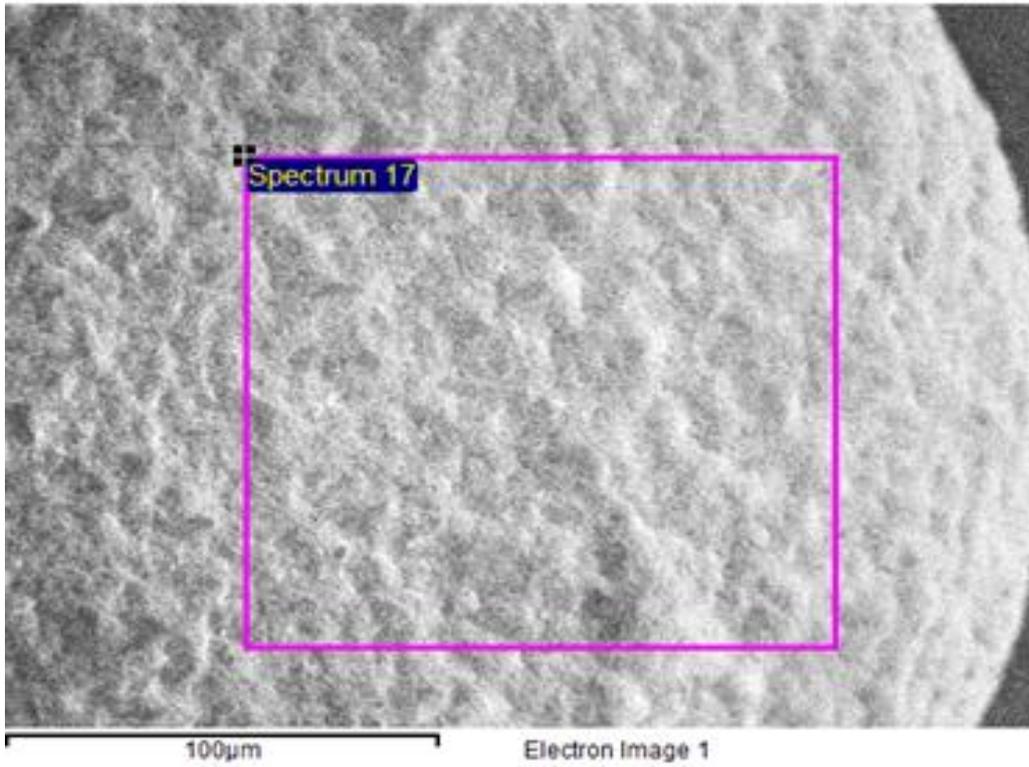


Fig. 18 SEM image of Via Hole

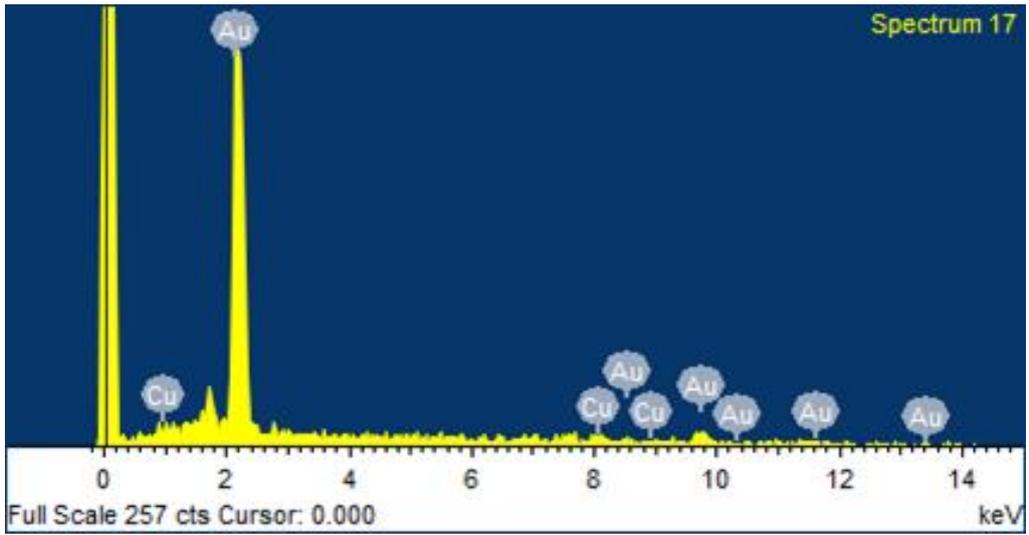


Fig. 19 EDS analysis of Via hole

2. Optical Spectrum 분석

Optical Spectrum Analyzer는 반사 또는 굴절률을 사용하여 빛의 파장을 분리하는 장비이다. 전기 광학 검출기를 통해 빛의 강도를 측정하게 되는데, 이 빛은 일반적으로 라디오 주파수 또는 오디오 주파수 스펙트럼 분석기와 비슷한 방식으로 화면에 표시되게 된다. 광 스펙트럼 분석기의 경우 입력은 장비에 광섬유 또는 광섬유 케이블을 고정 시킬 수 있는 광커넥터를 통해 입력이 가능하다. Optical Spectrum Analyzer를 통해 파장 별로 감쇠 여부 및 인접 채널 파장간의 간섭 등의 영향을 확인 할 수 있다. Fig. 20을 통해 Optical Engine은 1310nm 대역의 Center 파장을 확인 할 수 있다. 또한 MSA 규격에 나와 있는 SMSR(Side Mode Suppression Ratio)를 확인 할 수 있는데 이는 Spectrum 상의 가장 높은 피크 모드(Peak Mode)의 대비 다음 모드(Next dominant mode)의 차이를 나타내는 수치이다. MSA 규격에서는 전형적인 단일모드 레이저 다이오드의 피크 모드와 다음 모드 차이가 40dB이상이 되어야 규격에 만족한다. Fig.21에서 1310nm 대역 대의 모든 레이저 다이오드의 피크 모드와 다음 모드 차이가 40dB 이상을 나타내고 있다. 이를 통해 만들어진 Optical engine에 감쇠 및 간섭 등의 영향 없이 규격에 맞게 동작하고 있음을 나타내고 있다.

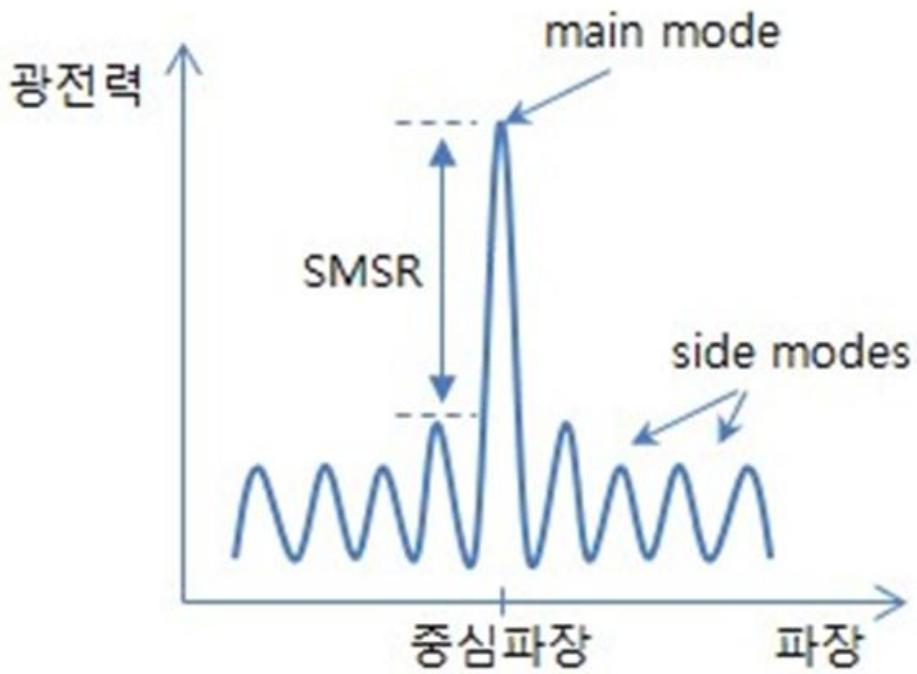


Fig. 20 SMSR(Side Mode Suppression Ratio)

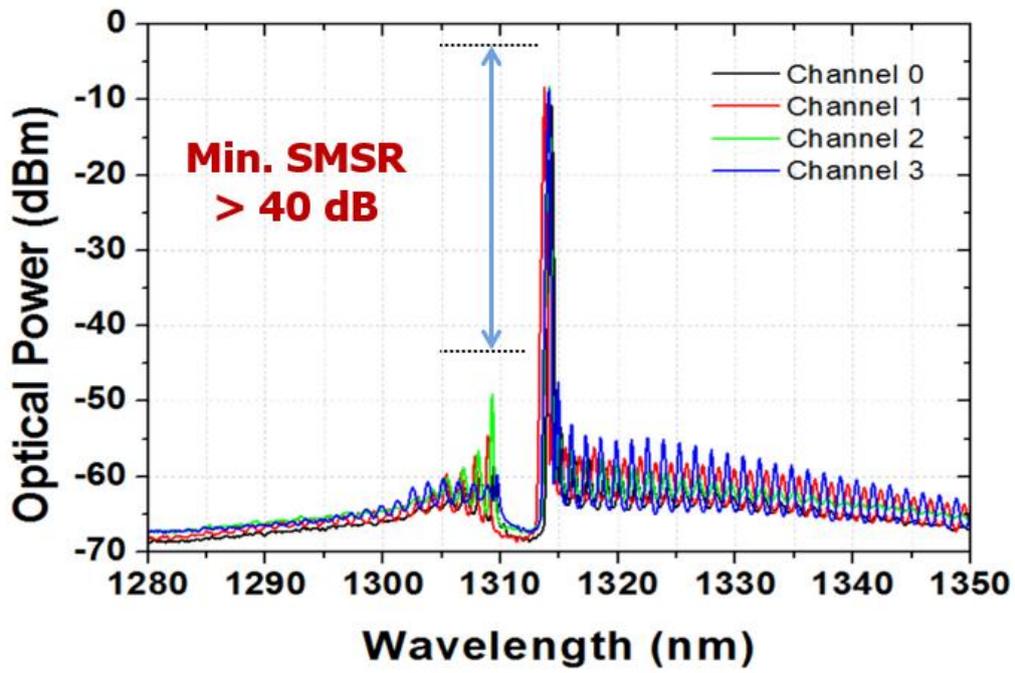


Fig. 21 Measurement of Optical Spectrum & SMSR

3. 광수신감도 분석

수신감도는 광통신에서 수신기 수광 소자의 성능이나 특성에 따라 수광 가능한 최소의 광 입력 레벨이다. 수신 감도는 BER(Bit Error Rate)를 기준으로 결정되고 수신기의 성능을 대별 할 수 있는 중요한 척도이다. 측정하는 광통신 수신기에 따라서 기준치는 약간 다르다. 광 수신감도 측정을 위해서 Fig. 22와 같은 장비 및 구성이 필요 하다. 기본적으로 PPG(Pulse Pattern Generator)에서 나오는 신호가 Optical Engine을 지나서 다시 ED(Error Detector)로 들어간 신호에 Error를 확인하여 나온 값을 log로 변환한 후, Attenuator를 활용하여 Power 대 비로 측정하여 Gaussian 분포로 나타낸 것을 수신감도라고 한다. 이 논문에서 제작한 Optical engine의 MSA 규격 목표는 Back to Back 전송 시 성능이 채널 별 광수신감도가 >-10.5 dBm 이다. 실제로 측정한 결과 각 채널 모두 MSA 규격에 부합하였다.

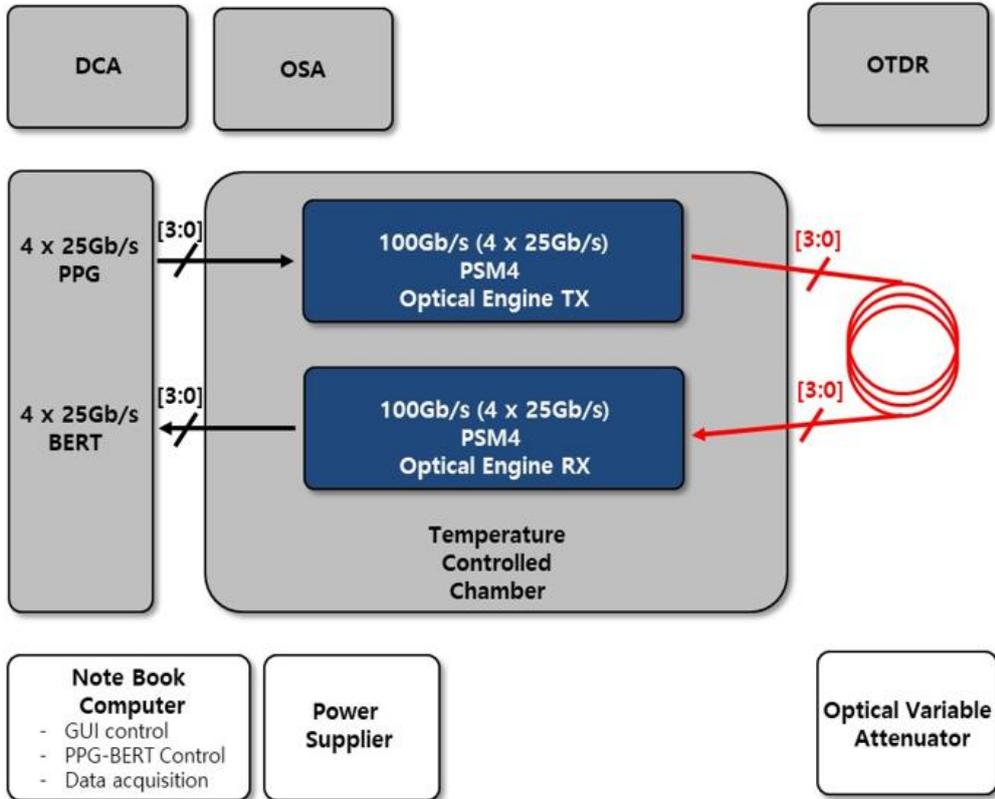


Fig. 22 Optical Receive Sensitivity test set-up

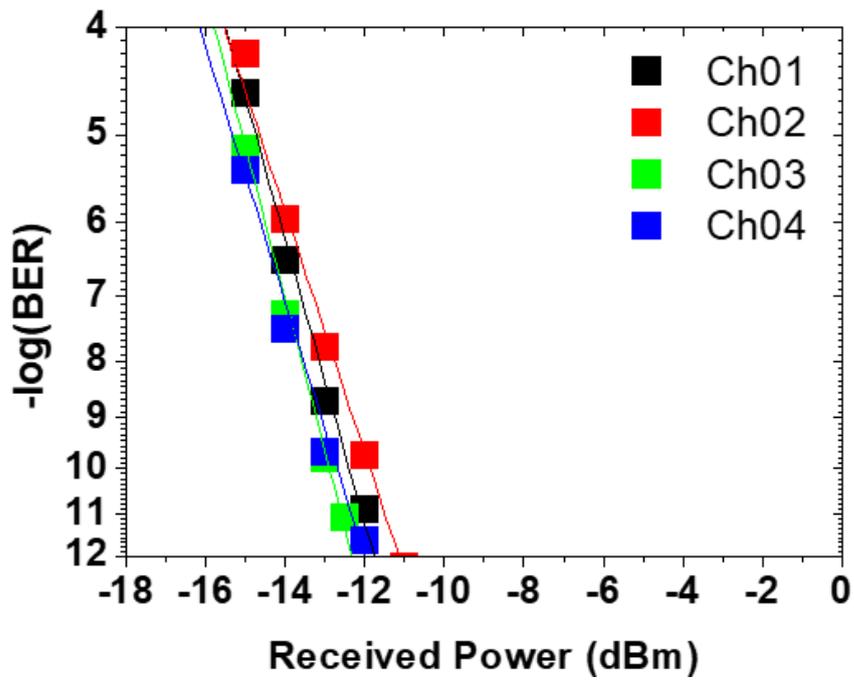


Fig. 23 Measurement of Optical receive sensitivity

4. Optical Eye 분석

Eye Pattern는 광 또는 전기 신호의 누적 및 중첩된 전압 파형을 시간 축 상으로 나타낸 것을 의미하며 장기 잔상을 갖는 Oscilloscope로 보면 출력 파형의 모양이 눈 모양과 비슷하다고 하여 Eye Pattern이라고 말한다. 이러한 Eye Pattern은 통상 Oscilloscope에서 음극선관에 의한 지속성 모드를 이용해 얻을 수 있으며, 가로축의 소거율(sweep rate)을 주기의 역수 ($1/T$)로 높고 수신신호를 수직입력에 부가하게 된다. 이러한 Eye Pattern을 통해 Eye Opening의 크기로 수신 데이터의 품질이나 회로 장비의 결함에 대해 정성적이고 주관적인 평가를 할 수 있다. 신호 왜곡, Jitter, Rise Time, Fall Time, Pulse Dispersion 등 데이터 신호의 품질을 직관적이며 총체적으로 평가 할 수 있는 광학통신에서 가장 흔하게 널리 사용되는 방법이다. Fig. 25~Fig. 28은 실제로 각 채널 별로 측정된 Optical Eye를 나타낸다. 전반적으로 Eye Pattern 형태가 제대로 Opening이 되어 있음을 확인 할 수 있다. 뿐만 아니라 MAS 규격에서 나타내는 변조속도 25.78Gb/s를 모두 만족하고 있음을 확인 할 수 있다.

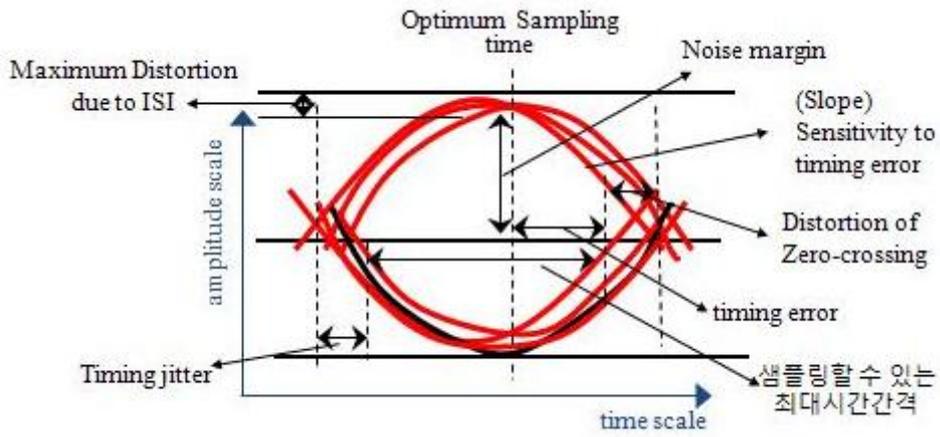


Fig. 24 Eye Pattern



ch01

Fig. 25 Measurement of Optical eye on Ch01



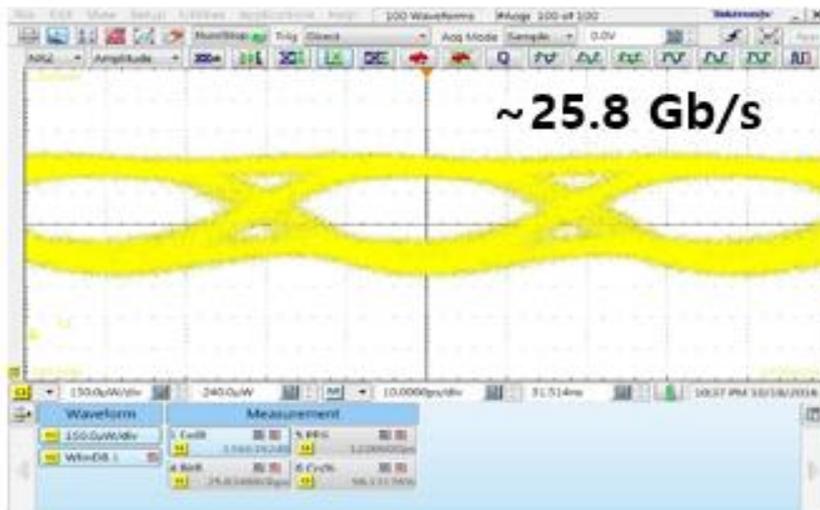
ch02

Fig. 26 Measurement of Optical eye on Ch02



ch03

Fig. 27 Measurement of Optical eye on Ch03



ch04

Fig. 28 Measurement of Optical eye on Ch04

제 4 장 결론

본 논문에서는 Silicon의 반도체 물성으로 인해 광대역 RF 설계에 많은 어려움이 있으나 이를 High Resistivity Silicon Wafer를 사용함으로써 해결 하였다. 과거에는 트래픽의 양이 많지 않았기 때문에 Bandwidth 와 유전율은 낮으나 가격이 싸고 불에 강한 FR4를 Substrate로 사용했고, 케이블 또한 주파수 대역을 넓게 취하고 차폐된 구조를 가지고 있어 외부의 영향이 거의 없는 구리선으로 이루어진 동축케이블로 사용하였다. 하지만 트래픽 양의 증가함에 따라 한계에 부딪치게 됨으로써 현재는 더 높은 Bandwidth를 수용하는 RO4350B를 Substrate로 사용하게 되었다. 전송선로 역시 광파이버로 바꾸게 되면서 손실이 적어지게 되었다. 동축케이블의 경우 2.5(MHz)신호 전송 시 3.5(dB/km) 수준의 손실을 갖는데 비하여 광파이버는 1(GHz)신호 전송 시 0.4~1.0(dB/km)수준으로 적은 손실을 갖게 되었다. 또한 동축 케이블은 1.5km 당 신호를 다시 재생시켜야 전송이 가능했지만 광파이버는 50km까지 재전송 없이 전송이 가능하다. 뿐만 아니라 동축케이블은 1km 당, 신호 전력이 반으로 줄어들면서 사용 주파수는 10MHz 이하였지만, 광파이버의 경우 사용재료의 종류나 굴절률 분포에 따라 크게 달라지며 단일모드 광섬유는 수십GHz/km로 광대역 전송이 가능하다. 그 외에도 단면적의 크기, 자원 공급 등 많은 차이를 나타내며 광파이버가 각광받았다. 하지만 광파이버는 단일 모드의 경우 9um 정도로 매우 가늘다. 이를 광원과 고도의 접속 기술로 연결해야한다는 단점이 있었다. 이를 보장하기 위해 기존에는 Silicon의 방향성으로 미세가공이 가능하다는 장점을 가지고 광도파로로만 위주로 사용하였다. 하지만 본 논문은 Silicon을 단순히 광도파로로만 사용하는 것이 아니라 높은 Bandwidth 수용은 가능하지만 가격이 매우 비싼 RO4350B 대신, 구하기 쉽고 값이 싼 Silicon을 Electrical Circuit Board로 대체하는 것을 목표로 연구를 진행하였다. 그 결과 Silicon의 반도체 물성으로 광대역 RF 설계에 많은 어려움이 있는 Silicon Wafer 중에 Low Resistivity Silicon Wafer와 High Resistivity Silicon Wafer의 특성 평가를(S-parameter, Electrical Eye) 통하여 높은 Bandwidth를 처리할 수 있는 High Resistivity Silicon Wafer로 대체 할 수

있다는 가능성을 발견 하였고, 실제 적용 가능한 부분을 확인하기 위해 Optical Engine을 MEMS 공정으로 제작하여 국제규격 MSA와 비교하여 Optical Spectrum, SMSR, 광수신감도, Optical Eye, 변조속도 등이 MSA 규격에 모두 만족하는 것을 확인하였다.

참 고 문 헌

- [1] G.E. Moore, Electronics 38 (8) (1965).
- [2] L.E. Larson, Integrated circuit technology options for RFICs – Present status and future directions, IEEE J Solid State Circuits 33 (1998), 387 - 399.
- [3] J. Papapolymerou, G.E. Ponchak, E. Dalton, A. Bacon, and M.M. Tentzeris, Crosstalk between finite ground coplanar waveguides over polyimide layers for 3-D MMICs on Si substrates, IEEE Trans Microwave Theory Tech 52 (2004), 1292 - 1301.
- [4] A. Chin, K.T. Chan, C.H Huang, C. Chen, V. Liang, J.K. Chen, S.C. Chien, S.W. Sun, D.S. Duh, W.J. Lin, C. Zhu, M.F. Li, S.P. McAlister, and D.L. Kwong, RF passive devices on Si with excellent performance close to ideal devices designed by electro-magnetic simulation, IEDM Tech Dig (2003), 15.5.1 - 15.5.4.
- [5] K.T. Chan, A. Chin, S.P. McAlister, C.Y. Chang, J. Liu, S.C. Chien, D.S. Duh, and W.J. Lin, Low RF noise and power loss for ion-implanted Si having an improved implantation process, IEEE Electron Device Lett 24 (2003), 28 - 30.
- [6] J. Buchler, E. Kasper, P. Russer, and K.M. Strohm, Silicon highresistivity-substrate millimeter-wave technology, IEEE Trans Microwave Theory Tech 34 (1986), 1516 - 1521.
- [7] Ru-Yuan Yang, Cheng-Yuan Hung, Yan-Kuin Su, Min-Hang Weng, and Hung-Wei Wu, Loss characteristics of silicon substrate with different resistivities, Microwave and optical technology letters (2006)
- [8] F. Ogino, T. Inamuro, A. Kodo, Dynamic Modelling of Czochralski Crystal Growth Process, Heat Transfer Conference 7 (1998)
- [9] G. Balakrishnan, D.McK. Paul, M.R. Lees, A.T. Boothroyd, Physica C 2016 (1993) 143.

- [10] I. Tanaka, K. Yamane, H. Kojima, *J. Crystal Growth* 96 (1989) 711.
- [11] C. Liu, *Foundations of MEMS*. Upper Saddle River, NJ: Pearson Educ., Inc., 2006
- [12] J. F. Nye, *Physical Properties of Crystals: Their Representation by Tensors and Matrices*. Oxford, U.K.: Oxford Univ. Press, 1985.
- [13] B. A. Auld, *Acoustic Fields and Wave in Solids*. Malabar, FL: Krieger, 1990
- [14] D. Beck, E. Herrmann, and E. Kasper, "CMOS on FZ-high-resistivity substrate for monolithic integration of SiGe-RF-circuitry and readout electronics," *IEEE Trans. Electron Devices*, vol. 44, pp. 1091-1101, July 1997.
- [15] B. Rejaei, K. T. Ng, C. Floerkemeier, N. P. Pham, L. K. Nanver, and J. N. Burghartz, "Integrated transmission lines on high-resistivity silicon: coplanar waveguides or microstrips?," in *Proc. ESSDERC*, 2000, pp. 460-463.
- [16] C. Schollhorn, W. Zhao, M. Morschbach, and E. Kasper, "Attenuation mechanism of aluminum millimeter wave coplanar waveguides on silicon," *IEEE Trans. Electron Devices*, vol. 50, pp. 740-746, Mar. 2003.
- [17] J. N. Burghartz, M. Bartek, B. Rejaei, P. M. Sarro, A. Polyzkov, N. P. Pham, E. Boullaard, and K. T. Ng, "Substrate options and add-on process modules for monolithic RF silicon technology," in *Proc. BCTM*, 2002, pp. 17-23.
- [18] R. Nayve, M. Fujii, A. Fukugawa, T. Takeuchi, M. Nurata, Y. Yamada, M. Koyanagi : High-Resolution Long-Array Thermal Ink Jet Printhead Fabricated by Anisotropic Wet Etching and Deep Si RIE. *Journal of Microelectromechanical Systems*, 13, (2004), 814-821
- [19] H. Tanaka, D. Cheng, M. Shikida, K. Sato : Characterization of anisotropic wet etching properties of single crystal silicon: Effects of ppb-level of Cu and Pb in KOH solution, *Sensors and Actuators A:Physical*, 128, (2006), 125-131